

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2008-509548

(P2008-509548A)

(43) 公表日 平成20年3月27日 (2008.3.27)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/06 (2006.01)	H O 1 L 27/06 3 1 1 C	5 F 0 0 3
H O 1 L 21/331 (2006.01)	H O 1 L 29/72 P	5 F 0 3 8
H O 1 L 29/732 (2006.01)	H O 1 L 27/08 1 0 2 F	5 F 0 4 8
H O 1 L 21/8234 (2006.01)	H O 1 L 27/04 H	
H O 1 L 27/088 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 18 頁) 最終頁に続く

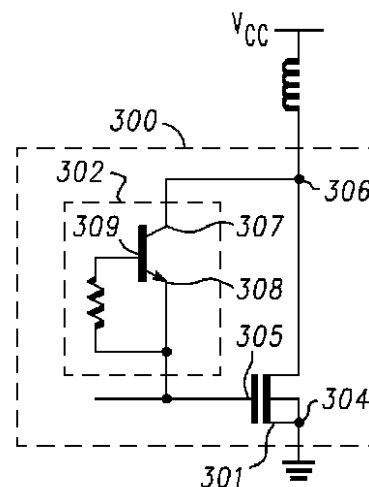
(21) 出願番号	特願2007-524346 (P2007-524346)	(71) 出願人	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 7 8 7 3 5 テキサス州 オースティン ウィリアム キャノン ドライブ ウェスト 6 5 0 1
(86) (22) 出願日	平成17年8月3日 (2005.8.3)	(71) 出願人	307023410 ル・サントル・ナショナル・ドゥ・ラ・ ルシエルシュ・シャンティフィック (セ・ エヌ・エール・エス) フランス国エフ-7 5 7 9 4 パリ・セデ ックス 1 6, リュー・ミシェル・アンジ ユ 3
(85) 翻訳文提出日	平成19年4月2日 (2007.4.2)	(74) 代理人	100089705 弁理士 社本 一夫
(86) 国際出願番号	PCT/EP2005/053819		
(87) 国際公開番号	W02006/013211		
(87) 国際公開日	平成18年2月9日 (2006.2.9)		
(31) 優先権主張番号	04103726.8		
(32) 優先日	平成16年8月3日 (2004.8.3)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 半導体スイッチ装置と電子素子

(57) 【要約】

半導体スイッチ装置(300)は、バイポーラトランジスタ(302)と、入力ノード(306)、出力ノード(304)、及び前記入力ノード(306)と前記出力ノード(307)の間に電流経路を形成できるようにするための制御ノード(305)を有する半導体パワースイッチ(301)と、を備えている。バイポーラトランジスタは、静電放電パルスを受け取ると、バイポーラトランジスタが、入力ノードから制御ノードに電流を流せるようにし、入力ノード(306)での電圧が所定の電圧を超えると、制御ノード(305)が、入力ノード(306)から出力ノード(307)に電流を流せるようにする。この様に、バイポーラトランジスタ素子は、LDMOSのような半導体スイッチ素子を、ESDから保護し、即ち、電力の急上昇、例えば、1 μ 秒より短い時間内に数アンペアというような上昇から保護する。



【特許請求の範囲】

【請求項 1】

バイポーラトランジスタ(302)と、入力ノード(306)、出力ノード(304)、及び前記入力ノード(306)と前記出力ノード(307)の間に電流経路を形成できるようにするための制御ノード(305)を有する半導体パワースイッチ(301)と、を備えている半導体スイッチ装置(300)において、前記バイポーラトランジスタ(302)は、静電放電パルスを受け取ると、前記バイポーラトランジスタ(302)が、前記入力ノード(306)から前記制御ノード(305)に電流を流せるようにし、前記入力ノード(306)での電圧が所定の電圧を超えると、制御ノード(305)が、前記入力ノード(306)から前記出力ノード(307)に電流を流せるようにするよう、前記入力ノード(306)と前記制御ノード(305)の間に接続されていることを特徴とする半導体スイッチ装置(300)。

10

【請求項 2】

前記半導体スイッチ(301)は、ESDパルスによって前記バイポーラトランジスタ(302)のクランプ電圧に等しい電圧が前記半導体スイッチ300に掛かると、オンに切り替わる、請求項1に記載の半導体スイッチ装置(300)。

【請求項 3】

前記バイポーラトランジスタ(301)は、前記半導体スイッチが、静電放電を受けたときの第1動作モード中はバイポーラトランジスタとして動作し、第2動作モード時はダイオードとして機能する、請求項1又は2に記載の半導体スイッチ装置(300)。

20

【請求項 4】

前記半導体スイッチ(301)はMOSFET素子であり、前記入力ノード(306)はドレインノード、前記制御ノード(305)はゲートノード、そして前記出力ノード(307)はソースノードである、上記請求項の何れかに記載の半導体スイッチ装置(300)。

【請求項 5】

前記バイポーラトランジスタ(302)のベース(308)とエミッタ(309)は、前記半導体スイッチ(301)の制御ノード(305)に電氣的に接続されており、前記バイポーラトランジスタ(302)のコレクタ(307)は、前記半導体スイッチ(301)の前記入力ノード(306)に電氣的に接続されている、上記請求項の何れかに記載の半導体スイッチ装置(300)。

30

【請求項 6】

前記半導体スイッチ(301)と前記バイポーラトランジスタ(302)は、単一の集積回路ダイに形成されている、上記請求項の何れかに記載の半導体スイッチ装置(300)。

【請求項 7】

前記バイポーラトランジスタ(302)はNPNトランジスタである、上記請求項の何れかに記載の半導体スイッチ装置。

【請求項 8】

前記半導体パワースイッチ(301)のゲート電圧は、第2のバイポーラトランジスタ装置(412)によってクランプされている、上記請求項の何れかに記載の半導体スイッチ装置(300)。

40

【請求項 9】

前記第2のバイポーラトランジスタ装置(412)のコレクタ(417)は、前記半導体パワースイッチ(301)のゲート(405)に電氣的に接続されている、請求項8に記載の半導体スイッチ装置(300)。

【請求項 10】

前記単一の集積回路ダイは、N-埋め込み層(501)を備えており、前記半導体パワースイッチ(301)のドレインの下にN-領域は、前記N-埋め込み層(501)に接触しないように配置されている、請求項6に記載の半導体スイッチ装置。

50

【請求項 1 1】

前記半導体パワースイッチ (301) は L D M O S 素子である、上記請求項の何れかに記載の半導体スイッチ装置。

【請求項 1 2】

前記バイポーラトランジスタ (302) のベースに接触させるために、P + ドーピング (510) が使用されている、上記請求項の何れかに記載の半導体スイッチ装置 (300)。

【請求項 1 3】

前記バイポーラトランジスタ (302) の前記 P + ドーピングベース (510) は、前記バイポーラトランジスタ (302) の前記コレクタ領域 (502) と N + エミッタ領域 (511) の間に配置されている、上記請求項の何れかに記載の半導体スイッチ装置 (300)。

10

【請求項 1 4】

前記バイポーラトランジスタ (302) の前記エミッタに接触させるために、N + ドーピング (511) が使用されており、前記エミッタは、N - コレクタ領域 (502) と前記 P + ベース領域 (510) の間に配置されている、上記請求項の何れかに記載の半導体スイッチ装置 (300)。

【請求項 1 5】

前記バイポーラトランジスタ (302) の前記ゲートの P + 領域 (510、516) は、前記エミッタ (511) の両側に配置されている、上記請求項の何れかに記載の半導体スイッチ装置 (300)。

20

【請求項 1 6】

上記請求項の何れかに記載の半導体スイッチ装置 (300) を有している電子素子において、前記半導体スイッチ装置 (300) は、前記半導体スイッチ (301) の前記制御ノード (305) に印加される制御信号により、負荷 (303) を通る電流の通過を制御するように配置されており、前記半導体スイッチ (301) の前記入力ノード (306) に、前記所定電圧を超える電圧が発生した場合には、前記入力ノード (306) から前記制御ノード (305) への電流の流れが、前記負荷 (303) によって生成される電流を前記入力ノード (306) から前記出力ノード (307) に流れるようにする、電子素子。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子素子の半導体スイッチ装置に関する。

【背景技術】

【0002】

半導体パワースイッチ、例えば、M O S F E T 素子は、電子素子内の電流の流れを制御するのに、とりわけ、大型のモーター及び発電機に使用されている様な、誘導負荷を通る電流の供給を制御するのに、頻繁に使用されている。

【0003】

誘導負荷 101 を通る電流を制御するためのスイッチとして動作するように作られている M O S F E T 素子 100 を、一例として、図 1 に示しており、この図では、M O S F E T 素子 100 のドレイン 102 は、誘導負荷 101 と抵抗負荷 104 を介して電圧供給装置 V c c に接続され、M O S F E T 素子 100 のソース 105 は接地され、M O S F E T 素子 100 のゲート 106 は、M O S F E T 素子をオンオフ切替する (即ち、ドレイン / ソースを閉又は開回路にする) 制御信号に接続されている。

40

【0004】

N チャネル M O S F E T 素子では、正の制御電圧が M O S F E T 素子をオンにし、P チャネル M O S F E T 素子では、負の制御電圧が M O S F E T 素子をオンにする。

当業者には周知のように、M O S F E T 素子のソースとドレインは、シリコンの様な半

50

導体材料に形成され、一方、ゲートは、多結晶シリコンの様な導電材料で形成される。ゲートは、絶縁層、例えば、二酸化シリコンにより、半導体材料から分離されている。而して、MOSFET素子は、破壊電圧がMOSFETに印加された場合には損傷を被り易い。

【0005】

MOSFET素子に起こる恐れのある電圧損傷には二種類あり、それらは静電放電ESDと電氣的過大応力EOSである。

EOSの場合には、3つの故障モードが予想される。第1は、ゲート酸化物の破壊電圧に到るもの、第2は、ドレイン対ソース接合部の破壊電圧BVDSに到るもの、第3は、エネルギー放電により発生した高温のために、最大接合部温度に到るものである。

10

【0006】

ESDの場合には、2つの故障モードが予想される。第1は、寄生バイポーラトランジスタの破壊電圧に到るもの、第2は、ゲート酸化物の破壊電圧に到るものである。

半導体パワースイッチを破損させる恐れのある電圧を回避するために採用されている1つの解決策には、ツェナークランプ200の使用が関与しており、この解決策では、図2に示すように、ツェナークランプ200のアノードは、MOSFET素子100のゲート106に接続され、カソードはドレイン202に接続されている。

【0007】

ツェナークランプ200（即ち、ツェナーダイオード）は、破壊電圧がドレイン対ソース最大電圧の破壊電圧より低くなるように選定されている。而して、ツェナークランプ破壊電圧がツェナークランプのカソードに印加されると、電流はツェナークランプを流れてドレインからゲートに流れ、その結果、MOSFET素子がオンに切り替わるので、電流をドレインからソースに流すことができるようになって、ドレインの電圧が低下し、結果的にMOSFET素子への損傷が回避される。

20

【0008】

このように、この解決策は、MOSFET素子のドレインに発生する電圧を所定の電圧（即ち、ツェナーダイオードの破壊電圧）にクランプするための手段を提供している。

しかしながら、一般に、ツェナークランプの破壊電圧は、MOSFET素子のドレイン対ソース最大電圧に比べると相対的に低い。そのため、適切なクランプ電圧を選択できるようにするためには、直列に配列された複数のツェナーダイオードを備えているツェナークランプが必要になる。必然的に、この解決策では、電圧クランプ回路が比較的大型化する結果となる。また、ツェナーダイオードを直列に接続すると、正確なクランプ電圧を提供するのが難しくなる恐れがある。

30

【0009】

更に、ツェナーダイオードの切替特性は緩慢であるため、MOSFET素子にESD保護策を提供するには適していない。そのため、追加のESD保護回路が必要となり、その結果、切替回路の大きさと複雑性が更に増す。

【0010】

米国特許第5,812,006号には、第1破壊電圧を有するパワー出力トランジスタと、パワー出力トランジスタに接続されおり第2破壊電圧を有する破壊構造と、を含んでいる最適化された出力クランプ構造が開示されている。第2破壊電圧は第1破壊電圧よりも低く、温度及び半導体処理の全変動範囲に亘って、第1破壊電圧に追従する。パワーMOSのソース・ドレイン・ドーピングプロファイルを使用して、「回路」を保護するためにスイッチ素子（NPN又はMOS）を製作している点が注目される。而して、US005812006Aには、MOSFETをクランプするのに使用されているダイオードが開示されているが、このダイオードは、静電放電中はダイオードとして作動するので、ESDから保護する機能は果たせない。また、クランプをMOSFET内部に組み込む解決策は提供されていない。

40

【0011】

静電放電に対する改善された保護を提供する半導体スイッチ装置と電子素子を提供する

50

ことが望ましい。

【特許文献1】米国特許第5,812,006号

【発明の開示】

【課題を解決するための手段】

【0012】

本発明は、特許請求の範囲に記載の半導体スイッチ装置と電子素子を提供している。

本発明は、静電放電と、エネルギー放電の様な電氣的過大応力(EOS)の両方から、半導体パワースwitch、例えば、MOSFET、絶縁ゲート・バイポーラトランジスタIGBT、ゲート・ターンオフサイリスタGTO、又はパワー・バイポーラトランジスタ、を保護することができる単一の電圧クランプ装置を提供するという利点を提供している。

10

【0013】

また、本発明は、ダイの小型化と改善された電圧クランプ精度を可能にする。

【発明を実施するための最良の形態】

【0014】

これより、本発明を、一例として添付図面を参照しながら説明する。

本発明の代表的実施形態について、添付図面を参照しながら説明する。

図3は、MOSFET素子301と、誘導負荷303、例えばモーター内の電流の流れを制御するために配置されたバイポーラトランジスタ302と、を有している半導体スイッチ装置300を示している。MOSFET素子301のソース304(即ち、入力ノード)は、MOSFET素子301の基板への接続部として、電氣的に接地されている。MOSFET素子301のゲート305(即ち、制御ノード)は、MOSFET素子301の切替を制御するための制御回路(図示せず)に電氣的に接続されている。MOSFET素子301のドレイン306は、誘導負荷303を介して供給電圧Vccに接続されている。

20

【0015】

本発明の好適な実施形態は、切替機構を提供するのにMOSFET素子を使用しているが、他の形態の半導体スイッチ、例えば、IGBT、GTO、及びパワーバイポーラトランジスタを使用してもよい。

【0016】

図示のMOSFET素子301は、N型素子である。しかしながら、当業者には理解頂けるように、P型素子を使用してもよい。

30

MOSFET素子301のドレイン306とゲート305の間には、バイポーラトランジスタ302が接続されており、ここでは、バイポーラトランジスタ302のコレクタ307は、MOSFET素子301のドレイン306に、電氣的に接続されている。バイポーラトランジスタ302のエミッタ308とベース309は、MOSFET素子301のゲート305に、電氣的に接続されている。図示のバイポーラトランジスタ302は、npn素子である。しかしながら、当業者には理解頂けるように、pnp素子を使用してもよい。

【0017】

バイポーラトランジスタ302は、電圧クランピングを行って、MOSFET素子301のドレイン対ソース最大電圧を超えないように配置されている。電圧クランピングが必要となる場合の第1の例は、負荷電流(即ち、誘導負荷303を通して流れる電流)が、MOSFET素子301によってオフに切り替えられ、誘導負荷303が負荷を通して流れる電流を維持しようとして電圧を発生させる場合である。第2の例は、静電放電(ESD)パルスが、MOSFET素子301に電圧差が掛かるようにする場合である。ESD保護を提供する目的のために、バイポーラトランジスタ302は、静電放電に反応するのに適した構成に、例えば、小さいキャパシタンスを有するように、そして高い電流に適するように、作られなければならない。

40

【0018】

MOSFET素子用の電圧クランピング要件を決めるには、MOSFET素子301の

50

エネルギー散逸仕様が分かっている必要はない。MOSFET素子301のエネルギー散逸使用が分かたら、実際のエネルギー散逸を、MOSFET素子301のエネルギー散逸規使用以内に確実に保つ必要がある。MOSFET内へのエネルギー散逸は、次の式

【0019】

【数1】

$$E_D = \frac{1}{2} LI^2 \times \frac{V_{clamp}}{V_{clamp} - V_{cc}}$$

10

【0020】

を使って計算され、ここに、

Lは、誘導負荷（図示せず）であり、

Iは、誘導負荷により発生する電流であり、

V_{clamp}は、クランプ電圧であり、

V_{cc}は、電圧供給である。

【0021】

従って、V_{clamp}は、E_Dが、散逸してMOSFET素子に流れ込む最大許容可能エネルギーよりも小さくなるように、選定しなければならない。

バイポーラトランジスタ302のエミッタ308とベース309が一体に接続されている場合、バイポーラトランジスタ302は、コレクタ307に印加される電圧が所定の電圧より小さい場合には、絶縁体として機能する。しかしながら、コレクタ又はベース電圧が所定の電圧（例えば、クランプ電圧）を超えると、バイポーラトランジスタ302は、コレクタ307からエミッタ308へ通電を開始する。ベース309は、例えば、拡散、金属、酸化物、又は安定器で形成することのできる抵抗器によってエミッタ308に電氣的に接続されている。

20

【0022】

バイポーラトランジスタ302の破壊電圧（即ち、クランプ電圧）は、コレクタ307とベース309の間の距離によって決まり、この距離が長いほど破壊電圧が大きくなる。別のやり方では、バイポーラトランジスタ302の破壊電圧は、コレクタとベースのドーピング濃度によって決めることもできる。従って、バイポーラトランジスタ302によって提供されるクランプ電圧は、バイポーラトランジスタ302のコレクタ307とベース309の間に、適した距離を選択することによって、精度よく選択することができる。

30

【0023】

図3のスイッチ装置300の他にも、ゲート電圧は、図4で説明しているように、第2のバイポーラトランジスタ装置400でクランプすることも想定している。図4のトランジスタ装置400では、トランジスタ402は、図3のトランジスタ302と同じである。しかしながら、MOSFET素子401のゲート405とソース406の間には、第2のバイポーラトランジスタ412が接続されており、第2のバイポーラトランジスタ412のコレクタ417は、MOSFET素子401のゲート405に電氣的に接続されている。エミッタ418は、第2のバイポーラトランジスタ412のベース419に電氣的に接続されている。

40

【0024】

トランジスタ412は、電圧がMOSFET素子401のゲート対ソース最大電圧を超えるのを防止するため、電圧クランピングを提供するように配置されている。第1の例は、トランジスタ402により規定された、ドレインポート406とゲートポート405の間の電圧クランピングに達した場合である。この時、電流は、トランジスタ402から抵抗経路を通してソース404まで流れることができるので、これにより、ゲートポート405とソースポート406の間に電圧降下が生じる。

【0025】

50

第2の例は、静電放電(ESD)が、LDMOSのドレインポート406に作用した場合である。この時、過渡電流は、固有ドレインを通してゲートキャパシタンスまで流れることができ、ゲートポート405とソースポート406の間に電圧降下が発生する。

【0026】

上記両実施例では、バイポーラトランジスタ412は、ドレインに応力が働いている間は、エネルギーの一部を吸収して、ゲートポート405とソースポート406の間の電圧をクランプする。エネルギーが、クランプ構造とMOSFET素子401の両方を通して散逸することは注目に値する。

【0027】

図示の第2のバイポーラトランジスタ412は、NPN素子である。しかしながら、当業者には理解頂けるように、PNP素子を使用してもよい。トランジスタ402は、トランジスタ302と同じやり方で、MOSFETに組み込むことができる。

【0028】

トランジスタ402を使用してドレインとゲートの間の電圧をクランプする場合について先に説明したやり方と同じやり方で、ゲートとソースの間のクランプ電圧も、第2のバイポーラトランジスタ412を使って制御することができる。

【0029】

図3と図4は、単一のMOSFET素子を示しているが、通常、要求されるパワーレベルを実現するには、複数のMOSFETフィンガが使用されることになり、その場合、上で説明したように電圧クランプとして働いている単一のバイポーラトランジスタは、多数のMOSFETフィンガを支えるのに使用される。

【0030】

例示を目的として、図5を参照しながら、これより半導体スイッチ装置300の動作について、バイポーラトランジスタ302が破壊電圧A1を有しているMOSFET素子301の「オン」「オフ」切り替え中の電圧及び電流の変動に関連付けて説明する。

【0031】

また、バイポーラトランジスタ302、402、412は、MOSFET素子301、401に接続される別体の要素であってもよいが、図5、図6、図7に示すように、バイポーラトランジスタ302、402、412は、MOSFET素子が形成されるのと同じ集積回路ダイから形成されることも想定している。

【0032】

図5は、単一の集積回路ダイ500を示しており、このダイの上には、MOSFET素子301、401と、上で説明したように構成されたバイポーラトランジスタ302、402、412が形成されている。

【0033】

集積回路ダイ500は、N-埋め込み層501と、コレクタN-領域502と、N+井戸領域504が形成されているドレインN-領域503と、の間に形成されている。ドレイン下のN-領域がN-埋め込み層501に接触していないことは注目に値する。このように配置することによって、本発明のコンセプトを使って、EPI層がNにドーブされている場合は絶縁LDMOSを、EPI層がPにドーブされている場合は非絶縁LDMOSを実装することができるようになる。集積回路本体の上方には、複数のゲート領域505が絶縁領域506によって集積回路本体から絶縁されて配置されている。

【0034】

N-領域502は、保護バイポーラトランジスタのコレクタとして機能する。

N+井戸領域504は、MOSFET素子、例えば、図3又は図4のMOSFET301又は401、のドレインとして機能する。

【0035】

N-領域502とN+領域503の間には、2つのP-領域507、508と第2のN-領域509とが挟まれている。本発明の好適な実施形態が、NEPI配置とPEPI配置の両方に使用できることは注目に値する。NEPI配置では、ドレイン領域N-はN-

10

20

30

40

50

領域を通過してNBLに接続されているため、LDMOSは絶縁されない。PEPI配置では、ドレイン領域N-はP-によりNBLから分離されているので、LDMOSは絶縁される。本発明の好適な実施形態は、両方の場合で首尾よく働く。

【0036】

N-領域に502に近接しているP-領域507は、保護バイポーラトランジスタ（例えば、図3のトランジスタ302又は図4のトランジスタ402及び/又は412）のベースを形成するP+井戸領域510と、保護バイポーラトランジスタのエミッタを形成するN+井戸領域511と、を有している。

【0037】

N-領域509は、MOSFET素子のドレインとしても機能するN+井戸領域512を有している。

他方のP-領域508は、MOSFET素子のソースとして機能する、2つのN+井戸領域513、514とP+井戸領域515とを有している。

【0038】

図3の半導体スイッチ装置300又は図4の代わりの半導体スイッチ装置400を構成するため、ゲート領域505は、ベースとエミッタを形成するP+及びN+の両井戸領域510、511に、第1導電条片を介して接続され、N-領域503、509は、ドレインを形成するN+井戸領域504、512に、第2導電条片を介して接続されている。

【0039】

図5に示すように、バイポーラトランジスタのベースに接触させるのに使用されるP+ドーピング510は、コレクタ領域502とN+エミッタ領域511の間に配置されることを想定している。

【0040】

これより図6を参照するが、ここでは、本発明の好適な実施形態による、シリコン上に実装されている代わりの半導体スイッチ600の断面図を示している。半導体スイッチ600では、バイポーラトランジスタのエミッタに接触させるのに使用されるN+ドーピング511は、コレクタ領域502とP+ベース領域510の間に配置されることを想定している。

【0041】

次に図7を参照するが、ここでは、本発明の好適な実施形態による、シリコン上に実装されている更に代わりの半導体スイッチ700の断面図を示している。半導体スイッチ700では、P+領域510と516は、エミッタ511の両側に配置されることを想定している。

【0042】

図8に示す第1波形800は、誘導負荷303とMOSFET素子301を通る電流の流れを示している。図8に示す第2波形801は、MOSFET素子301に掛かる電圧を示している。図8に示す第3波形802は、半導体スイッチ装置300に印加される制御電圧を示している。図8に示す第4波形803は、MOSFET素子301のゲート305に印加される電圧を示している。

【0043】

T1時に、第3波形802に示される制御信号が上昇して、MOSFET素子301のゲート305に印加される電圧を上昇させるので、MOSFET素子301に掛かる電圧は下がり、負荷電流は高くなる。

【0044】

T2時には、制御信号は低下し、MOSFET素子301のゲート305に印加される電圧を低下させるので、MOSFET素子301に罹る電圧は上昇し、負荷電流は下がり始める。

【0045】

T2時からT3時までの負荷電流の低下は、MOSFET素子301に掛かる電圧を上昇させるが、この電圧上昇がチェックされずに放置されると、電圧はVccより何倍も高

10

20

30

40

50

い値に達して、M O S F E T 素子 3 0 1 に損傷を引き起こしかねない。

【 0 0 4 6 】

T 3 時に、M O S F E T 素子 3 0 1 に掛かる電圧は、バイポーラトランジスタ 3 0 2 の破壊電圧 A 1 に達する。この状態が起こると、電流は、M O S F E T 素子 3 0 1 の負荷側からバイポーラトランジスタ 3 0 2 を通って、M O S F E T 素子 3 0 1 のゲート 3 0 5 に流れ、第 4 波形 8 0 3 に示すように、M O S F E T 素子 3 0 1 のゲート 3 0 5 に印加される電圧を上昇させる。この時、図 4 で説明したバイポーラトランジスタ 4 1 2 は、T 3 時から T 4 時まで、ゲート端子とソース端子の間の電圧をクランプする。

【 0 0 4 7 】

T 3 時に、M O S F E T ゲート 3 0 5 に流れ込む電流によって、M O S F E T 素子 3 0 1 は ON に切り替わり、誘導負荷 3 0 3 に蓄積されたエネルギーが、T 3 時から T 4 時までの間は、M O S F E T 素子 3 0 1 を通って流れることができるようになる。

【 0 0 4 8 】

T 4 時に、破壊電圧は下がって A 1 よりも小さくなるので、バイポーラトランジスタ 3 0 2 は通電を停止し、M O S F E T 素子 3 0 1 のゲート 3 0 5 への電圧が降下し、負荷電流はゼロに降下する。

【 0 0 4 9 】

上で説明したものと同様の過程に基づき、バイポーラは、E S D パルスによってバイポーラトランジスタ 3 0 2 のクランプ電圧に等しい電圧が半導体スイッチ 3 0 0 に掛かると、M O S F E T 素子 3 0 1 が ON に切り替わることができるようにすることによって、E S D パルスからの保護も提供している。

【 0 0 5 0 】

更に、E S D パルスに関しては、制御インピーダンス（即ち、パワー M O S F E T のゲートとソースの間のインピーダンス）が非常に低い場合、放電電流は、クランプと低い抵抗を通して接地部に流れることになる。

【 0 0 5 1 】

なお、上に説明した本発明のコンセプトを具現化している上記の装置は、以下の利点の少なくとも 1 つ又はそれ以上を提供することを期待できるものと理解されたい。

（ i ）バイポーラトランジスタ素子は、E S D 中の第 1 動作モードではバイポーラトランジスタとして機能し、他の応力関連シナリオに対し第 2 動作モードではダイオードとして機能するように配置される。

【 0 0 5 2 】

（ ii ）本発明のコンセプトは、L D M O S 素子の様な M O S 素子を、E S D から保護し、即ち、電力の急上昇、例えば、1 μ 秒より短い時間内に数アンペアというような上昇から保護する、バイポーラトランジスタ素子を提供する。

【 0 0 5 3 】

（ iii ）本発明のコンセプトは、M O S 素子をエネルギー及び静電放電から保護するのに小さいシリコン領域しか必要としない、完全に統合化された解決策を提供する。

（ iv ）本発明のコンセプトは、M O S F E T 素子内のエネルギーを散逸させると共に、M O S F E T を保護するために使用されるクランプがエネルギー応力に或る程度まで耐えることができるようにした、解決策を述べている。これにより、システムのエネルギー容量と E S D 耐久性の両方が、完全に最適化される。

【 0 0 5 4 】

以上、本発明の特定の実施例を説明してきたが、当業者であれば、特許請求の範囲の記載内容の範囲内で、この様な実施例の更なる変型及び変更を容易に適用できるであろうことは自明である。

【 0 0 5 5 】

以上の様に、半導体スイッチ装置及び電子素子を、従来技術の装置及び素子の上記不都合を解決することを目的に説明してきた。

【 図面の簡単な説明 】

10

20

30

40

50

【 0 0 5 6 】

【 図 1 】 従来技術では既知である半導体スイッチ装置を示している。

【 図 2 】 従来技術では既知である電圧クランプを組み込んだ半導体スイッチ装置を示している。

【 図 3 】 本発明の或る実施形態による半導体スイッチ装置を示している。

【 図 4 】 従来技術では既知である 2 つの電圧クランプを組み込んだ半導体スイッチ装置を示している。

【 図 5 】 本発明の或る実施形態による半導体スイッチの断面図を示している。

【 図 6 】 本発明の或る実施形態による半導体スイッチの別の断面図を示している。

【 図 7 】 本発明の或る実施形態による半導体スイッチの更に別の断面図を示している。

【 図 8 】 本発明の或る実施形態による半導体スイッチ装置内の電圧レベルを示している。

10

【 図 1 】

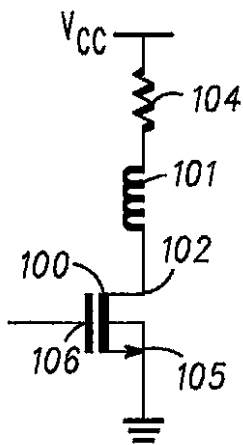


FIG. 1
従来技術

【 図 2 】

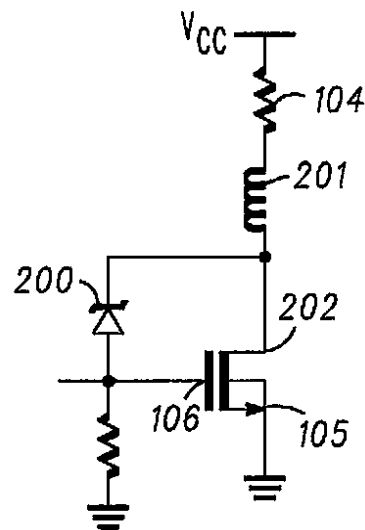


FIG. 2
従来技術

【圖 7】

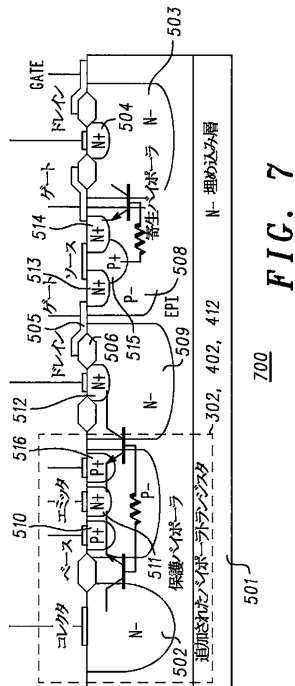


FIG. 7

【 図 8 】

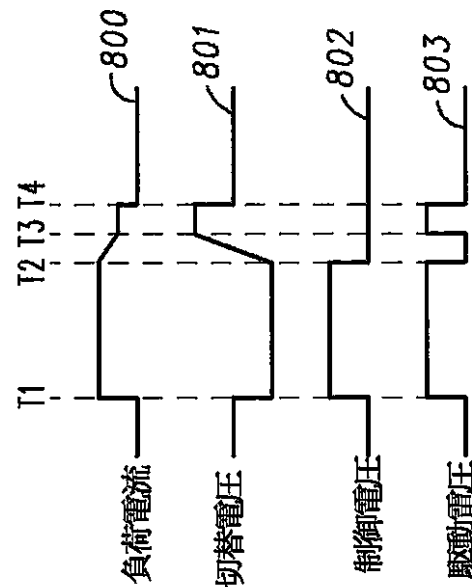


FIG. 8

【手續補正書】

【提出日】平成19年4月3日(2007.4.3)

【 手 続 補 正 1 】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

バイポーラトランジスタ（３０２）と、単一の集積回路ダイとして構成され且つ入力ノード（３０６）、出力ノード（３０４）、及び前記入力ノード（３０６）と前記出力ノード（３０７）の間に電流経路を形成できるようにするための制御ノード（３０５）を有する半導体パワースイッチ（３０１）と、を備えている半導体スイッチ装置（３００）において、前記バイポーラトランジスタ（３０２）は、静電放電パルスを受け取ると、前記バイポーラトランジスタ（３０２）が、前記入力ノード（３０６）から前記制御ノード（３０５）に電流を流せるようにし、前記入力ノード（３０６）での電圧が所定の電圧を超えると、制御ノード（３０５）が、前記入力ノード（３０６）から前記出力ノード（３０７）に電流を流せるようにするように、前記入力ノード（３０６）と前記制御ノード（３０５）の間に接続されていることを特徴とし、前記単一の集積回路ダイは、Ｎ－埋め込み層（５０１）と、前記半導体パワースイッチ（３０１）のドレインの下に、前記Ｎ－埋め込み層（５０１）と接触しないように配置されているＮ－領域と、を備えていることを特徴とする、半導体スイッチ装置（３００）。

【請求項 2】

ESDパルスを受けることにより、前記バイポーラトランジスタ(302)のクランプ電圧に等しい電圧が前記半導体スイッチ300に掛かり、それによって、半導体スイッチ

(3 0 1) がオンに切り替わる、請求項 1 に記載の半導体スイッチ装置 (3 0 0)。

【請求項 3】

前記バイポーラトランジスタ (3 0 1) は、前記半導体スイッチが静電放電パルスを受け取って、バイポーラトランジスタとして動作するように整えられるまでは、ダイオードとして動作する、請求項 1 又は 2 に記載の半導体スイッチ装置 (3 0 0)。

【請求項 4】

前記半導体スイッチ (3 0 1) は MOSFET 素子であり、前記入力ノード (3 0 6) はドレインノード、前記制御ノード (3 0 5) はゲートノード、そして前記出力ノード (3 0 7) はソースノードである、上記請求項の何れかに記載の半導体スイッチ装置 (3 0 0)。

【請求項 5】

前記バイポーラトランジスタ (3 0 2) のベース (3 0 8) とエミッタ (3 0 9) は、前記半導体スイッチ (3 0 1) の制御ノード (3 0 5) に電氣的に接続されており、前記バイポーラトランジスタ (3 0 2) のコレクタ (3 0 7) は、前記半導体スイッチ (3 0 1) の前記入力ノード (3 0 6) に電氣的に接続されている、上記請求項の何れかに記載の半導体スイッチ装置 (3 0 0)。

【請求項 6】

前記バイポーラトランジスタ (3 0 2) は NPN トランジスタである、上記請求項の何れかに記載の半導体スイッチ装置。

【請求項 7】

前記半導体パワースwitch (3 0 1) のゲート電圧は、第 2 のバイポーラトランジスタ装置 (4 1 2) によってクランプされている、上記請求項の何れかに記載の半導体スイッチ装置 (3 0 0)。

【請求項 8】

前記第 2 のバイポーラトランジスタ装置 (4 1 2) のコレクタ (4 1 7) は、前記半導体パワースwitch (3 0 1) のゲート (4 0 5) に電氣的に接続されている、請求項 7 に記載の半導体スイッチ装置 (3 0 0)。

【請求項 9】

前記半導体パワースwitch (3 0 1) は LDMOS 素子である、上記請求項の何れかに記載の半導体スイッチ装置。

【請求項 10】

前記バイポーラトランジスタ (3 0 2) のベースに接触させるために、P + ドーピング (5 1 0) が使用されている、上記請求項の何れかに記載の半導体スイッチ装置 (3 0 0)。

【請求項 11】

前記バイポーラトランジスタ (3 0 2) の前記 P + ドーピングベース (5 1 0) は、前記バイポーラトランジスタ (3 0 2) の前記コレクタ領域 (5 0 2) と N + エミッタ領域 (5 1 1) の間に配置されている、請求項 10 に記載の半導体スイッチ装置 (3 0 0)。

【請求項 12】

前記バイポーラトランジスタ (3 0 2) の前記エミッタに接触させるために、N + ドーピング (5 1 1) が使用されており、前記エミッタは、N - コレクタ領域 (5 0 2) と前記 P + ベース領域 (5 1 0) の間に配置されている、請求項 10 又は 11 の何れかに記載の半導体スイッチ装置 (3 0 0)。

【請求項 13】

前記バイポーラトランジスタ (3 0 2) の前記ベースの P + 領域 (5 1 0 、 5 1 6) は、前記エミッタ (5 1 1) の両側に配置されている、上記請求項の何れかに記載の半導体スイッチ装置 (3 0 0)。

【請求項 14】

上記請求項の何れかに記載の半導体スイッチ装置 (3 0 0) を有している電子素子において、前記半導体スイッチ装置 (3 0 0) は、前記半導体スイッチ (3 0 1) の前記制御

ノード(305)に印加される制御信号により、負荷(303)を通る電流の通過を制御するように配置されており、前記半導体スイッチ(301)の前記入力ノード(306)に、前記所定電圧を超える電圧が発生した場合には、前記入力ノード(306)から前記制御ノード(305)への電流の流れが、前記負荷(303)によって生成される電流を前記入力ノード(306)から前記出力ノード(307)に流れるようにする、電子素子。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP2005/053819

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03K17/082

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	<p>US 6 614 633 B1 (KOHNO KENJI) 2 September 2003 (2003-09-02)</p> <p>column 2, line 39 - line 42 column 13, line 19 - column 14, line 50 column 19, line 41 - column 20, line 67 column 21, line 48 - column 22, line 33 column 23, line 39 - column 25, line 30 column 25, line 47 - line 52 column 25, line 59 - line 60 column 26, line 27 - line 41 figures 6, 15A, 15B, 17A, 17B, 28, 29, 33</p> <p style="text-align: center;">-/-</p>	<p>1-7, 11, 16 8, 9, 12, 13, 15</p>

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

25 October 2005

Date of mailing of the international search report

07/11/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer:

Balbinot, H

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/053819

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 199 22 924 A (SIEMENS AG) 30 November 2000 (2000-11-30) column 2, line 50 - column 4, line 63; figures 1,2	1-4, 6, 7, 11-16
Y		8, 9
X	US 5 812 006 A (BUSS KENNETH G ET AL) 22 September 1998 (1998-09-22) cited in the application column 2, line 37 - column 4, line 64 claims 11-13 figure 3	1-3, 6, 7, 16
Y		8, 9, 12, 13, 15
Y	BERTRAND G ET AL: "ANALYSIS AND COMPACT MODELING OF A VERTICAL GROUNDED-BASE N-P-N BIPOLAR TRANSISTOR USED AS ESD PROTECTION IN A SMART POWER TECHNOLOGY" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 36, no. 9, September 2001 (2001-09), pages 1373-1381, XP001168170 ISSN: 0018-9200 abstract page 1373, paragraph II figure 1	8, 9, 12, 13, 15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP2005/053819

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6614633	B1	02-09-2003	NONE
DE 19922924	A	30-11-2000	NONE
US 5812006	A	22-09-1998	NONE

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/822 (2006.01)
H 0 1 L 27/04 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100140109
 弁理士 小野 新次郎

(74)代理人 100075270
 弁理士 小林 泰

(74)代理人 100080137
 弁理士 千葉 昭男

(74)代理人 100096013
 弁理士 富田 博行

(72)発明者 ゼクリ, ミシェル
 フランス国エフ - 3 1 7 7 0 コロミエ, アレ・ドゥ・フルコディス 2 8

(72)発明者 ベルトリーニ, ルカ
 フランス国エフ - 3 1 3 0 0 トゥールーズ, リュー・デ・アルク・サン・シプリエン 1 3 5

(72)発明者 ベッセ, パトリス
 フランス国 3 1 1 0 0 トゥールーズ, シュマン・デュ・マリノ, 1, アパルトマン 1 4 - パ
 トア, レジデンス・ジャルダン・ロワイヤル

(72)発明者 バフリュエ, マリス
 フランス国エフ - 3 1 0 7 7 トゥールーズ, アヴニユ・デュ・コロネル・ロッシュ 7

(72)発明者 ノリエ, ニコラス
 フランス国エフ - 3 1 0 7 7 トゥールーズ, アヴニユ・デュ・コロネル・ロッシュ 7

F ターム(参考) 5F003 BA21 BB05 BB90 BC08 BC90 BJ90
 5F038 BH02 BH06 BH13 BH15 EZ20
 5F048 AA02 AC06 AC07 BA02 BC03 BC06 BE03 BE04 BG12 CA03
 CC01 CC10 CC18