



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월29일  
(11) 등록번호 10-0939773  
(24) 등록일자 2010년01월25일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2007-0065412

(22) 출원일자 2007년06월29일

심사청구일자 2008년02월04일

(65) 공개번호 10-2009-0001199

(43) 공개일자 2009년01월08일

(56) 선행기술조사문헌

KR1020030001069 A\*

US20060019495 A1\*

US6445023 B1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

정동하

경기 성남시 분당구 서현동 188-18 서현모닝빌  
102동 201호

염승진

경기 용인시 수지구 풍덕천2동 현대프라임아파트  
206동 1601호

(뒷면에 계속)

(74) 대리인

강성배

전체 청구항 수 : 총 19 항

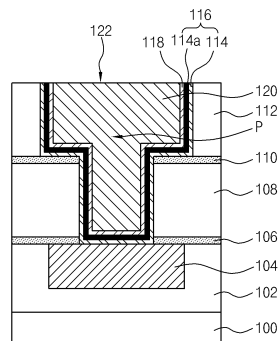
심사관 : 김상걸

(54) 반도체 소자의 금속배선 및 그의 형성방법

(57) 요약

본 발명에 따른 반도체 소자의 금속배선은, 반도체 기판 상에 형성된 절연막; 상기 절연막 내에 다마신 패턴으로 형성된 금속막; 및 상기 금속막과 상기 절연막 사이에 비정질의 TaBN막을 포함하는 구조로 형성된 확산방지막;을 포함하는 것을 특징으로 한다.

대표도 - 도1



(72) 발명자

**김백만**

경기 용인시 수지구 죽전1동 현대홈타운4차3단지아파트 441동1503호

**이영진**

경기 용인시 기흥구 상하동 신일유토빌아파트 103동 502호

**김정태**

경기 성남시 분당구 구미동 까치마을선경아파트 405동 102호

## 특허청구의 범위

### 청구항 1

반도체 기판 상에 형성되며 금속배선이 형성될 다마신 패턴을 갖는 절연막;

상기 절연막의 다마신 패턴을 매립하도록 형성된 금속막; 및

상기 절연막과 상기 금속막 사이에 형성되며,  $TaB_2$ 막과 비정질의  $TaBN$ 막의 적층막 구조를 포함하는 확산방지막;을 포함하며,

상기 비정질의  $TaBN$ 막은  $TaB_2$ 막의 질화 처리를 통해 형성된 것을 특징으로 하는 반도체 소자의 금속배선.

### 청구항 2

제 1 항에 있어서,

상기 다마신 패턴은 트렌치로 이루어진 싱글 구조를 갖는 것을 특징으로 하는 반도체 소자의 금속배선.

### 청구항 3

제 1 항에 있어서,

상기 다마신 패턴은 콘택홀 및 트렌치로 이루어진 더블 구조를 갖는 것을 특징으로 하는 반도체 소자의 금속배선.

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

제 1 항에 있어서,

상기 확산방지막과 금속막 사이에 개재된 씨드막을 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선.

### 청구항 8

제 7 항에 있어서,

상기 씨드막은  $Ru$ 막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선.

### 청구항 9

제 1 항에 있어서,

상기 확산방지막은 상기  $TaB_2$ 막과 상기 절연막 사이에 개재된  $TaN$ 막을 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선.

### 청구항 10

제 1 항에 있어서,

상기 확산방지막은  $TaN$ 막과 육사고널(Hexagonal) 구조의  $TaB_2$ 막 및 비정질의  $TaBN$ 막의 적층막 구조로 형성된 것을 특징으로 하는 반도체 소자의 금속배선.

#### 청구항 11

제 1 항에 있어서,

상기 금속막은 구리막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선.

#### 청구항 12

반도체 기판 상에 금속배선이 형성될 다마신 패턴을 갖는 절연막을 형성하는 단계;

상기 다마신 패턴의 표면을 포함한 절연막 상에 TaB<sub>2</sub>막을 형성하는 단계;

상기 TaB<sub>2</sub>막의 표면을 질화 처리하여 그 표면에 비정질의 TaBN막을 형성해서, 상기 TaB<sub>2</sub>막과 비정질의 TaBN막의 적층막 구조를 포함하는 확산방지막을 형성하는 단계;

상기 확산방지막 상에 상기 다마신 패턴을 매립하도록 금속막을 형성하는 단계; 및

상기 금속막과 확산방지막을 상기 절연막이 노출될 때까지 제거하는 단계;

를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 13

제 12 항에 있어서,

상기 다마신 패턴은 트렌치로 이루어진 싱글 구조로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

#### 청구항 14

제 12 항에 있어서,

상기 다마신 패턴은 콘택홀 및 트렌치로 이루어진 더블 구조로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.의 금속배선 형성방법.

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

제 12 항에 있어서,

상기 TaB<sub>2</sub>막은 CVD, 또는, ALD 방식으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 19

제 12 항에 있어서,

상기 질화 처리는 질소 플라즈마를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 20

제 12 항에 있어서,

상기 TaB<sub>2</sub>막을 형성하는 단계 전,

상기 다마신 패턴을 포함한 절연막 상에 TaN막을 형성하는 단계;  
를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 21

제 20 항에 있어서,  
상기 TaN막은 ALD 방식으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 22

제 12 항에 있어서,  
상기 TaB<sub>2</sub>막의 표면을 질화 처리하여 그 표면에 비정질의 TaBN막을 형성하는 단계 후,  
상기 비정질의 TaBN막 상에 씨드막을 형성하는 단계;  
를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 23

제 22 항에 있어서,  
상기 씨드막은 ALD 방식을 통해 Ru막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 24

삭제

#### 청구항 25

제 12 항에 있어서,  
상기 확산방지막은 TaN막과 헥사고날(Hexagonal) 구조의 TaB<sub>2</sub>막 및 비정질의 TaBN막의 적층막 구조로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

#### 청구항 26

제 12 항에 있어서,  
상기 금속막은 구리막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 반도체 소자의 금속배선 및 그의 제조방법에 관한 것으로, 보다 상세하게는, 확산방지막의 특성을 개선하여 소자 특성 및 신뢰성을 향상시킬 수 있는 반도체 소자의 금속배선 및 그의 형성방법에 관한 것이다.
- [0012] 일반적으로, 반도체 소자에는 소자와 소자 간, 또는, 배선과 배선 간을 전기적으로 연결하기 위해 금속배선이 형성되며, 상부 금속배선과 하부 금속배선 간의 연결을 위해 콘택 플러그가 형성된다.
- [0013] 상기 금속배선의 재료로는 전기 전도도가 우수한 알루미늄(Al) 및 텅스텐(W)이 주로 이용되어 왔으며, 최근에는 상기 알루미늄 및 텅스텐보다 전기 전도도가 월등히 우수하고 저항이 낮아 고집적 고속동작 소자에서 RC 신호 지연 문제를 해결할 수 있는 구리(Cu)를 차세대 금속배선 물질로 사용하고자 하는 연구가 진행되고 있다.
- [0014] 그런데, 상기 구리의 경우 배선 형태로 건식 식각하기가 용이하지 않기 때문에, 구리로 금속배선을 형성하기 위해서는 다마신(Damascene)이라는 공정 기술이 이용된다. 상기 다마신 공정을 이용한 금속배선은 층간절연막을

식각해서 금속배선이 형성될 다마신 패턴을 형성한 후, 상기 다마신 패턴 내에 구리막으로 매립하여 형성한다. 상기 다마신 공정은 싱글-다마신(Single-Damascene) 공정과 듀얼-다마신(Dual-Damascene) 공정으로 나눌 수 있다.

[0015] 상기 다마신 공정을 적용하는 경우에는 다층 금속배선에서 상층 금속배선, 그리고, 상기 상층 금속배선과 하층 금속배선을 콘택시키기 위한 콘택 플러그를 동시에 형성할 수 있을 뿐 아니라, 금속배선에 의해 발생하는 단차를 제거할 수 있으므로, 후속 공정을 용이하게 하는 장점이 있다.

[0016] 상기 금속배선 물질로 구리막을 적용하는 경우에는 알루미늄막을 적용하는 경우와는 달리 층간절연막을 통해 기판으로 구리 성분이 확산되며, 이렇게 확산된 구리 성분은 실리콘으로 이루어진 반도체 기판 내에서 딥 레벨(Deep Level) 불순물로서 작용하여 누설 전류를 유발한다. 따라서, 금속배선 물질로 구리막을 적용하는 경우에는 상기 구리막과 층간절연막의 접촉 계면에 확산방지막(Diffusion Barrier)을 형성해주어야 한다. 상기 확산방지막은 통상 PVD(Physical Vapor Deposition) 방식을 통해 Ta막과 TaN막의 단일막, 또는, 이중막 구조로 형성한다.

[0017] 한편, 상기 PVD 방식은 단차피복성(Step Coverage)에 한계가 있기 때문에 30nm급, 또는, 그 이하 급 소자의 제조시 상기 PVD 방식 대신 ALD(Atomic Layer Deposition) 방식을 통해 확산방지막을 형성하는 방법이 제안된 바 있다.

[0018] 그리고, 반도체 소자의 디자인 룰(Design Rule)이 감소되면서, 상기 ALD 방식으로 형성된 Ta막이나 TaN막 상에 ALD 방식으로 씨드막으로서 박막의 Ru막을 형성한 후, 상기 Ru막 상에 전기도금 방식으로 구리막을 형성하는 방법이 적용하고 있다. 상기 Ru막은 구리와 혼합되지 않는 특성을 갖는 물질이다.

[0019] 그러나, 전술한 종래 기술의 경우에는 상기 Ru막의 주상적 성장이 유발되어 그 구조적 특성이 취약해지며, 이 때문에, 상기 Ru막이 구리막과 하부층 간의 집적적인 확산 경로 역할을 하게 되어 상기 확산방지막의 특성이 저하된다. 그 결과, 후속 열처리 공정시 구리 성분이 확산방지막을 통과하여 확산되므로 소자 특성 및 신뢰성이 열화된다.

### 발명이 이루고자 하는 기술적 과제

[0020] 본 발명은 확산방지막의 특성을 개선할 수 있는 반도체 소자의 금속배선 및 그의 형성방법을 제공한다.

[0021] 또한, 본 발명은 소자 특성 및 신뢰성을 향상시킬 수 있는 반도체 소자의 금속배선 및 그의 형성방법을 제공한다.

### 발명의 구성 및 작용

[0022] 본 발명의 실시예에 따른 반도체 소자의 금속배선은, 반도체 기판 상에 형성되며 금속배선이 형성될 다마신 패턴을 갖는 절연막; 상기 절연막의 다마신 패턴을 매립하도록 형성된 금속막; 및 상기 금속막과 상기 절연막 사이에 형성되며 비정질의 TaBN막을 포함하는 확산방지막;을 포함하는 것을 특징으로 한다.

[0023] 여기서, 상기 다마신 패턴은 트렌치로 이루어진 싱글 구조를 갖는다.

[0024] 상기 다마신 패턴은 콘택홀 및 트렌치로 이루어진 더블 구조를 갖는다.

[0025] 삭제

[0026] 상기 비정질의 TaBN막은  $Ta_xB_y$ 막의 질화 처리를 통해 형성된다.

[0027] 상기  $Ta_xB_y$ 막은  $TaB_2$ 막이다.

[0028] 상기 확산방지막과 금속막 사이에 개재된 씨드막을 더 포함한다.

[0029] 상기 씨드막은 Ru막으로 이루어진다.

[0030] 상기 확산방지막은 상기 비정질의 TaBN막과 상기 절연막 사이에 개재된 TaN막을 더 포함한다.

[0031] 상기 확산방지막은 TaN막과 육각고정(Hexagonal) 구조의  $Ta_xB_y$ 막 및 비정질의 TaBN막의 적층막 구조로 형성된다.

- [0032] 상기 금속막은 구리막으로 이루어진다.
- [0033] 또한, 본 발명의 실시예에 따른 반도체 소자의 금속배선 형성방법은, 반도체 기판 상에 금속배선이 형성될 다마신 패턴을 갖는 절연막을 형성하는 단계; 상기 다마신 패턴의 표면을 포함한 절연막 상에 비정질의 TaBN막을 포함하는 구조의 확산방지막을 형성하는 단계; 상기 확산방지막 상에 상기 다마신 패턴을 매립하도록 금속막을 형성하는 단계; 및 상기 금속막과 확산방지막을 상기 절연막이 노출될 때까지 제거하는 단계;를 포함하는 것을 특징으로 한다.
- [0034] 여기서, 상기 다마신 패턴은 트렌치로 이루어진 싱글 구조로 형성한다.
- [0035] 상기 다마신 패턴은 콘택홀 및 트렌치로 이루어진 더블 구조로 형성한다.
- [0036] 삭제
- [0037] 상기 확산방지막을 형성하는 단계는, 상기 다마신 패턴의 표면을 포함한 절연막 상에  $Ta_xB_y$ 막을 형성하는 단계; 및 상기  $Ta_xB_y$ 막의 표면을 질화 처리하여 그 표면에 비정질의 TaBN막을 형성하는 단계;를 포함한다.
- [0038] 상기  $Ta_xB_y$ 막은  $TaB_2$ 막으로 형성한다.
- [0039] 상기  $Ta_xB_y$ 막은 CVD, 또는, ALD 방식으로 형성한다.
- [0040] 상기 질화 처리는 질소 플라즈마를 사용하여 수행한다.
- [0041] 상기  $Ta_xB_y$ 막을 형성하는 단계 전, 상기 다마신 패턴을 포함한 절연막 상에 TaN막을 형성하는 단계;를 더 포함한다.
- [0042] 상기 TaN막은 ALD 방식으로 형성한다.
- [0043] 상기  $Ta_xB_y$ 막의 표면을 질화 처리하여 그 표면에 비정질의 TaBN막을 형성하는 단계 후, 상기 비정질의 TaBN막 상에 씨드막을 형성하는 단계;를 더 포함한다.
- [0044] 상기 씨드막은 ALD 방식을 통해 Ru막으로 형성한다.
- [0045] 상기 확산방지막은 TaN막과 비정질의 TaBN막의 적층막 구조로 형성한다.
- [0046] 상기 확산방지막은 TaN막과 육사고날(Hexagonal) 구조의  $Ta_xB_y$ 막 및 비정질의 TaBN막의 적층막 구조로 형성한다.
- [0047] 상기 금속막은 구리막으로 형성한다.
- [0048] (실시예)
- [0049] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- [0050] 본 발명은, 구리막을 적용한 금속배선의 형성시 확산방지막으로서 비정질의 TaBN막이 삽입된 구조의 막을 형성한다. 이때, 상기 확산방지막은 육사고날(Hexagonal) 구조의  $TaB_2$ 막을 형성한 다음에 그 표면을 질화 처리하여 그 표면에 비정질의 TaBN막을 형성한다.
- [0051] 이렇게 하면, 상기 구리막의 구리 성분이 씨드막인 Ru막의 결정 입계를 통과하더라도, 상기 비정질의 TaBN막은 결정입계가 존재하지 않기 때문에 구리 성분의 확산을 방지할 수 있다. 따라서, 본 발명은 상기 확산방지막의 특성을 개선할 수 있으며, 이를 통해, 반도체 소자 특성 및 신뢰성을 향상시킬 수 있다.
- [0052] 도 1은 본 발명의 실시예에 따른 반도체 소자의 금속배선을 설명하기 위한 단면도이다.
- [0053] 도시된 바와 같이, 소정의 하부구조물(도시안됨)이 구비된 반도체 기판(100) 상에 상기 하부구조물을 덮도록 층간절연막(102)이 형성되고, 상기 층간절연막(102) 내에 하부 금속배선(104)이 형성된다. 그리고, 상기 하부 금속배선(104)을 포함한 반도체 기판(100)의 결과물 상에 제1 및 제2절연막(108, 112)이 차례로 형성된다. 다음으로, 상기 제1 및 제2절연막(108, 112) 내에 상기 하부 금속배선(104)을 노출시키며 상부 금속배선이 형성될 영역을 정의하는 다마신 패턴(P)이 형성되고, 상기 다마신 패턴(P) 내에 상기 하부 금속배선(104)과 콘택되는 상부 금속배선(122)이 형성된다. 상기 다마신 패턴(P)은 트렌치로 이루어진 싱글 구조, 또는, 콘택홀 및 트렌치로

이루어진 듀얼 구조로 형성된다.

- [0054] 또한, 상기 상부 금속배선(122)과 제1 및 제2절연막(108, 112) 사이에는 확산방지막(116)이 형성된다. 여기서, 상기 확산방지막(116)은  $TaB_2$ 막(114)과 비정질의 TaBN막(114a)의 적층막 구조로 이루어지며, 상기  $TaB_2$ 막(114) 아래에 TaN막(도시안됨)이 개재되는 것도 가능하다.
- [0055] 이때, 상기 확산방지막(116)의 상기  $TaB_2$ 막(114)은 핵사고날 구조를 갖도록 형성되고, 상기 비정질의 TaBN막(114a)은 상기  $TaB_2$ 막(114)의 표면을 질화 처리하여 그 표면에 형성되며, 상기 금속막(120)은 구리막으로 이루어진다.
- [0056] 전술한 본 발명은, 상기 확산방지막(116)을 비정질의 TaBN막(114a)이 삽입된 구조로 형성함으로써, 상기 Ru막(118)의 결정입계를 통과한 구리 성분이 확산방지막(116) 하부로 확산되는 것을 방지할 수 있다. 따라서, 본 발명은 상기 확산방지막(116)의 특성을 개선할 수 있으며, 이를 통해, 반도체 소자 특성 및 신뢰성을 향상시킬 수 있다.
- [0057] 여기서, 도 1의 미설명된 도면부호 106은 제1식각정지막을, 그리고, 110은 제2식각정지막을 각각 나타낸다.
- [0058] 도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정별 단면도이다.
- [0059] 도 2a를 참조하면, 게이트, 비트라인 및 캐패시터스 등의 하부구조물(도시안됨)이 형성된 반도체 기판(100) 상에 상기 하부구조물을 덮도록 증간절연막(102)을 형성한 후, 상기 증간절연막(102) 내에 하부 금속배선(104)을 형성한다. 이어서, 상기 하부 금속배선(104)이 형성된 반도체 기판(100)의 결과물 상에 제1식각정지막(106), 제1절연막(108), 제2식각정지막(110) 및 제2절연막(112)을 차례로 형성한다.
- [0060] 그런 다음, 상기 제2절연막(112), 제2식각정지막(110), 제1절연막(108) 및 제1식각정지막(106)을 차례로 식각하여 상기 하부 금속배선(104)을 노출시키고, 그리고, 상부 금속배선이 형성될 영역을 정의하는 다마신 패턴(P)을 형성한다. 이때, 상기 다마신 패턴(P)은 트렌치로 이루어진 싱글 구조, 또는, 콘택홀 및 트렌치로 이루어진 듀얼 구조로 형성한다.
- [0061] 도 2b를 참조하면, 상기 다마신 패턴(P)이 형성된 반도체 기판(100)의 전면 상에 ALD 방식으로 TaN막(도시안됨)을 형성한 후, 상기 TaN막 상에  $Ta_xB_y$ 막, 바람직하게는,  $TaB_2$ 막(114)을 형성한다. 상기  $TaB_2$ 막(114)은 CVD, 또는, ALD 방식을 통해 핵사고날 구조로 형성한다.
- [0062] 도 2c를 참조하면, 상기  $TaB_2$ 막(114)이 형성된 반도체 기판(100)의 결과물을 질소 플라즈마를 사용하여 질화 처리하여 상기  $TaB_2$ 막(114)의 표면에 비정질의 TaBN막(114a)을 형성한다.
- [0063] 자세하세, 상기  $TaB_2$ 막(114)은 질소 원자가 미량만 함유되어도 박막의 결정성이 크게 감소하기 때문에, 상기 질소 플라즈마를 사용하는 질화 처리를 통해  $TaB_2$ 막(114) 내의 질소 원자 함량이 증가하게 되면  $TaB_2$ 막(114)의 표면이 비정질화된다. 그 결과, 핵사고날 구조를 갖는  $TaB_2$ 막(114)의 표면에 비정질의 TaBN막(114a)이 형성된 구조의 확산방지막(116)을 형성한다.
- [0064] 도 2d를 참조하면, 상기 비정질의 TaBN막(114a) 상에 씨드막으로서 Ru막(118)을 형성한다. 상기 Ru막(118)은 ALD 방식으로 형성한다. 상기 Ru막(118)은 후속으로 수행되는 전기 도금 방식에 의한 구리막의 증착시 매립 특성을 개선시키는 역할을 하며, 상기 구리막과 섞이지 않는 특성을 가지고 있다.
- [0065] 도 2e를 참조하면, 상기 확산방지막(116) 상에 상기 다마신 패턴(P)을 매립하도록 금속막(120)을 형성한다. 상기 금속막(120)은 전기 도금 방식을 통해 구리막으로 형성한다.
- [0066] 도 2f를 참조하면, 상기 제2절연막(112)의 표면이 노출될때까지 상기 금속막(120)과 확산방지막(116)을 CMP해서, 상기 하부 금속배선(104)과 콘택되는 상부 금속배선(122)을 형성한다.
- [0067] 이후, 도시하지는 않았지만 공지된 일련의 후속 공정들을 차례로 수행하여 본 발명의 실시예에 따른 반도체 소자의 금속배선을 완성한다.
- [0068] 전술한 본 발명은, 비정질의 TaBN막이 삽입된 구조의 확산방지막을 형성한 후에 구리 금속배선을 형성함으로써, 상기 확산방지막의 특성을 개선할 수 있으며, 이를 통해, 상기 금속배선의 구리 성분이 확산되는 것을 방지할



수 있다. 따라서, 반도체 소자의 특성 및 신뢰성을 향상시킬 수 있다.

[0069] 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

### 발명의 효과

[0070] 이상에서와 같이, 본 발명은 비정질의 TaBN막이 삽입된 구조의 확산방지막을 형성함으로써, 상기 확산방지막의 특성을 개선할 수 있다.

[0071] 또한, 본 발명은 상기 확산방지막의 특성을 개선하여 구리 성분이 확산되는 것을 방지할 수 있으며, 이를 통해, 반도체 소자의 특성 및 신뢰성을 향상시킬 수 있다.

### 도면의 간단한 설명

[0001] 도 1은 본 발명의 실시예에 따른 반도체 소자의 금속배선을 설명하기 위한 단면도.

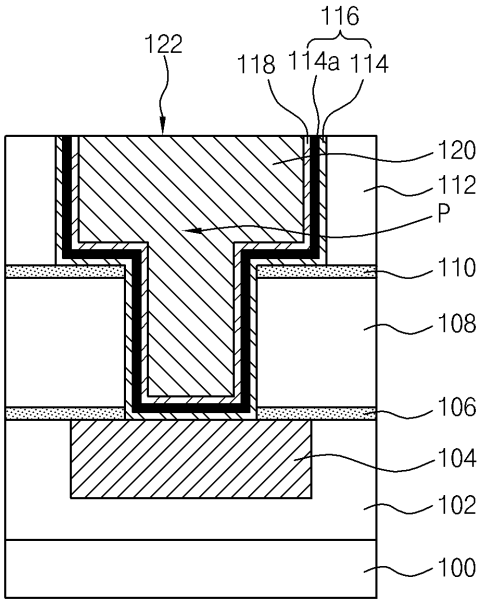
[0002] 도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정별 단면도.

[0003] \* 도면의 주요 부분에 대한 부호의 설명 \*

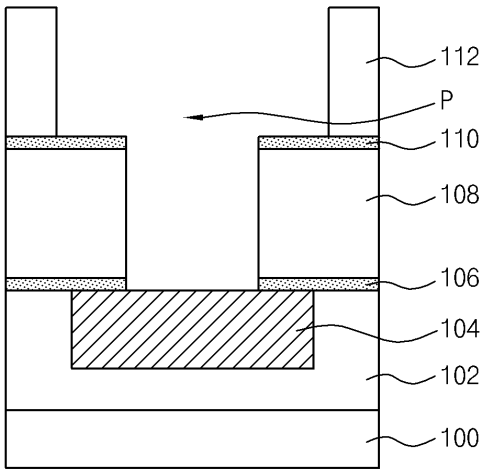
[0004]	100 : 반도체 기판	102 : 층간절연막
[0005]	104 : 하부 금속배선	106 : 제1식각정지막
[0006]	108 : 제1절연막	110 : 제2식각정지막
[0007]	112 : 제2절연막	P : 다마신 패턴
[0008]	114 : TaB <sub>2</sub> 막	114a : 비정질의 TaBN막
[0009]	116 : 확산방지막	118 : Ru막
[0010]	120 : 금속막	122 : 상부 금속배선

도면

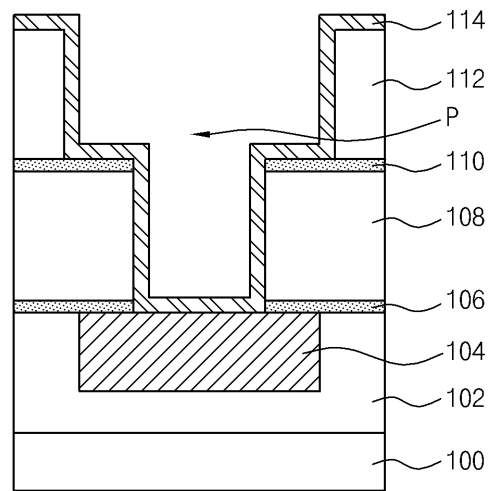
도면1



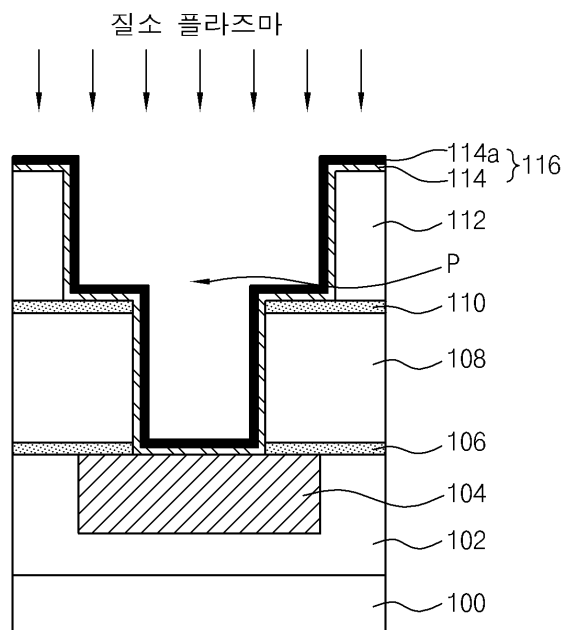
도면2a



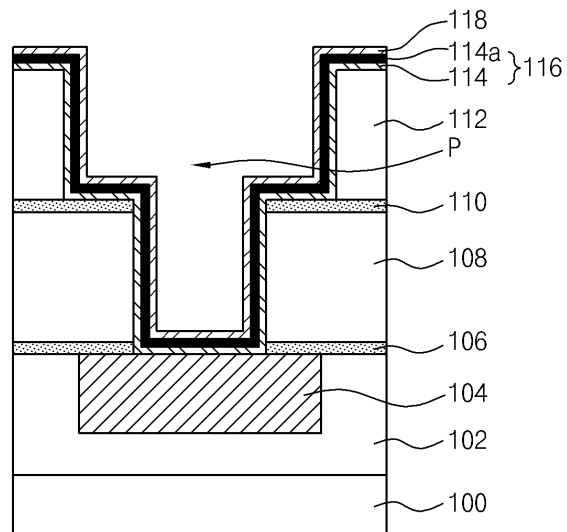
도면2b



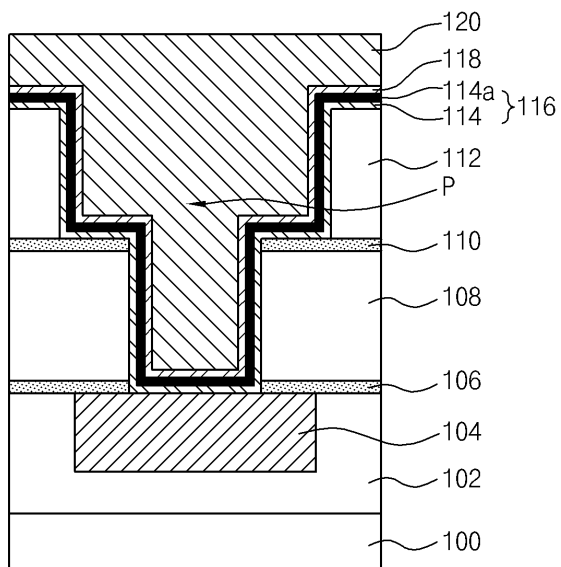
도면2c



도면2d



도면2e



도면2f

