

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 3 月 19 日 (19.03.2015)



(10) 国际公布号
WO 2015/035690 A1

- (51) 国际专利分类号:
H01L 21/28 (2006.01) *H01L 21/336* (2006.01)
- (21) 国际申请号: PCT/CN2013/086119
- (22) 国际申请日: 2013 年 10 月 29 日 (29.10.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310418179.8 2013 年 9 月 13 日 (13.09.2013) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件制造方法

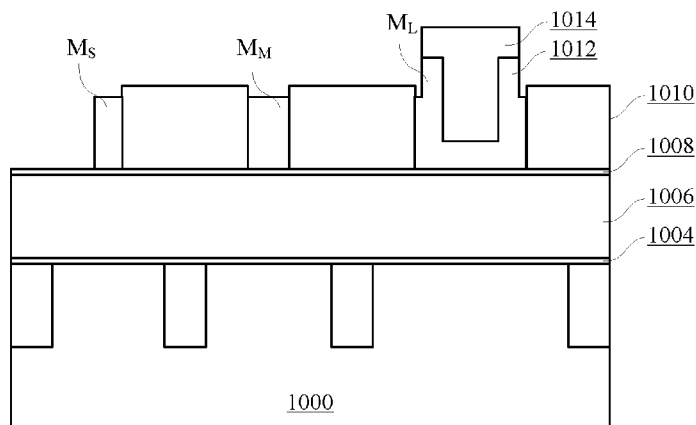


图6 / Fig. 6

(57) Abstract: Provided is a method for manufacturing a semiconductor device. The method may include: forming a first material layer (1004) and a second material layer (1006) on a substrate (1000); forming an auxiliary layer (1010) on the second material layer (1006); forming an opening in the auxiliary layer (1010) corresponding to the gate structures to be formed; forming a third material layer (1012) to cover the auxiliary layer (1010); forming a mask layer (1014) on the third material layer (1012) corresponding to at least one of the gate structures; in the presence of the mask layer (1014), patterning the third material layer (1012) to remove the laterally extending portion thereof; removing the auxiliary layer (1010); using the patterned third material layer (1012) as a mask, patterning the second material layer (1006) to form the gate structures defining different gate length.

(57) 摘要:

[见续页]



WO 2015/035690 A1



提供了一种制造半导体器件的方法，可以包括：在衬底（1000）上形成第一材料层（1004）和第二材料层（1006）；在第二材料层（1006）上形成辅助层（1010）；在辅助层（1010）中形成与将要形成的栅结构相对应的开口；形成第三材料层（1012），以覆盖辅助层（1010）；在第三材料层（1012）上形成与栅结构中至少之一相对应的掩模层（1014）；在存在掩模层（1014）的情况下，对第三材料层（1012）进行构图，去除其横向延伸部分；去除辅助层（1010）；以构图后的第三材料层（1012）为掩模，对第二材料层（1006）进行构图，以形成可定义不同栅长的栅结构。

半导体器件制造方法

本申请要求了 2013 年 9 月 13 日提交的、申请号为 201310418179.8、发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开一般地涉及半导体制造领域，更具体地，涉及一种半导体器件制造方法，能够改善 LER 并可以调节栅长。

背景技术

随着器件的不断小型化，器件的制造面临多种挑战。例如，当栅长较小例如小于 20nm 时，栅非常难以形成。而且，在这种情况下，极难控制栅的线边缘粗糙度（LER）。

已经知道利用侧墙转移图形（Spacer Transfer Image, STI）技术，可以改善 LER。但是，STI 技术难以同时生成不同栅长的栅结构，以至于限制了其应用的范围或增加了生产成本。

发明内容

本公开的目的至少部分地在于提供一种制造半导体器件的方法。

根据本公开的一个方面，提供了一种制造半导体器件的方法。一示例方法可以包括：在衬底上形成第一材料层和第二材料层；在第二材料层上形成辅助层；在辅助层中形成与将要形成的栅结构相对应的开口；形成第三材料层，以覆盖辅助层；在第三材料层上形成与栅结构中至少之一相对应的掩模层；在存在掩模层的情况下，对第三材料层进行构图，去除其横向延伸部分；去除辅助层；以构图后的第三材料层为掩模，对第二材料层进行构图，以形成可定义不同栅长的栅结构。

根据本公开的实施例，按照 STI 技术来形成栅结构，并利用光刻技术对 STI 技术进行补充。从而，一方面可以获得 STI 技术带来的 LER 的改善和光

刻技术难以获得的小栅长，另一方面可以实现栅长的便利调节。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-10 是示出了根据本公开实施例的制造半导体器件的流程中一些阶段的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

根据本公开的实施例，提供了一种制造半导体器件的方法。该方法可以包括按照 STI 技术来形成栅结构。例如，可以在衬底上形成第一材料层和第二材料层的叠层。第一材料层可以包括栅介质层或牺牲栅介质层，第二材料层可以包括栅导体层或牺牲栅导体层。为了进行图案转移，可以在该叠层上形成辅助层，并在其中形成与栅结构相对应的开口。这里，所谓“栅结构”可以是指最终形成的栅堆叠中的一层或多层，或者栅堆叠本身；所谓“与栅结构相对应”可以包括多种对应关系。例如，开口本身的位置可以对应于栅结构的位置，或

者开口的一个或多个侧壁可以大致对应于栅结构的横向界限,这将在以下的描述中变得更加清楚。

然后,可以形成第三材料层,以覆盖辅助层。例如,第三材料层可以大致共形地淀积。该第三材料层可以包括在开口的侧壁上延伸的竖直延伸部以及在叠层的顶面上延伸的横向延伸部。于是,可以通过第三对材料层进行构图,去除其横向延伸部。这种构图例如可以通过侧墙(spacer)形成工艺来进行。

这样,在去除辅助层之后,构图后的第三材料层可以形成栅结构的掩模。由于这种掩模的侧壁由辅助层的开口限定,而不是通过刻蚀形成,从而可以相对平滑。于是,利用这种掩模对叠层进行构图,可以得到 LER 改善的栅结构。

根据本公开的实施例,为了有效调节栅结构的长度(或者,“栅长”),在对第三材料层进行构图之前,可以在第三材料层上形成与栅结构中至少之一相对应的掩模层。掩模层可以至少覆盖第三材料层的一部分横向延伸部。这样,被掩模层覆盖的该部分横向延伸部可以避免在对第三材料层构图时被去除,从而得以保留(并因此充当栅结构的掩模)。

为了仍然获得 STI 的优点,保留的该部分横向延伸部至少在其一端终止于竖直延伸部。例如,掩模层可以覆盖相应开口的底壁上的横向延伸部,且其一端或两端可以不超过该开口的横向界限,例如相对于开口的相应侧壁向着开口内缩回。这样,在对第三材料层进行构图之后,在该开口内留下的第三材料层部分(构成相应栅结构的掩模)的横向延伸尺寸对应于该开口的横向尺寸,并因此限定相应栅结构的栅长。而且,该掩模在其一端或两端处的侧壁是由开口限定的,从而可以获得改善的 LER,如上所述。

本公开可以各种形式呈现,以下将描述其中一些示例。

如图 1 所示,提供衬底 1000。衬底 1000 可以是各种形式的合适衬底,例如体半导体衬底如 Si、Ge 等,化合物半导体衬底如 SiGe、GaAs、GaSb、AlAs、InAs、InP、GaN、SiC、InGaAs、InSb、InGaSb 等,绝缘体上半导体衬底(SOI)等。在此,以体硅衬底及硅系材料为例进行描述。但是需要指出的是,本公开不限于此。在衬底 1000 上,可以形成浅沟槽隔离 1002,以限定有源区。浅沟槽隔离 1002 例如可以包括氧化物(例如,氧化硅)。

如图 2 所示,在衬底 1000 上,例如通过淀积,可以依次形成栅介质层 1004

和栅导体层 1006。栅介质层 1004 可以包括氧化物（例如， SiO_2 ），厚度为约 1-5nm；栅导体层 1006 可以包括多晶硅，厚度为约 50-150nm。在栅介质侧层 1004 和栅导体层 1006 的叠层上方，例如通过淀积，可以形成辅助层 1010。辅助层 1010 可以包括非晶硅，厚度为约 100-150nm。为了改善刻蚀选择性并保护栅导体层，可以在栅导体层顶面上形成停止层 1008，辅助层 1010 形成于该停止层 1008 上。停止层 1008 可以包括氧化物，厚度为约 1-10nm。

然后，如图 3 所示，可以通过光刻，对辅助层 1010 进行构图，以在其中形成开口。这些开口与随后将要形成的栅结构相对应。在图 3 中，分别在三个有源区（通过两侧的浅沟槽隔离限定）中限定了三个开口（对应于三个栅结构）。这里需要指出的是，在图 3 的示例中，对于最左侧的开口，仅示出了其一个侧壁。这可能是由于该开口位于外围边缘处，从而仅具有一个侧壁；或者可能是在图中最左侧的浅沟槽隔离 1002 之外的部分（图中未示出，对应于另一有源区）具有另一侧壁。

随后，如图 4 所示，例如通过淀积，在图 3 所示的结构上形成一材料层 1012。材料层 1012 可以大致共形地淀积。在此，所谓“大致共形”是指共形度（在竖直表面上生长的厚度与在水平表面上生长的厚度之比）基本为 1，并可以在可接受的范围（例如约 1.0-0.7）内变化。该材料层 1012 可以包括氮化物（例如，氮化硅），淀积厚度（在此，尤指在开口侧壁上的厚度；在共形度为 1 时，可以是指材料层 1012 的淀积膜厚）可以定义将要形成的栅结构的最小栅长 $L_{\min}$ ，例如为约 5-25nm。

材料层 1012 可以包括在竖直表面（在此，开口的侧壁）上延伸的竖直延伸部以及在水平表面（在此，停止层的顶面）上延伸的水平延伸部。在图 4 的示例中，中间的开口（在相应源区中）具有两个侧壁且这两个侧壁限定的横向尺寸（图中水平方向的尺寸，以下也可以称作“宽度”）小于材料层厚度的两倍，从而在相对侧面上生长的材料层 1012 可以彼此汇合，以基本上填满该开口。最右侧的开口（在相应源区中）具有两个侧壁且这两个侧壁限定的宽度可以大于材料层厚度的两倍，从而材料层 1012 可以在该开口的底壁和相对的侧壁上延伸。而对于最左侧的开口，如上所述，其可以是位于边缘处从而仅具有单个侧壁并因此可以认为其宽度不受限，或者其可以具有与所示侧壁相

距较远(例如,大于材料层厚度的两倍)的另一侧壁(例如,在另一有源区中)。因此,材料层 1012 可以在该开口的侧壁和底壁上延伸。

接下来,如图 5 所示,可以在材料层上形成与栅结构中至少之一相对应的掩模层 1014。掩模层 1014 可以包括光刻胶。在该示例中,在最右侧的开口处形成掩模层 1014。该掩模层 1014 可以至少覆盖该开口中材料层(在该开口底壁上)的横向延伸部,并可以延伸到该开口中材料层(在该开口侧壁上)的竖直延伸部上。如上所述,掩模层 1014 的至少一端(在该示例中,两端)可以相对于开口的相应侧壁向开口内缩回。

然后,如图 6 所示,可以对材料层进行构图,以去除其横向延伸部。这种构图例如可以按照侧墙(spacer)形成工艺来进行。具体地,例如可以基本上竖直的角度,对材料层 1012 进行反应离子刻蚀(RIE)。于是,竖直表面(开口的侧壁)上的竖直延伸部可以保留(得到“侧墙”)。由于掩模层 1014 的存在,在最右侧的开口中,不仅得到侧墙,而且横向延伸部也得以保留。本领域技术人员知道多种方式进行这种侧墙形成工艺,在此不再赘述。

于是,构图后的材料层 1012 形成了栅结构的掩模 M_S 、 M_M 和 M_L 。在最左侧的开口中,掩模 M_S 的宽度大致对应于材料层 1012 的淀积厚度;在中间的开口中,掩模 M_M 的宽度大致对应于该开口的宽度;在最右侧的开口中,掩模 M_L 的宽度大致对应于该开口的宽度。

根据图 6(结合图 8)还可以看出:对于较小的栅结构(例如,栅长为最小栅长 $L_{\min}$),可以形成较大的开口,使得(在相应的有源区中)形成单个侧壁(无另外的侧壁,例如在边缘处;或者另一侧壁在另外的有源区中),该侧壁基本上限定了栅结构的一个横向界限;对于中等大小的栅结构(例如,栅长在 $L_{\min}$ 与 $2L_{\min}$ 之间)以及较大的栅结构(例如,栅长大于 $2L_{\min}$),可以(在相应的有源区中)形成与该栅结构相对应的开口,该开口的侧壁基本上限定了栅结构的横向界限。另外,可以针对较大的栅结构(例如,栅长大于 $2L_{\min}$)形成掩模层。因此,可以通过改变开口的宽度,来调节栅结构的尺寸。

之后,如图 7 所述,可以相对于停止层 1008,通过选择性刻蚀,去除辅助层 1010。可以看到,由于掩模 M_S 、 M_M 和 M_L 的侧壁基本没有经受刻蚀,所以可以较为平滑,从而导致改善的 LER。

然后，如图 8 所示，可以利用掩模 M_S 、 M_M 和 M_L ，依次对停止层 1008、栅导体层 1006 进行选择性刻蚀如 RIE，得到相应的栅结构 G_S 、 G_M 和 G_L 。在此，可选地可以进一步对栅介质层 1004 进行选择性刻蚀如 RIE。

之后，如图 9 所示，可以选择性去除掩模 M_S 、 M_M 和 M_L 。在结合图 8 所述的操作中没有对栅介质层 1004 进行刻蚀的情况下，可以对停止层 1008 和栅介质层 1004（在该示例中，均为氧化物）进行选择性刻蚀如 RIE。由于栅结构 G_S 、 G_M 和 G_L 的存在，栅介质层 1004 可以留于栅结构 G_S 、 G_M 和 G_L 下方（在此，将构图后的栅介质层和栅导体的叠层称作栅堆叠）。

在形成栅堆叠之后，可以有多种方式进行器件的制造。例如，可以栅堆叠为掩模，进行晕圈（halo）和延伸区（extension）注入。然后，可以在栅堆叠两侧，形成侧墙 1016。例如，侧墙 1016 可以通过在衬底上共形淀积一层氮化物，并对该氮化物层进行选择性刻蚀如 RIE 来形成。随后，可以栅堆叠和侧墙 1016 为掩模，进行源/漏注入。还可以进行退火处理，以激活注入的离子，并形成源/漏区（如图中虚线所示）。

在以上描述了先栅工艺，但是本公开不限于此。本公开也可以应用于后栅工艺。例如，以上形成的栅介质层和栅导体层可以是牺牲栅介质层和牺牲栅导体层（且构图后得到牺牲栅堆叠）。在这种情况下，可以在图 10 的结构上形成层间介质层（未示出），并对其平坦化。平坦化以侧墙 1016 为终点，从而露出牺牲栅堆叠。可以通过选择性刻蚀如湿法腐蚀，去除牺牲栅堆叠（具体地，牺牲栅导体层 1006 和牺牲栅介质层 1004）。这样，就在层间电介质层中在侧墙 1016 内侧留下了栅槽。随后，可以在栅槽内形成真正的栅堆叠。例如通过淀积，可以依次形成高 K 栅介质层和金属功函数层（未示出）。例如，高 K 栅介质层可以包括 HfO_2 等；金属功函数层 1010 可以包括 TiAl、TiN 等。金属功函数层可以包括单层结构或叠层结构。

在上述实施例中，描述了形成三个栅结构或栅堆叠的情况。但是，本公开不限于此。例如，可以形成更多或更少的栅结构或栅堆叠。

另外，在上述实施例中，在由浅沟槽隔离限定的各单独有源区中，分别形成单个栅结构或栅堆叠。但是，本公开不限于此。例如，可以在单独有源区中形成更多栅结构或栅堆叠。例如，可以在某一有源区上形成与上述示例中最右

侧开口类似的开口，在形成材料层之后并不在其之上形成掩模层。这样，经构图之后，可以在该开口的相对侧壁上留有两个侧墙。以这两个侧墙为掩模，可以在该有源区中获得两个栅结构或栅堆叠。

另外，在上述实施例中，描述了平面型器件。但是，本公开不限于此。本公开也可以应用于立体型器件如 FinFET。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求 书

1. 一种制造半导体器件的方法，包括：

在衬底上形成第一材料层和第二材料层；

在第二材料层上形成辅助层；

在辅助层中形成与将要形成的栅结构相对应的开口；

形成第三材料层，以覆盖辅助层；

在第三材料层上形成与栅结构中至少之一相对应的掩模层；

在存在掩模层的情况下，对第三材料层进行构图，去除其横向延伸部分；

去除辅助层；

以构图后的第三材料层为掩模，对第二材料层进行构图，以形成可定义不同栅长的栅结构。

2. 根据权利要求 1 所述的方法，其中，所述第三材料层的淀积厚度定义最小栅长。

3. 根据权利要求 2 所述的方法，其中，所述最小栅长为 5nm-25nm。

4. 根据权利要求 1 所述的方法，其中，所述第一材料层是栅介质层，且所述第二材料层是栅导体层。

5. 根据权利要求 1 所述的方法，其中，所述第一材料层是栅介质牺牲层，且所述第二材料层是栅导体牺牲层。

6. 根据权利要求 1 所述的方法，其中，所述开口包括第一开口，所述第一开口的横向尺寸大于所述第三材料层厚度的两倍，使得在对第三材料层构图之后所述第三材料层在所述第一开口的侧壁上形成侧墙，所述侧墙限定栅结构之一。

7. 根据权利要求 1 所述的方法，其中，所述开口包括第二开口，所述第二开口的横向尺寸小于所述第三材料层厚度的两倍且对应于栅结构之一的栅长，使得所述第三材料层基本上填满所述开口。

8. 根据权利要求 1 所述的方法，其中，所述开口包括第三开口，所述第三开口的横向尺寸大于所述第三材料层厚度的两倍且对应于栅结构之一的栅长，所述掩模层至少覆盖第三材料层在第三开口中的横向延伸部分但不超出该

开口的横向界限。

9. 根据权利要求 1 所述的方法，其中，所述第三材料层是大致共形地沉积的。

10. 根据权利要求 1 所述的方法，其中，对第三材料层进行构图包括：按侧墙形成工艺进行构图。

11. 根据权利要求 1 所述的方法，还包括：在栅导体层上形成停止层，其中辅助层形成于该停止层上。

12. 根据权利要求 11 所述的方法，其中，栅介质层包括氧化物，栅导体层包括多晶硅，停止层包括氧化物，辅助层包括非晶硅，材料层包括氮化物。

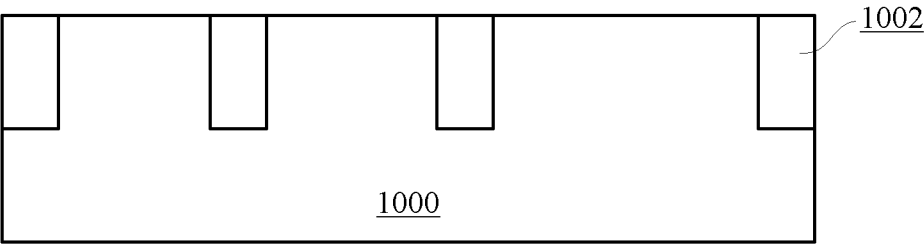


图1

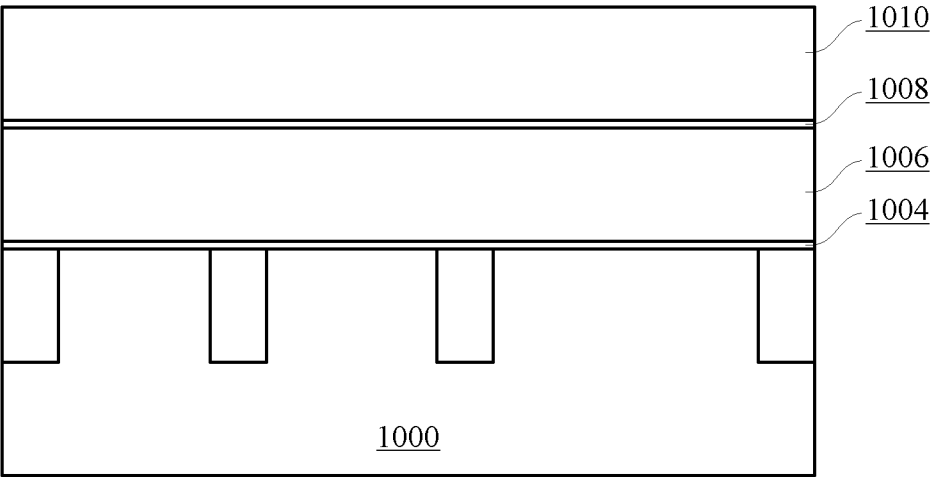


图2

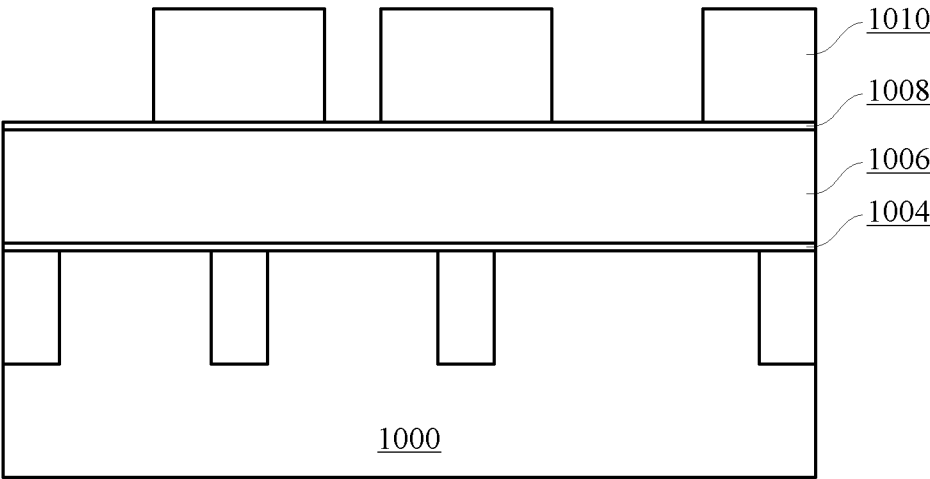


图3

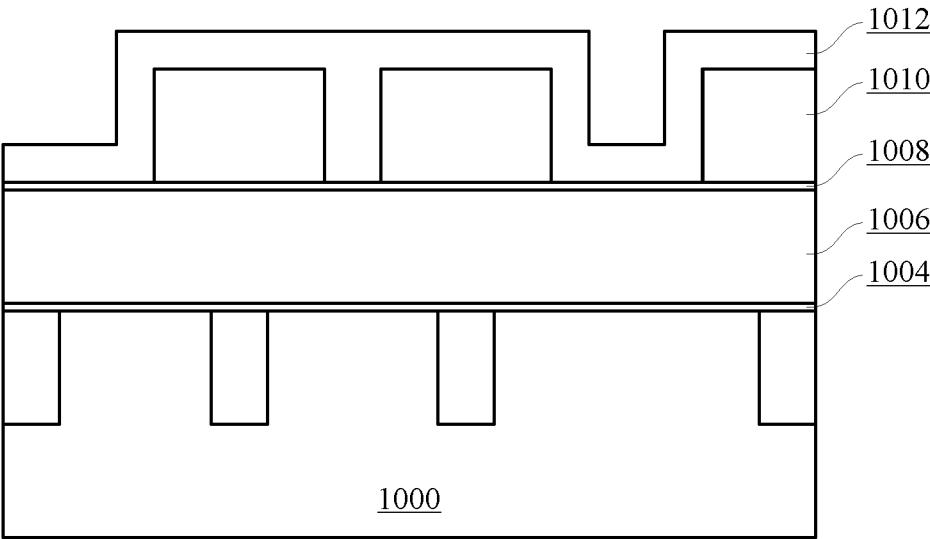


图4

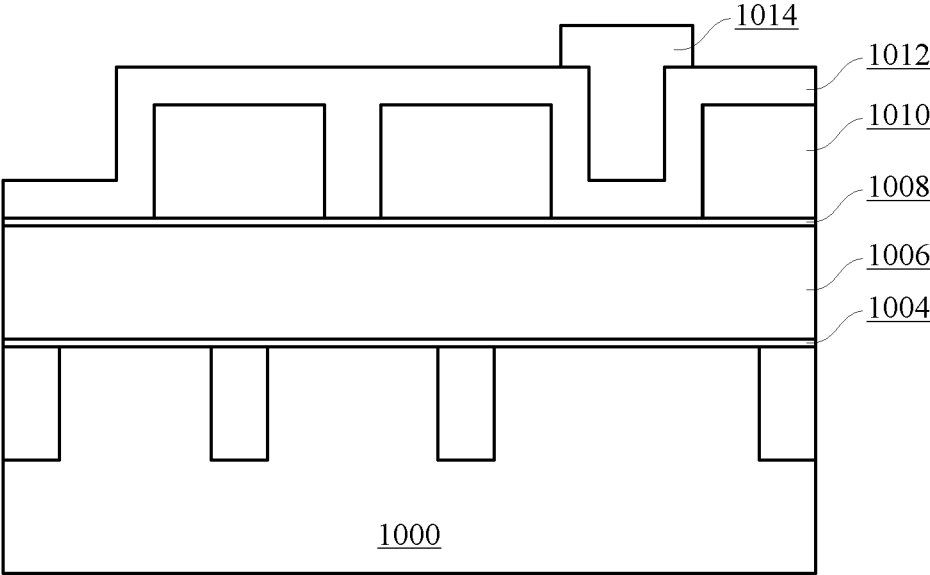


图5

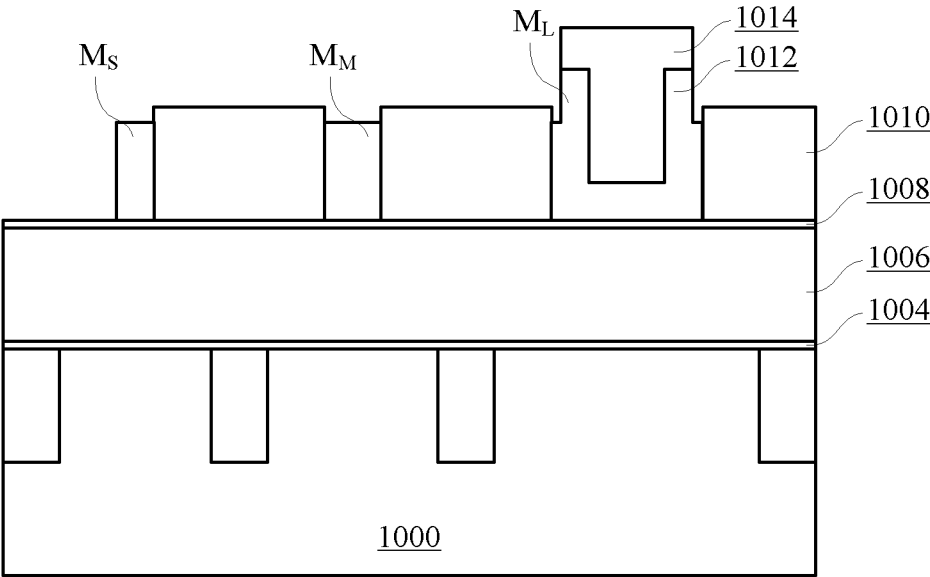


图6

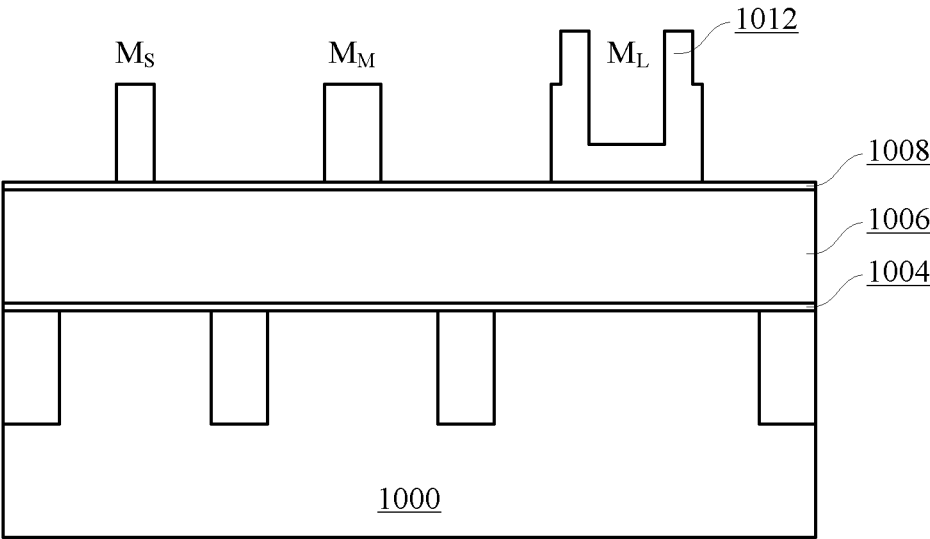


图7

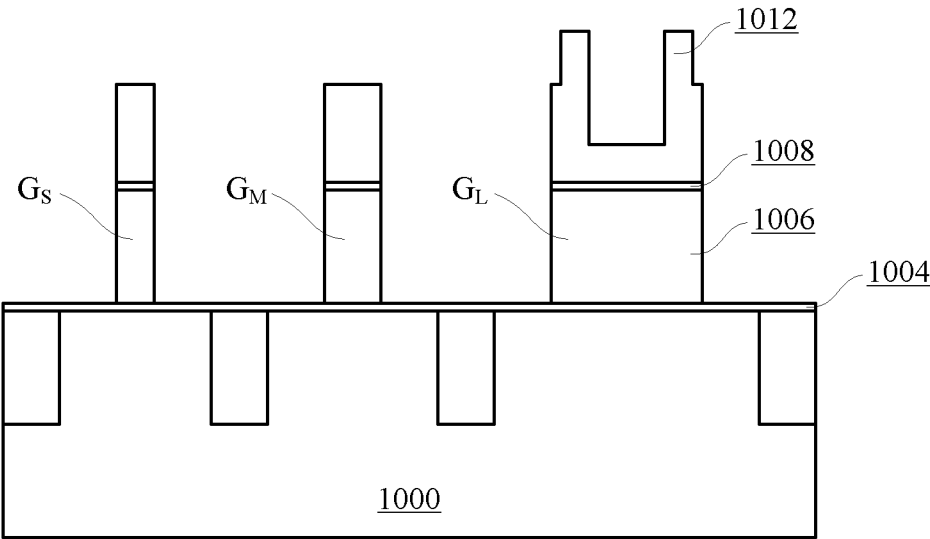


图8

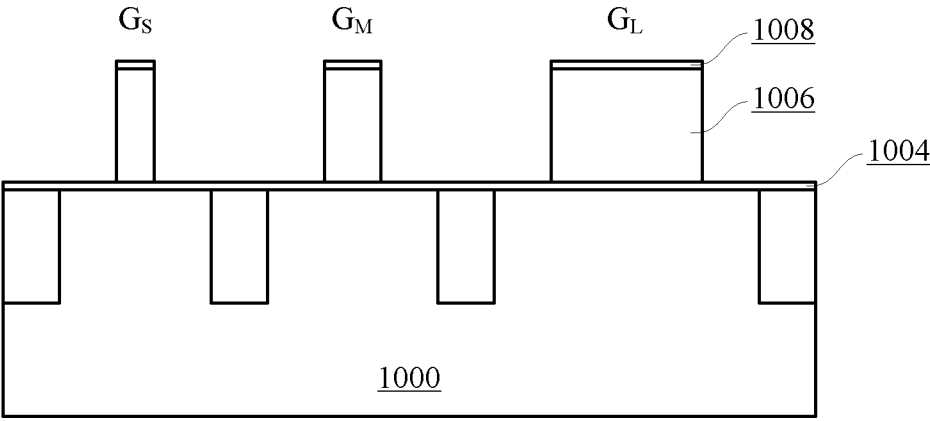


图9

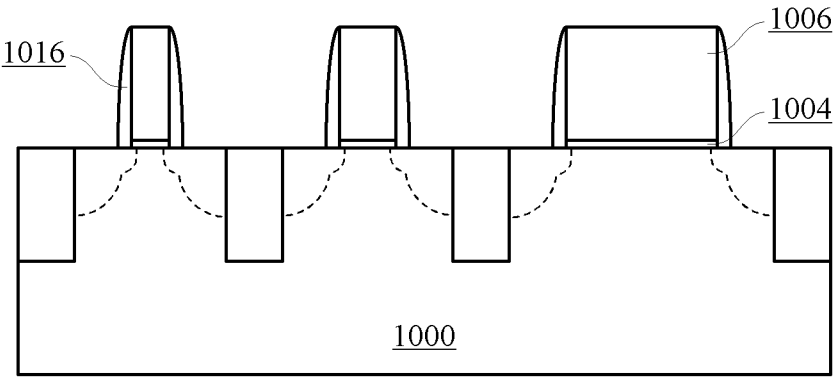


图10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/086119

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28 (2006.01) i; H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: gate, length, width, wider, mask, remove, opening, window, patterned, stack

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101950735 A (CHARTERED SEMICONDUCTOR MFG LTD.) 19 January 2011 (19.01.2011) description, paragraphs [0092]-[0098], and figures 3a-3g	1-12
A	CN 1996600 A (IBM CORP.) 11 July 2007 (11.07.2007) description, page 11, line 6 to page 13, line 14, and figures 8-17	1-12
A	US 2008164526 A1 (WANG MENG-JUN et al.) 10 July 2008 (10.07.2008) description, paragraphs [0020]-[0029], and figures 4-9	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 May 2014	Date of mailing of the international search report 17 June 2014
--	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Xiaoming Telephone No. (86-10) 62089263
---	--

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/086119

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101950735 A	19 January 2011	TW 201112337 A	01 April 2011
		SG 164319 A1	29 September 2010
		SG 183751 A1	27 September 2012
		US 2010213543 A1	26 August 2010
		US 8222130 B2	17 July 2012
CN 1996600 A	11 July 2007	CN 100576548 C	30 December 2009
		US 7547947 B2	16 June 2009
		US 2007108528 A1	17 May 2007
US 2008164526 A1	10 July 2008	US 7592265 B2	22 September 2009
		US 2009206403 A1	20 August 2009

国际检索报告

国际申请号

PCT/CN2013/086119

A. 主题的分类

H01L 21/28(2006.01) i; H01L 21/336(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: 栅极, 栅长, 长度, 宽度, 掩模, 去除, 开口, 图案化, 图形化, 构图, 堆栈, 堆叠, gate, length, width, wider, mask, remove, opening, window, patterned, stack

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101950735A (新加坡格罗方德半导体制造私人有限公司) 2011年 1月 19日 (2011 - 01 - 19) 说明书第[0092]段至第[0098]段, 图3a至图3g	1-12
A	CN 1996600A (国际商业机器公司) 2007年 7月 11日 (2007 - 07 - 11) 说明书第11页第6行至第13页第14行, 图8至图17	1-12
A	US 2008164526A1 (WANG MENG-JUN等) 2008年 7月 10日 (2008 - 07 - 10) 说明书第[0020]段至第[0029]段, 图4至图9	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 5月 29日

国际检索报告邮寄日期

2014年 6月 17日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

李晓明

电话号码 (86-10)62089263

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/086119

检索报告引用的专利文件		公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	101950735A	2011年 1月 19日	TW	201112337A	2011年 4月 01日
			SG	164319A1	2010年 9月 29日
			SG	183751A1	2012年 9月 27日
			US	2010213543A1	2010年 8月 26日
			US	8222130 B2	2012年 7月 17日
CN	1996600A	2007年 7月 11日	CN	100576548C	2009年 12月 30日
			US	7547947B2	2009年 6月 16日
			US	2007108528A1	2007年 5月 17日
US	2008164526A1	2008年 7月 10日	US	7592265B2	2009年 9月 22日
			US	2009206403A1	2009年 8月 20日

表 PCT/ISA/210 (同族专利附件) (2009年7月)