



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

(51) Int. Cl.³: H 04 L
H 04 J

7/08
3/06

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



(12) PATENTSCHRIFT A5

(11)

637 255

(21) Gesuchsnummer: 10031/78

(22) Anmeldungsdatum: 26.09.1978

(30) Priorität(en): 29.09.1977 NL 7710670

(24) Patent erteilt: 15.07.1983

(45) Patentschrift
veröffentlicht: 15.07.1983

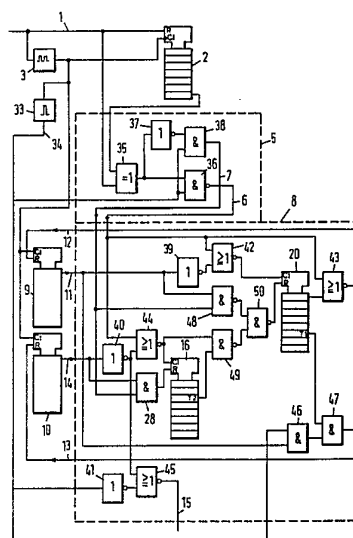
(73) Inhaber:
De Staat der Nederlanden, te dezen
vertegenwoordigd door de directeur-
generaal der Posterijen, Telegrafie en
Telefonie, Den Haag (NL)

(72) Erfinder:
Daniel Jan Jarus, Koudekerk aan de Rijn (NL)

(74) Vertreter:
Patentanwaltsbureau Isler & Schmid, Zürich

(54) Verfahren und Vorrichtung zur Extrahierung von Taktsignalen aus einem Synchronisierzeichen eines PCM-Signals.

(57) Die eintreffende Bitfolge eines PCM-Rahmen-Synchronisierzeichens wird mit einer vorgegebenen Bitfolge verglichen. Ein erster bzw. zweiter Impulserzeuger (10, 9) gibt in einer ersten bzw. zweiten Rahmenposition Taktsignale ab, wenn die Rahmen-Synchronisierzeichen ordnungsgemäss auftreten. Nach Auftreten einer Mindestanzahl (T1) aufeinanderfolgender ordnungsgemässer Bitfolgen in der zweiten Rahmenposition wird der erste Impulserzeuger (10) auf den zweiten (9) synchronisiert. Der zweite Impulserzeuger (9) wird zurückgesetzt, wenn eine Mindestanzahl (T2) von Rahmen-Synchronisierzeichen aufeinanderfolgend aufgetreten ist, wobei die Mindestanzahl (T2) in der ersten Rahmenposition kleiner als diejenige (T1) in der zweiten Rahmenposition ist. Eine Entscheidungsschaltung (8) enthält zwei Zähler (20, 16), welche bei Auftreten einer Bitfolge ausserhalb der ersten bzw. in der zweiten Rahmenposition auf Null gesetzt und weiterem Auftreten einer Bitfolge in der zweiten bzw. in der ersten Rahmenposition um eins weitergesetzt werden. Die Zähler (20, 16) sind derart verknüpft, dass der seine Stellung gemäss den Mindestanzahlen (T1, T2) zuerst erreichende Zähler (20, 16) bestimmt, ob der vorhandene Takt (T2) bleibt oder auf den ermittelten neuen Takt (T1) synchronisiert wird. Dadurch lässt sich eine Empfindlichkeit gegenüber Imitationen des Rahmen-Synchronisierzeichens reduzieren.



PATENTANSPRÜCHE

1. Verfahren zur Extrahierung von periodischen Taktsignalen aus einem periodisch in einem PCM-Rahmen vorkommenden Rahmen-Synchronisierzeichen, wobei die eintreffende Bitfolge des Rahmen-Synchronisierzeichens mit einer vorgegebenen Bitfolge verglichen wird, wobei ein erster Impulserzeuger in einer ersten Rahmenposition Taktsignale abgibt, wenn die Rahmen-Synchronisierzeichen ordnungsgemäss in dieser Rahmenposition auftreten, wobei ein zweiter Impulserzeuger in einer zweiten Rahmenposition Taktsignale erzeugt, wenn in dieser zweiten Rahmenposition eine Bitfolge auftritt, die der vorgegebenen Bitfolge entspricht, und wobei nach Auftreten einer Mindestanzahl aufeinanderfolgender Bitfolgen gemäss der vorgegebenen Bitfolge in der zweiten Rahmenposition der die Taktimpulse abgebende erste Impulserzeuger auf den zweiten Impulserzeuger synchronisiert wird, dadurch gekennzeichnet, dass der zweite Impulserzeuger (9) zurückgesetzt wird, wenn entweder in der nächsten zweiten Rahmenposition kein Rahmen-Synchronisierzeichen gefunden wird, oder wenn eine Mindestanzahl (T2) von Rahmen-Synchronisierzeichen aufeinanderfolgend in der ersten Rahmenposition aufgetreten ist, und dass die Mindestanzahl (T2) aufeinanderfolgender Rahmen-Synchronisierzeichen in der ersten Rahmenposition kleiner ist als die Mindestanzahl (T1) aufeinanderfolgender Rahmen-Synchronisierzeichen in der zweiten Rahmenposition.

2. Vorrichtung zur Durchführung des Verfahrens nach Anspruch 1 mit einem Zähler, der bei Auftreten einer Bitfolge gemäss dem Rahmen-Synchronisierzeichen ausserhalb der ersten Rahmenposition auf Null gesetzt wird und der bei jedem folgenden Auftreten einer derartigen Bitfolge in dieser zweiten Rahmenposition um eins weitergesetzt wird, bis er eine Mindestanzahl von derartigen aufeinanderfolgenden Bitfolgen erreicht, und mit einer Entscheidungsschaltung, die von dem Zähler bei Erreichen dieser Mindestanzahl angesteuert wird und die die Taktimpulse des ersten Impulserzeugers auf die Taktimpulse des zweiten Impulserzeugers synchronisiert, dadurch gekennzeichnet, dass ein weiterer Zähler (16) in der Entscheidungsschaltung (8) vorgesehen ist, der bei Auftreten einer Bitfolge gemäss dem Rahmen-Synchronisierzeichen in einer zweiten Rahmenposition ebenfalls auf Null gesetzt wird und der bei jedem folgenden Auftreten des Rahmen-Synchronisierzeichens in der ersten Rahmenposition um eins weitergesetzt wird, bis er eine Mindestanzahl (T2) von Rahmen-Synchronisierzeichen in der ersten Rahmenposition erreicht, und dass die beiden Zähler (20, 16) über logische Schaltungen derart miteinander und mit den Impulserzeugern (9, 10) verknüpft sind, dass derjenige Zähler (20, 16), der zuerst seine Stellung gemäss den Mindestanzahlen (T1, T2) erreicht, bestimmt, ob der vorhandene Takt erhalten (T2) bleibt oder ob auf den ermittelten neuen Takt synchronisiert wird (T1).

3. Vorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass der jeweilige Zähler (16, 20) auf Null zurückgesetzt wird, wenn in der ersten bzw. zweiten Rahmenposition keine dem Rahmen-Synchronisierzeichen entsprechende Bitfolge vorhanden ist.

4. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass der Zähler (20) ebenfalls auf Null zurückgesetzt wird, wenn der weitere Zähler (16) seine Mindestposition (T1) erreicht hat.

Die Erfindung betrifft ein Verfahren zur Extrahierung von periodischen Taktsignalen aus einem periodisch in einem PCM-Rahmen vorkommenden Rahmen-Synchronisierzeichen gemäss dem Oberbegriff des Patentanspruchs 1.

Ein derartiges Verfahren ist aus der GB-PS 1486887 bekannt. Die dort aufgezeigte Schaltungsanordnung geht von dem Prinzip aus, dass im Falle, dass mehrere identische Bitfolgen im PCM-Signal in einer Rahmenposition auftauchen, die mit der bisherigen Rahmenposition der Rahmen-Synchronisierzeichen nicht übereinstimmt, es sich folglich um einen Synchronisationsfehler handeln müsste, der durch Neusynchronisation des abzugebenden Taktsignals mit den einlaufenden angenommenen Rahmen-Synchronisierzeichen behoben wird. Dabei geht diese vorbekannte Lösung davon aus, dass bei dreimaligem aufeinanderfolgendem Auftreten von Bitfolgen, die dem Rahmen-Synchronisierzeichen entsprechen, an einer anderen als der bisherigen Rahmenposition es sich tatsächlich um Rahmen-Synchronisierzeichen handelt, die lediglich verschoben sind. Draufhin wird dann die Neusynchronisierung durchgeführt. Dabei bedient man sich zweier Impulserzeuger, die im Normalfall synchron laufen, aber von denen der eine Impulserzeuger beim Auftreten einer Bitfolge, die einem Rahmen-Synchronisierzeichen entspricht, mit der entsprechenden Rahmenposition synchronisiert wird. Tritt nun diese Bitfolge in der neuen Rahmenposition mindestens dreimal auf, so wird der den Taktimpuls weitergebende andere Impulserzeuger mit dem bereits umgestellten Impulserzeuger synchronisiert und dadurch wieder der Normalzustand der Synchronität der beiden Impulserzeuger hergestellt.

Nun kann ohne weiteres der Fall eintreten, dass die ausserhalb der gewohnten Rahmenposition der Rahmen-Synchronisierzeichen auftretenden identischen Bitfolgen gar keine echten Rahmen-Synchronisierzeichen darstellen, sondern lediglich wiederholte, identische Nutzsignale sind, die das Rahmen-Synchronisierzeichen imitieren. Wie oben beschrieben, genügt die dreimalige Imitation eines Rahmen-Synchronisierzeichens durch ein derartiges Nutzsignal, um die Neusynchronisierung der Vorrichtung zu bewirken. Dies bedeutet natürlich auch, dass nach dem Wegfall dieser Pseudo-Rahmen-Synchronisierzeichen eine erneute Neusynchronisierung auf die bisherigen Rahmen-Synchronisierzeichen erforderlich wird.

Die bekannte Vorrichtung gemäss der GB-PS 1486887 weist daher eine erhebliche Empfindlichkeit gegen an derselben Rahmenposition aufeinanderfolgende Imitationen des Rahmen-Synchronisierzeichens auf.

Es ist daher Aufgabe der Erfindung, ein derartiges Verfahren derart zu verbessern, dass diese Empfindlichkeit gegenüber Imitationen spürbar reduziert wird.

Erfindungsgemäss wird diese Aufgabe durch die im kennzeichnenden Teil des Patentanspruchs 1 angeführten Merkmale gelöst.

Die Erfindung betrifft auch eine Vorrichtung zur Durchführung dieses Verfahrens, welche Vorrichtung im Patentanspruch 2 definiert ist.

Die Erfindung soll nun anhand der Zeichnung beispielsweise erläutert werden. Darin zeigt:

Fig. 1 ein Beispiel des Aufbaus eines empfangenen Datensignals, in dem jeweils nach einer festen Anzahl von Datenbits ein Synchronisierzeichen *s* erscheint,

Fig. 2 das Blockschaltbild einer Vorrichtung nach der Erfindung,

Fig. 3 die Vorzugsausführung einer Entscheidungsschaltung nach der Erfindung,

Fig. 4 das Funktionsdiagramm der Synchronisiervorrichtung nach der Erfindung,

Fig. 5 ein Beispiel eines ausgearbeiteten Schemas der Synchronisiervorrichtung nach der Erfindung und

Fig. 6 ein Signal-Zeit-Diagramm der der Schaltung nach Fig. 5 zugeführten Daten-, Takt- und Impulssignale.

Fig. 1 zeigt einen Teil eines Datensignals, in dem die Bitwörter für Daten stets mit einem «d» und die Bits für die Syn-

chronisation mit einem «s» angegeben sind. In grösseren Einheiten, wie z.B. Rahmen und Überrahmen, können die mit «s» bezeichneten Synchronisierzeichen ein ganzes Bitwort sein. Für das Funktionsprinzip der nachstehend beschriebenen Schaltung ist das nicht von prinzipieller Bedeutung. Auf der Empfangsseite sind die Zusammensetzung aller Synchronisierzeichen und ihre Position innerhalb des Signals bekannt, so dass man sich für die Konstatierung des Vorhandenseins und der Richtigkeit mit einem im richtigen Augenblick stattfindenden Vergleich des empfangenen Signals mit einem in dem Empfänger gespeicherten Zeichen begnügen kann.

Fig. 2 zeigt das Blockschaltbild einer Vorrichtung nach der Erfindung, in dem 1 der Signaleingang ist. Das eintreffende Signal wird in einen Puffer 2 geleitet, und der Taktgeber 3 leitet aus dem Signal einen Taktimpuls ab. Der Puffer 2 hat eine Verbindung 4 mit der Vergleichsschaltung 5 mit einem Ausgang 6, der eine logische «1» führt, wenn das empfangene Signal mit dem Bezugssynchronisierzeichen übereinstimmt, und einem Ausgang 7, der eine logische «1» führt, wenn das empfangene Signal mit dem Bezugssynchronisierzeichen nicht übereinstimmt. Die Ausgänge 6 und 7 sind mit einer Entscheidungsschaltung 8 verbunden, die ihrerseits überdies mit einem Impulserzeuger 9, der für die weiter oben erwähnte Suchaktion benutzt wird, und einem Impulserzeuger 10 verbunden ist, der den für die dahinterliegende Apparatur erforderlichen Synchronisierimpuls erzeugt. Der Impulserzeuger 9 empfängt von dem Taktgeber 3 ein Signal und produziert jeweils nach Empfang einer festen Anzahl Bits einen Impuls. Dieser Impuls wird über den Ausgang 11 der Entscheidungsschaltung 8 zugeführt. Der Impulserzeuger kann über den Eingang 12 durch die Entscheidungsschaltung 8 zurückgesetzt werden. Auch der Impulserzeuger 10 ist mit dem Taktgeber 3 verbunden, hat einen mit der Entscheidungsschaltung 8 verbundenen Rücksetzungseingang 13 und einen Ausgang 14, der zum Zweck der Weitergabe des Synchronisierimpulses an die dahinterliegende Apparatur überdies mit dem Ausgang 15 der Synchronisierereinheit gekoppelt ist.

Die Impulserzeuger 9 und 10 laufen, wenn während einiger Zeit ein richtiges Synchronisierzeichen empfangen worden ist, synchron. Sowie ein falsches Synchronisierzeichen eintrifft, geht dieser Synchronismus verloren und wird der Impulserzeuger 9 beim nächsten, innerhalb des empfangenen Signals gefundenen, richtigen Synchronisierzeichen zurückgesetzt. Damit ist die Suchaktion gestartet und wird so lange fortgesetzt, bis das Synchronisierzeichen einige Male nacheinander innerhalb des empfangenen Signals gefunden wird. Dann konstatiert die Entscheidungsschaltung 8, dass der Rhythmus des Impulserzeugers 9 richtig ist und synchronisiert den Impulserzeuger 10 mit dem Impulserzeuger 9.

Die Funktion des Puffers 2, des Taktgebers 3, der Vergleichsschaltung 5 und der Impulserzeuger 9 und 10 ist allgemein bekannt und wird also hier nicht näher behandelt.

Fig. 3 ist die Darstellung einer Vorzugsausführung der Entscheidungsschaltung 8, die Eingänge 6, 7, 11 und 14, Ausgänge 12, 13 und 15 hat, sowie einen ersten Zähler 16 mit dem Taktgebereingang 17, dem Berichtigungseingang 18 und dem Ausgang 19, der dem einstellbaren Zählerwert entspricht, sowie einen zweiten Zähler 20 mit einem Berichtigungseingang 21, einem Taktgebereingang 22, einem Null-Ausgang 23 und einem Eingang 24, der dem einstellbaren Zählerwert entspricht. Weiter besitzt die Schaltung UND-Glieder 25, 26, 27, 28, 29, 30 und 31 sowie ein ODER-Glied 32. Am Eingang 11 erscheint eine logische «1», wenn der Impulserzeuger 9, der zu einer Suchschaltung gehört, einen Impuls produziert. Am Eingang 14 erscheint eine «1», wenn der Impulserzeuger 10 einen Impuls produziert. Wird in dem Augenblick, zu dem ein Synchronisierimpuls am Eingang 14 erscheint, ein richtiges Synchronisierzeichen empfangen (der Eingang 6 führt eine «1»),

dann wird über das UND-Glied 27 der Taktgebereingang 17 des Zählers 16 «1» und der Stand des Zählers 16 erhöht sich um eins. Der Zähler geht nach jedem Impuls des UND-Glieds 27 weiter, bis der Entstand erreicht ist, der beibehalten wird.

Beim Erscheinen des Zählerstands T2 erscheint am Ausgang 19 eine «1», die dafür sorgt, dass dem Berichtigungseingang 21 des Zählers 20 über die Glieder 29 und 32 eine «1» zugeführt wird, so dass auch am Ausgang 23 eine «1» erscheint und der Ausgang 12 ebenfalls in den Stand «1» kommt. Dadurch wird der Impulserzeuger 9 mit dem Impulserzeuger 10 synchronisiert. Wird in dem empfangenen Signal ein falsches Synchronisierzeichen gefunden, dann erscheint eine «1» am Eingang 7, so dass beim Erscheinen einer «1» am Eingang 14 dem Berichtigungseingang des Zählers 16 über das UND-Glied 28 eine «1» zugeführt wird. Dadurch wird der Zähler 16 in den Null-Zustand zurückgesetzt. Ist inzwischen der Impulserzeuger 9 mit dem Impulserzeuger 10 synchronisiert, dann erscheint an den Eingängen 11 und 14 gleichzeitig eine «1», so dass bei Empfang eines falschen Synchronisierzeichens dem Berichtigungseingang 21 des Zählers 20 über die Glieder 25 und 32 eine «1» zugeführt wird. Dadurch wird der Zähler auf Null zurückgesetzt.

Wird an einer willkürlichen Stelle in dem empfangenen Signal ein richtiges Synchronisierzeichen gefunden, dann erscheint am Eingang 6 eine «1» und am Ausgang 12 wird über das Glied 30 eine «1» zugeführt, so dass der Impulserzeuger 9 zurückgesetzt wird und die Impulserzeuger 9 und 10 nicht mehr synchron sind. Der Impulserzeuger 10 gibt über den Ausgang 15 der dahinterliegenden Apparatur auch weiterhin Synchronisierimpulse. Der Impulserzeuger 9 hat die Suchaktion gestartet. Beide Zähler sind in den Null-Zustand zurückgesetzt.

Der Empfang des falschen Synchronisierzeichens kann zwei Ursachen haben:

1. in dem Synchronisierzeichen kommen ein oder mehrere falsche Bits vor, oder
2. der Synchronismus ist verlorengegangen.

zu 1: Anzunehmen ist, dass in dem Augenblick, zu dem der Impulserzeuger 10 einen Impuls sendet, ein richtiges Synchronisierzeichen gefunden wird. Dann wird der Stand des Zählers 16 über das Glied 27 um eins erhöht. Der Empfang des richtigen Synchronisierzeichens erhöht den Stand des Zählers 16 um eins, bis der Stand T2 erreicht ist. Dadurch kommt der Ausgang 19 auf «1», und der Berichtigungseingang 21 des Zählers 20 kommt über die Glieder 29 und 32 ebenfalls auf «1». Danach kommt das weiter oben skizzierte Verfahren wieder in Gang.

Zu 2: Hier gibt es zwei Möglichkeiten:

2.1 Gleichzeitig mit dem Impuls des Impulserzeugers 9 am Eingang 11 wird ein falsches Synchronisierzeichen empfangen. Dann wird der Zähler 20 über die Glieder 25 und 32 in den Null-Zustand gebracht, und nach Empfang des ersten richtigen Synchronisierzeichens erscheint am Ausgang 12 eine «1», so dass der Impulserzeuger 9 zurückgesetzt wird und sich das Suchen in dem empfangenen Signal auf eine andere Stelle konzentriert;

2.2 gleichzeitig mit dem Impuls des Impulserzeugers 9 am Eingang 11 wird ein richtiges Synchronisierzeichen gefunden, so dass der Taktgebereingang des Zählers 20 über das Glied 26 auf «1» kommt und der Stand dieses Zählers sich um eins erhöht. Ist diese Situation mehrerer Male nacheinander aufgetreten, dann erreicht der Zähler 20 den Stand T1. Das gibt an, dass das richtige Synchronisierzeichen im Augenblick des Impulses des Impulserzeugers 9 am Eingang 11 empfangen wird, so dass die Suchaktion eingestellt werden kann. Die Berichtigungsaktion findet nun dadurch statt, dass am Ausgang 13 über das Glied 31 eine «1» zugeführt wird. Dadurch wird der Impulserzeuger 10 zurückgesetzt und mit dem

Impulserzeuger 9 synchronisiert.

Aus dem Vorhergehenden ist abzuleiten, dass ein Synchronisierfehler erst nach Empfang von T2 falschen Synchronisierzeichen signalisiert und nach Empfang von T1 richtigen Synchronisierzeichen berichtigt wird. Das impliziert, dass der Wert T1 grösser sein muss als der Wert T2. Die Festsetzung der Werte T1 und T2 ist für die optimale Wiederherstellung des Synchronismus wichtig. Das Verhältnis zwischen den Werten T1 und T2 aber ist vom System abhängig.

Es versteht sich von selbst, dass auch andere Ausführungen der beschriebenen Schaltung als die, die in Fig. 3 dargestellt ist, denkbar sind. Mit einem Ersatz der UND- und ODER-Glieder durch andere Logikschaltungen lässt sich der gleiche Effekt erzielen. Da solche Alternativlösungen in das Bereich der allgemeinen Technik fallen, brauchen sie hier nicht behandelt zu werden. Zu erwähnen ist noch, dass sich eine Schaltung der beschriebenen Art, gerade dank ihrer vielseitigen Verwendungsmöglichkeiten und ihres einfachen Aufbaus, ausgezeichnet für Ausführung in Form einer Mikro-schaltung eignet, wobei dann die Ausgänge der Zähler 16 und 20 für die systemabhängige Einstellung der Werte T1 und T2 nach aussen liegend ausgeführt werden können.

In Fig. 4 ist das Verfahren nach der Erfindung in einem Diagramm wiedergegeben.

Die Zustände werden nachstehend anhand des Stands der Zähler 16 und 20 erläutert:

Zustand	Stand des Zählers 20	Stand des Zählers 16	Bemerkungen
A ₀	0	≥ T2	
A ₁	0	0	
A ₂	–	< T2	Stand des Zählers 16 wird um 1 erhöht
A ₃	> 0	0	
C ₁	< T1	–	Stand des Zählers 20 wird um 1 erhöht
C ₂	0	> 0	
R	T1	–	Impulserzeuger 9 ist mit Impulserzeuger 10 synchronisiert

Die Andeutung s gibt zu erkennen, dass das Synchronisierzeichen gefunden wird, wenn ein Impuls am Ausgang 14 des Impulserzeugers 10 erscheint; die Andeutung e gibt zu erkennen, dass das Synchronisierzeichen gefunden wird, wenn ein Impuls am Ausgang 11 des Impulserzeugers 9 erscheint. Bei normalen Synchronismus bleibt das System im Zustand A₀, was mit dem umlaufenden Pfeil s angegeben ist. Der Nichtempfang eines richtigen Synchronisierzeichens zu den genannten Augenblicken ist mit $\bar{s}$ bzw. $\bar{e}$ angedeutet. Wird 1 x nicht im richtigen Augenblick das richtige Synchronisierzeichen empfangen, dann entsteht Zustand A₁ dadurch, dass der Zähler 20 in den Null-Zustand zurückgesetzt wird. Dadurch wird die Suchaktion gestartet.

Wie bereits gesagt, kann das Finden eines falschen Synchronisierzeichens zwei Ursachen haben, nämlich

1. ein einzelner Bitfehler im Synchronisierzeichen. Dann wird das folgende Synchronisierzeichen wahrscheinlich wieder richtig sein, wodurch Zustand A₂ entsteht,

2. Der Synchronismus ist verlorengegangen. Dann wird nach einigem Suchen ein Synchronisierzeichen zu dem von dem Impulserzeuger 9 bezeichneten Augenblick gefunden, wodurch Zustand C₁ entsteht, der erhalten bleibt, solange das Synchronisierzeichen zu dem von dem Impulserzeuger 9 angegebenen Zeitpunkt gefunden wird, höchstens aber T1 mal.

Wenn das Zeichen T1 mal gefunden worden ist, entsteht der Zustand R, in dem der Impulserzeuger 10 mit dem Impulserzeuger 9 synchronisiert wird. Nach Empfang des nächsten richtigen Synchronisierzeichens entsteht Zustand A₂.

Nachdem ein richtiges Synchronisierzeichen T2 mal eingegangen ist, ändert sich der Zustand A₂ wieder in Zustand A₀. Der Voraussetzung von T2 richtigen Synchronisierzeichen nacheinander muss entsprochen werden, um zu vermeiden, dass die Vorrichtung dadurch in den Ruhezustand (A₀) kommt, dass ein oder mehrere Male zu Nachrichtenzeichen gehörige Bits für Synchronisierzeichen angesehen werden.

Im Zustand A₂ gibt es vier Möglichkeiten:

1. Das Synchronisierzeichen wird T2 mal nacheinander richtig empfangen. Daraus ergibt sich Zustand A₀.

2. Es tritt ein einzelner Bitfehler auf, wodurch sofort eine Suchaktion gestartet wird. Das Synchronisierzeichen aber wird weder zu dem vom Impulserzeuger 9, noch zu dem vom Impulserzeuger 10 angegebenen Augenblick gefunden. Dadurch entsteht Zustand C₂. Da es sich um einen einzelnen Bitfehler handelt, wird beim folgenden Impuls des Impulserzeugers 10, wenn das Synchronisierzeichen – vorausgesetzt, dass es richtig empfangen wird – eintrifft, Zustand A₂ wiederhergestellt.

3. Der Synchronismus geht wieder verloren, d.h. zu den von den Impulsgebern 9 und 10 angegebenen Augenblicken wird das Synchronisierzeichen nicht gefunden. Dadurch entsteht über Zustand C₂ Zustand A₁ und das weiter oben beschriebene Verfahren wird durchgeführt.

4. Der Synchronismus geht verloren, zu dem von dem Impulserzeuger 9 angegebenen Augenblick wird aber doch ein Synchronisierzeichen gefunden. Dann ergibt sich Zustand C₁.

Zustand A₃ wird auf die in dem Diagramm angegebene Weise erreicht und verlassen. Dieser Zustand ist ein Zwischenzustand, über den A₁ und C₁ wieder erreicht werden können, nachdem im Zustand C₁ zu keinem der von den Impulserzeugern 9 und 10 angegebenen Augenblicken ein Synchronisierzeichen gefunden worden ist oder wenn im Zustand R zu dem von den dann synchron laufenden Impulserzeugern 9 und 10 angegebenen Augenblick kein Synchronisierzeichen gefunden wurde.

Fig. 5 zeigt als Ausführungsbeispiel das Schema einer Synchronisiervorrichtung nach der Erfindung. In dem über den Eingang 1 eintreffenden Signal ist pro 8 Bits 1 Synchronisierbit enthalten. Diese Synchronisierbits haben abwechselnd den Wert «1» oder «0». Die Vergleichsschaltung 5 vergleicht jedes am Eingang 1 eintreffende Bit mit dem an der 8. Stelle des Schieberegisters 2 vorliegenden Bit.

Fig. 6 zeigt die zeitliche Position einer Reihe von Signalen nach Fig. 5:

– Zeile a zeigt das Ausgangssignal der Taktgeberschaltung 3,
– Zeile b das am Eingang 1 eintreffende Datensignal. Dabei sind die mit S1, S2 und S3 angegebenen Bits Synchronisierbits,
– Zeile c zeigt das am Ausgang des Schieberegisters 2 (Fig. 5) erscheinende Signal,
– Zeile d die Lage des Impulssignals des Impulserzeugers 33 (Fig. 5) am Ausgang 34 (Fig. 5), und
– die Zeilen e und f zeigen die Impulssignale an den Ausgängen 6 bzw. 7 (Fig. 5).

Am Ausgang 6 entsteht ein Impuls, wenn die zwei Datenbits auf den Zeilen b und c voneinander abweichen; am Ausgang 7 entsteht ein Impuls, wenn die zwei Datenbits auf den Zeilen b und c einander gleich sind.

Der Gebrauch des Impulses (Fig. 6, Zeile d) des Impulserzeugers 33 ist erwünscht, um die Nichteindeutigkeit von Signalen zu vermeiden, die dadurch entsteht, dass die Impulssignale des Daten- und des Taktgebersignals sich nicht völlig

decken. Die Impulserzeuger 9 und 10 sind hier als Achtteiler ausgeführt, weil die Untersuchung, ob die Synchronisierbits übereinstimmen oder nicht, nur 1 x pro 8 Bits ausgeführt zu werden braucht. Die Entscheidungsschaltung 8 besteht in dieser Ausführungsform aus den Zählern 16 und 20, drei Negatoren 39, 40 und 41, vier NOR-Gliedern 42, 43, 44 und 45, drei UND-Gliedern 28, 46 und 47 und drei NAND-Gliedern 48, 49 und 50. Eine weitere Beschreibung der Arbeitsweise dieser Ausführungsform kann nach der Beschreibung der Fig. 2 und 3 unterbleiben, denn die mit dieser Ausführungsform erzielten Resultate sind die gleichen. Das UND-Glied 46 ist aufgenommen, damit der Impulserzeuger 10 in zuverlässiger Weise

zurückgesetzt werden kann. Die Funktion des UND-Glieds 47 stimmt mit der des UND-Glieds 31 (Fig. 3) überein. Die aus dem Negator 41 und dem NOR-Glied 45 bestehende Schaltung, die dazu dient, die über den Ausgang 15 zu sendenden Synchronisierimpulse für einander gerade nicht genau deckende Signalübergänge unempfindlich zu machen, braucht nicht in die Entscheidungsschaltung 8 eingebaut zu sein, sondern kann auch ausserhalb der Schaltung montiert werden.

Es versteht sich von selbst, dass die Entscheidungsschaltung 8 auf viele verschiedene Arten konstruiert sein kann, ohne dass sich dadurch die Funktion der Schaltung ändert.

FIG. 1

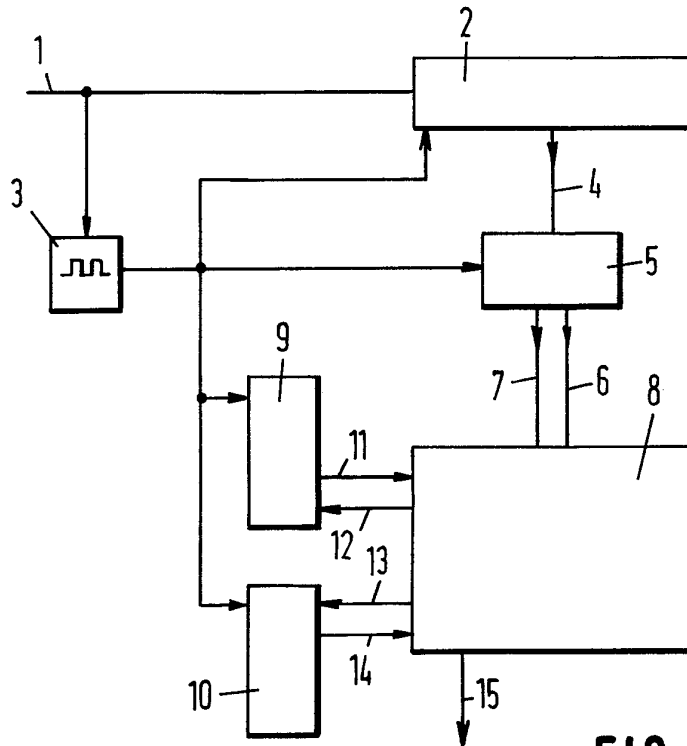
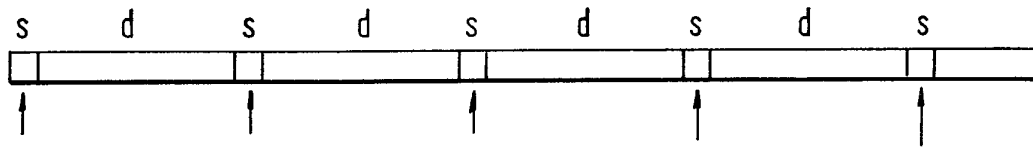


FIG. 2

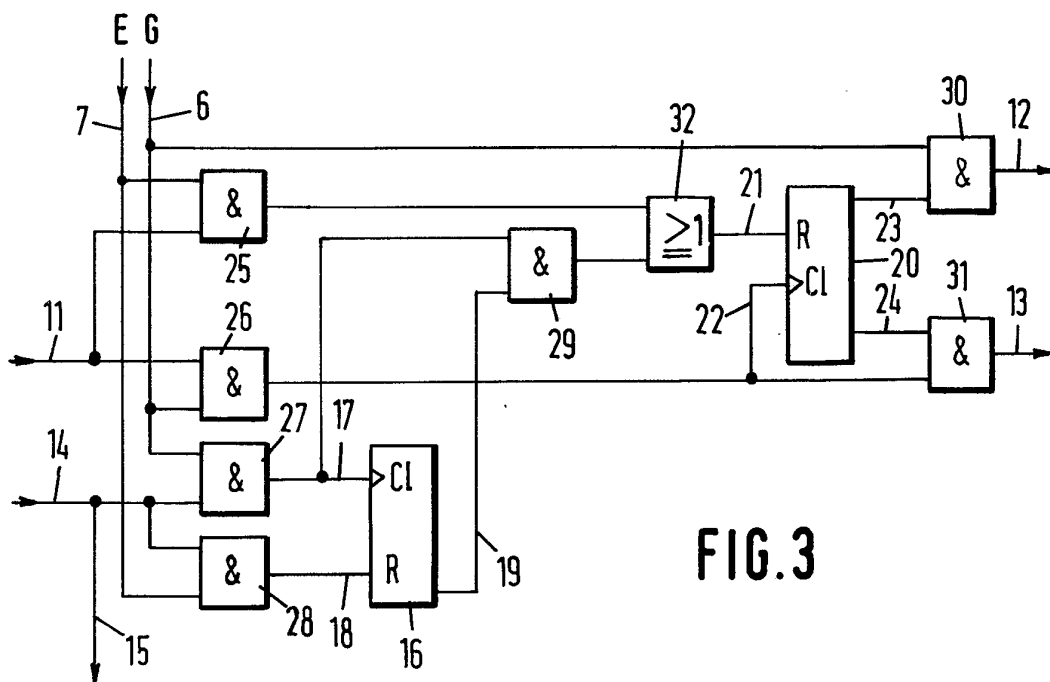


FIG. 3

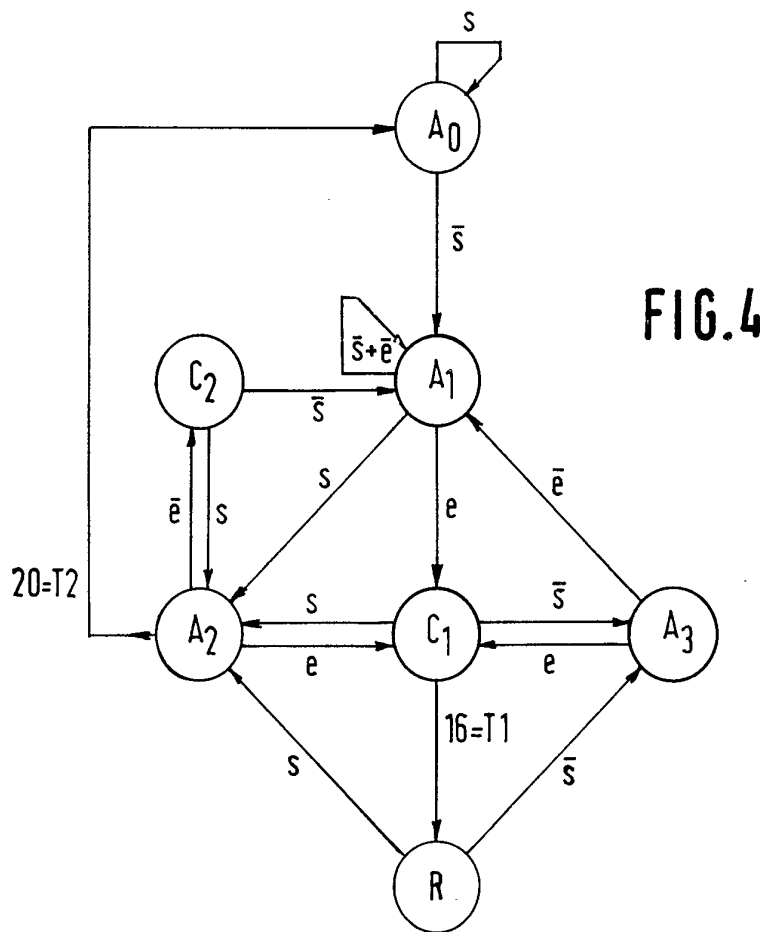


FIG. 6

