(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3674059号
(P3674059)
(45)発行日　平成17年7月20日(2005.7.20)　(24)登録日　平成17年5月13日(2005.5.13)

(51)Int.Cl.[7]　F I
G02F 1/133　G02F 1/133 550
G09G 3/36　G02F 1/133 575
G09G 3/36

請求項の数 1　(全 22 頁)

(21)出願番号　特願平6-255793
(22)出願日　平成6年10月20日(1994.10.20)
(65)公開番号　特開平8-160392
(43)公開日　平成8年6月21日(1996.6.21)
審査請求日　平成13年10月22日(2001.10.22)
(31)優先権主張番号　特願平6-239118
(32)優先日　平成6年10月3日(1994.10.3)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(72)発明者　小澤　裕
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　井上　明
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　平林　幸哉
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】
【請求項１】
複数の走査線、複数のデータ線、前記走査線と前記データ線により選択される複数の液晶素子、前記複数の液晶素子とそれぞれ電気的に接続されてなる複数の非線形素子、を有する液晶パネルと、
前記複数の走査線に走査信号を供給する走査信号駆動回路と、
前記複数のデータ線にパルス幅変調方式のＯＮ電圧又はＯＦＦ電圧からなるデータ信号を供給するデータ信号駆動回路と、
前記各データ線に印加されるべき前記データ信号が示す所定の階調データについて、一の階調データの数と他の階調データの数とを階調間に異なる重み付けを付与しながら計数する階調計数手段と、
前記階調計数手段の計数結果に対応した補正量データを出力する補正量決定手段と、
前記補正量データに応じた値がロードされるカウンタを有し、走査期間において、当該カウンタが前記補正量データに応じた値から前記データ信号の階調データに応じた値までクロックをカウントし、当該階調データに応じた値に達したタイミングで前記データ信号のＯＮ電圧とＯＦＦ電圧を切り替える印加電圧補正手段と
を備えることを特徴とする液晶表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】

【０００２】
【従来の技術】
近年、液晶表示装置は、低消費電力で軽量なディスプレイ・デバイスとして、液晶テレビ、パーソナルワープロ、パーソナルコンピュータ等に広く利用されている。そして、今後さらに多くの画像情報を表示するために、画素数、階調数の増加が期待されている。このような画素数、階調数の増加は、表示画像情報の大容量化を意味し、その結果、液晶表示装置の１ラインの走査期間は次第に短くなり、階調もより細かく制御されてきた。
【０００３】
このような液晶表示装置の階調を制御する方法としては、複数のフレーム間で階調制御を行うフレーム変調方式や、選択期間内のデータ信号のパルス高さやパルス幅の制御を行うパルス高変調方式やパルス幅変調方式が、従来より用いられている。
【０００４】
このうち、パルス幅変調方式は、水平選択期間を階調数に応じた複数の期間に分割し、水平選択期間中のデータ線にオン成分を加算する期間、すなわち書き込みパルス幅を変えることにより、階調表示を行う方式である。３ビットのデジタル・データを階調データとして用い、階調数を８（全ＯＮ、全ＯＦＦ、及び６つの中間調）とした場合のデータ線に出力される電圧波形の変化を図１５に示す。
【０００５】
交流化信号ＦＲがＨｉｇｈの場合には、デジタル階調データ（Ｄ２．Ｄ１．Ｄ０．）が（０．０．０．）となる全ＯＦＦ状態のとき、選択期間（Ｔｈ）中、常にＯＦＦ電圧であるＶｘ１が出力され、階調データの値が大きくなるに従い、ＯＮ電圧であるＶｘ２の期間が長く出力される。デジタル階調データ（Ｄ２．Ｄ１．Ｄ０．）が（１．１．１．）となる全ＯＮ状態のときは、選択期間（Ｔｈ）の期間中、常にＯＮ電圧が出力される。
【０００６】
交流化信号（ＦＲ）がＬＯＷの場合には、ＯＮ電圧はＶｘ１、ＯＦＦ電圧はＶｘ２となり、同様に階調データの値が大きくなるほど、ＯＮ電圧を出力する期間が長くなる。図におけるＴｈは、１ラインの走査線が選択される期間であり、通常の液晶表示装置においては１水平走査期間に対応する。
【０００７】
図１６は、パルス幅変調方式を単純マトリクスに適応した場合の理想的な駆動電圧波形（走査信号、データ信号、それらの差信号）を示した図である。図中のＦＲは図１５に示した交流化信号である。走査信号（ＣＯＭ）に３値のレベル（Ｖｙ１，Ｖｙ２，Ｖｙ３）を、データ信号（ＳＥＧ）に２値の電圧レベル（Ｖｘ１，Ｖｘ２）を使用している。
【０００８】
ここで、デジタル階調データとして中間調の階調情報を与えた場合、信号電極には、対応した電圧波形（ＳＥＧ）が出力される。ＳＥＧは、この交流化信号（ＦＲ）の立ち上がり・立ち下りのタイミングに少し遅れて立ち上がったり、立ち下ったりしている。図１６では、ＳＥＧとして、すべてのラインで同じ階調表示を与える波形を例示したが、一般的には、ライン毎に固有の立ち上がり・立ち下がりのタイミングが与えられる。
【０００９】
選択期間（Ｔｓ）中には、交流化信号（ＦＲ）がＨＩＧＨの場合には、走査信号としてＶｙ３の電圧レベル、ＬＯＷの場合には走査信号としてＶｙ２の電圧レベルが出力される。また、非選択期間（Ｔｎｓ）中には、走査信号としてＶｙ１が出力される。図１６においてｍ番目の走査電極は、Ｔｓ期間中に選択され、図に示すＣＯＭｍの電圧波形を出力する。このように走査信号とデータ信号を与えた場合、その差信号（ＳＥＧ－ＣＯＭｍ）が液晶素子に印加される電圧となる。その結果、ＯＮ電圧が印加される時間（Ｔｏｎ）が長くなるほど、液晶素子に印加される実効電圧が高くなり、Ｔｏｎが短くなるほど、液晶素子に印加される実効電圧が低くなる。この場合、ノーマリー・ホワイト・タイプ（液晶層に印加されるが電圧が高くなるほど透過率が低下するタイプ）の液晶表示装置においては、階調データの値が大きくなるほど、液晶表示装置の透過率は低くなる。

【００１０】
図１６は、走査線、データ線の配線抵抗、駆動ＩＣの出力インピーダンスがないと仮定した場合の理想的な電圧波形である。実際の液晶表示装置においては、データ線でのデータ電圧のスイッチングにより液晶素子を介して容量結合が起こり、走査信号の電圧歪み（以後クロストーク・ノイズと呼ぶ）が発生する。
【００１１】
図１７は、データ信号（ＳＥＧｎ）とデータ信号（ＳＥＧｌ）の容量結合により、走査信号（ＣＯＭｍ）にクロストーク・ノイズが混入した様子を示した図である。このクロストーク・ノイズの混入により、液晶層に印加される電圧波形（ＳＥＧｎ－ＣＯＭｍ）の実効値は、図１６に示した理想波形に比べ低下し、その結果、液晶表示装置の透過率が変動してしまう。この透過率変動は、クロストークと呼ばれている。クロストークは、階調数の増加や１ラインの表示ドット数の増加による駆動電圧の上昇によりさらに大きくなり、良好な画像表示の障害となっている。
【００１２】
このようなクロストーク・ノイズを補正して、液晶表示装置の表示品質を良好にするための技術はすでに従来より提案され、その具体的構成が特開平３－２６０６２１に開示されている。図１８は、その従来の方法の作用を説明する図である。走査線の実効電圧は、データ線の電圧レベルの切り替わりに起因して低下している（補正前の走査電圧）。上述の従来技術は、この実効電圧の低下を補正するために、全ＯＮ、全ＯＦＦでない階調データの個数を計数し、その計数値をもとに、補正電圧△Ｖを走査電極の電圧レベルに加算して、クロストークを改善するものであった。
【００１３】
【発明が解決しようとする課題】
しかしながら、上記従来技術は、クロストーク・ノイズにより生じる補正電圧を走査信号に加算する際に、補正電圧値を非常に細かく設定する必要があるため、分解能が非常に高いＤＡコンバーターを使用しなければならないという問題があった。
【００１４】
さらに、上記従来技術は、単純マトリクス型液晶表示装置に比較してさらに高精細、高品位の画像情報を表示することのできる非線形素子を用いた液晶表示装置には、適用できないという問題点があった。
【００１５】
以下に、従来技術の課題を詳細に説明する。
【００１６】
液晶表示装置に用いられる非線形素子には、アモルファス・シリコン・ＴＦＴ素子に代表される３端子型素子と、ＭＩＭ（導体－絶縁体－導体）素子に代表される２端子型素子がある。いずれも非線形素子のスイッチング機能を用いて駆動ライン数の増加を実現し大容量の画像情報を表示するものである。
【００１７】
２端子型素子には、上記したＭＩＭ素子を始め、バック・ツー・バック・ダイオード素子、ダイオード・リング素子、バリスター素子などがあるが、どの素子も非線形な電流－電圧特性を有している。
【００１８】
図１９は、２端子型非線形素子として最も広く利用されているＭＩＭ素子の電流－電圧特性を示す図である。横軸は、ＭＩＭ素子に加わる電圧を、縦軸は電流を示しており、電流－電圧特性が非線形であることがわかる。
【００１９】
図２０は、ＭＩＭ素子を用いた液晶表示装置の１画素の等価回路を示す図である。駆動電圧をＶＤ、液晶層に加わる電圧をＶＬＣ、ＭＩＭ素子に加わる電圧をＶＭＩＭとする。ＲＬＣ、ＣＬＣは、それぞれ液晶層の抵抗と容量値を、また、ＲＭＩＭ、ＣＭＩＭは、ＭＩＭ素子の抵抗値と容量値を示している。実際の液晶表示装置においては、図２０に示す等

価回路がマトリクス状に構成されている。

【００２０】

図２１は、２端子型非線形素子を用いた液晶パネルを駆動する際の理想波形を示している。走査側には非選択期間中のリークを抑えるために４値の電圧レベル（ＶＹ１～ＶＹ４）を、データ側に２値の電圧レベル（ＶＸ１、ＶＸ２）を用い、パルス幅変調を行った場合の理想波形である。また交流化方法は、フレーム反転及び１ライン反転を行っている例である。

【００２１】

データ信号の駆動波形は、図１５に示す単純マトリクス型液晶表示装置の場合と同様である。データ線側の駆動系に階調データとして、中間値を与えた場合、図１５の場合と同様に、データ線には、図中のＳＥＧで示す電圧波形が出力される。

【００２２】

ここで、選択期間（Ｔｓ）には、交流化信号（ＦＲ）がＨｉｇｈの場合にはＶＹ４の電圧レベルが、ＬＯＷの場合にはＶＹ２の電圧レベルが、走査信号として出力される。また、非選択期間（Ｔｎｓ）には、ＶＹ１またはＶＹ２が走査信号として出力される。結果として、図２１に示すＣＯＭで示す電圧波形を出力する。

【００２３】

このように走査線とデータ線に電圧を加えた場合、走査電圧と信号電圧の差電圧（ＳＥＧ－ＣＯＭ）が、図２０及び図２１に示す液晶素子とＭＩＭ素子間に印加される駆動電圧（ＶＤ）となる。

【００２４】

図２２は、階調データが中間調データの場合における、駆動電圧（ＶＤ）、液晶層に加わる電圧（ＶＬＣ）及びＭＩＭ素子に加わる電圧（ＶＭＩＭ）を示している。階調データを表示する際、ＭＩＭ素子に加わる電圧が高い期間は、データ電圧がＯＮ電圧レベルに切り替わる部分であり、この部分でＭＩＭ素子の非線形特性によって電流が流れ、液晶素子に電圧が急速に充電される。

【００２５】

ここで、非線形素子を用いた場合にも、図１７に示す単純マトリクス型液晶表示装置の場合と同様に、データ線側の切り替わりによるクロストーク・ノイズは、データ線から走査線側へと、ＭＩＭ素子及び液晶層の容量部分を介して混入する。　従って、実際に液晶層とＭＩＭ素子に印加される駆動電圧（ＶＤ）は、理想波形の場合と異なり、クロストーク・ノイズにより変動を受ける。その結果、ある画素に対して同一の階調データが与えられた場合であっても、他の画素の表示パターンによって、透過率の変動を生じる。この表示パターンによる透過率の変動を、図２３と図２４を用いて詳細に説明する。

【００２６】

図２３は、３種類の１ラインに表示されるデータを示す図であり、透過率を観測する画素は、Ｎ番目の点とする。（ａ）のパターンは、１ライン全てのデータが同一の中間調データであり、（ｂ）のパターンは、観測画素のみ中間調データ、他の部分は全オンデータである。（ａ）のパターンは、同一の中間調データが多く、データ信号がすべて同一のタイミングで変化するためにクロストーク・ノイズが大きく発生する。（ｂ）のパターンは、クロストーク・ノイズが観測画素に起因するものだけなのでほとんど発生しない状態である。

【００２７】

図２４は、ノーマリー・ホワイト・タイプの液晶表示装置を用いて、図２３に示す（ａ）と（ｂ）のパターンを表示した場合の書き込みパルス幅（ＴＯＮ期間）と透過率の関係を示す図である。横軸は、観測画素の書き込みパルス幅を示しており、書き込みパルス幅が０の場合は、全ＯＦＦ状態に対応し、一走査期間の書き込みパルス幅は、全ＯＮ状態に対応する。縦軸は、各書き込みパルス幅での透過率を示している。クロストーク・ノイズにより駆動電圧が低下するパターン（ａ）の階調特性（２４０１）は、同じパルス幅で書き込んだパターン（ｂ）の観測点の階調特性（２４０２）にくらべ、透過率が高くなり、画

質を悪化させるクロストークが発生していることがわかる。これは、実際に液晶に印加される電圧が１ラインの表示パターンにより変動していることを意味する。

【００２８】

さらに図２３にしめすパターン（ｃ）のように、観測点Ｎ以外の他のデータ線に観測点と異なる中間調を表示する場合、観測点Ｎ以外のデータ信号の切り替わりにより生じるクロストーク・ノイズは、観測点ＮのＭＩＭ素子に印加される電圧が高いときほど、影響度が大きい。この影響度の差を図２５を用いて説明する。

【００２９】

図２５において、観測点ＮのＭＩＭ素子に加わる電圧は、図２２のＶＭＩＭと同様に２５０１に示す波形となる。観測点Ｎ以外の他のデータ線の駆動電圧が２５０２と２５０３である場合、データ信号２５０２から生じるクロストーク・ノイズは、ＭＩＭ素子に加わる電圧が高いレベルであるＴＥの期間で発生するために、データ信号２５０３により生じるクロストーク・ノイズに比べ液晶印加電圧の変動を大きく引き起こす。すなわち各階調のクロストーク・ノイズは、表示する階調データによってそれぞれに異なる影響を与えるのである。

【００３０】

したがって、従来技術のようにクロストーク・ノイズの平均値を求めることによって走査電極側の電圧を補正する方法では、単純マトリクス型の液晶表示装置には有効であるが、非線形素子を用いた液晶表示装置には有効ではなく、補正が大きすぎる階調や少ない階調が混在することになりさらに画質を悪化させることになる。

【００３１】

このように従来の液晶表示装置には、液晶光学素子の駆動用電極の抵抗、ドライバＩＣの出力抵抗及び液晶素子の静電容量による走査電極の電圧歪みにより、同一走査線上の液晶素子に印加される実効的な電圧が変動し、表示データに対応する階調を忠実に表示できず、クロストークを発生するという問題があった。

【００３２】

また、単純マトリクス型液晶表示装置においてこの問題点を改善するための従来の技術においても、高い分解能を有するＤＡ変換器を用いなければならないという問題があった。さらに、そのような従来の技術は、非線形素子を有する液晶表示装置のクロストークを抑制することができないばかりでなく、表示品質をさらに悪化させるという問題もあった。

【００３３】

そこで本発明は、このような問題を解決する液晶表示装置を提供することを目的としてなされたものである。

【００３４】

【課題を解決するための手段】

本発明の液晶表示装置は、複数の走査線、複数のデータ線、前記走査線と前記データ線により選択される複数の液晶素子、前記複数の液晶素子とそれぞれ電気的に接続されてなる複数の非線形素子、を有する液晶パネルと、前記複数の走査線に走査信号を供給する走査信号駆動回路と、前記複数のデータ線にパルス幅変調方式のＯＮ電圧又はＯＦＦ電圧からなるデータ信号を供給するデータ信号駆動回路と、前記各データ線に印加されるべき前記データ信号が示す所定の階調データについて、一の階調データの数と他の階調データの数とを階調間に異なる重み付けを付与しながら計数する階調計数手段と、前記階調計数手段の計数結果に対応した補正量データを出力する補正量決定手段と、前記補正量データに応じた値がロードされるカウンタを有し、走査期間において、当該カウンタが前記補正量データに応じた値から前記データ信号の階調データに応じた値までクロックをカウントし、当該階調データに応じた値に達したタイミングで前記データ信号のＯＮ電圧とＯＦＦ電圧を切り替える印加電圧補正手段とを備えることを特徴とする。

【００３５】

また、本発明の液晶表示装置は、前記液晶素子がそれぞれ非線形素子と電気的に接続されてなり、前記非線形素子と前記液晶素子は前記データ線と前記走査線との間に電気的に

直列に配置されてなることを特徴とする。

【００３９】

【作用】

本発明は、ｄ）デジタル化されたデータ信号の階調データを計数する階調計数手段と、ｅ）前記階調計数手段の計数結果から前記液晶素子に印加する電圧の補正量を決定する補正量決定手段と、ｆ）前記補正量決定手段で決定された補正量に応じて前記液晶素子に印加する電圧を補正する印加電圧補正手段と、を有することを特徴とするから、データ信号に含まれる各階調データを計数し、その計数結果に従って、各階調毎にデータ線に印加する電圧を増減させることができる。その結果、表示パターンによって変化する液晶素子に印加される実効電圧の変動分を補正することができ、クロストークを抑制することができる。

【００４０】

また、本発明は、液晶素子のそれぞれが非線形素子と電気的に接続され、非線形素子と液晶素子とが前記データ線と前記走査線との間に電気的に直列に配置されてなることを特徴とするから、単純マトリクス型の液晶表示装置と比較して、大容量の液晶パネルの表示が可能である。さらに、非線形素子を有する液晶表示装置のクロストークはクロストーク・ノイズの発生する期間によって大きく影響を受けるが、そのような場合にも表示パターンによって変化する液晶素子に印加される実効電圧の変動分を従来のものより効果的に補正することができ、その結果、効果的にクロストークを抑制することができる。

【００４１】

さらに、本発明は、階調計数手段が、選択される液晶素子に印加するデータ信号の階調データを少なくとも１つ以上の階調毎に計数することを特徴とするから、全ての階調の表示を補正することができるとともに、複数の階調が同様の補正を必要とする場合、その補正量を計数するための回路が不要となり、回路規模を小さくすることができる。

【００４２】

さらに、本発明は、補正量決定手段が、階調計数手段の計数結果を重み付けして補正量を決定することを特徴とするから、スイッチング素子として非線形素子を用いた液晶表示装置においてパルス幅変調方式で階調表示を行う場合も、走査線によって同時に選択電圧を印加される液晶素子のデータ線に印加される電圧の変化による実効電圧の変動を補正できる。

【００４３】

さらに、本発明は、印加電圧補正手段（階調表示基本クロック生成回路）が、補正量決定手段によって決定された補正量に応じて、データ信号のパルス幅を変えて補正することを特徴とするから、液晶パネルを駆動する電圧レベルを増やさないですみ、補正のための回路が簡単な論理回路で実現でき、ＩＣ化も容易であるためコストもかからない。

【００４４】

さらに、本発明は、印加電圧補正手段（階調表示基本クロック生成回路）が、補正量決定手段によって決定された補正量に応じて、データ信号のパルスの高さを変えて補正することを特徴とするから、データ線の印加電圧のパルス幅を補正するための回路が不要となり、論理回路の規模を小さくすることができる。

【００４５】

さらにまた、本発明は、印加電圧補正手段（階調表示基本クロック生成回路）が補正量決定手段によって決定された補正量に応じて、データ信号のパルス幅と高さの両方を変えて補正することを特徴とするから、細かな補正が可能となり、階調数が増加しても効果的にクロストークを除去できる。

【００４６】

【実施例】

〔実施例１〕

以下、本発明を図１を用いて説明する。

【００４７】

図１は、本発明の液晶表示装置の全体ブロック図である。階調計数手段１０１は、マスク信号１０７とデータクロック１０９とに基づいて階調データ１０８を計数し、計数結果１１１を補正量決定手段１０２に出力する。ここで、マスク信号１０７は、階調データ１０８が有効である期間、すなわち実際に表示する階調データが送られてくる期間においてアクティブである。

【００４８】

補正量決定手段１０２は、データクロック１０９と、ラインクロック１１０と、上記計数結果１１１とに基づいて補正量データ１１２を決定し、その結果を印加電圧補正手段１０３に出力する。

【００４９】

印加電圧補正手段１０３は、データクロック１０９と、上記補正量データ１１２とに基づいて、印加電圧補正信号１１３を生成し、データ信号駆動回路１０４に出力する。

【００５０】

データ信号駆動回路１０４は、階調計数手段１０１で計数する階調データ１０８をシフトレジスタに蓄積する。シフトレジスタに保持された階調データ１０８はラインクロック１１０を基準にして、データ線Ｘ１～Ｘｍにそれぞれのデータ信号を出力する。

【００５１】

走査信号駆動回路１０５は、Ｙ１～Ｙｎの走査線にＹ１から順次選択電圧を出力し、液晶パネル１０６の液晶素子を時分割駆動する。

【００５２】

本発明の一実施例を、図２～図９を用いて、さらに詳細に説明する。

【００５３】

図２は、パルス幅変調方式で８階調の階調表示を行う、６４０ドット×４８０ドットのＭＩＭ液晶表示装置に本発明を適用したものである。

【００５４】

階調計数回路２０１は、階調データ２０９と、マスク信号２０８と、データクロック２１０とに基づき、計数結果２１２を生成するが、図３と図６を用いて、階調計数回路２０１の動作をより詳細に説明する。

【００５５】

図３は階調計数回路のブロック図、図６はそのタイミング図である。図３の階調７の補正量を計数するブロック３１２は、デコーダ３０１、重み付け回路３０２、論理和３０３及びカウンタ３０４で構成される。階調データ３０５は、３ビットのデジタル・データを用いた８階調を表現しており、また階調計数のブロックを各階調データごとに設けているため、階調計数回路は８ブロックから構成される。階調データの有効な期間は、マスク信号３０６により、与える。階調データが７に対応するブロック３１２では、デコーダ３０１によって階調データ３０５から７をデコーダ３０２によりデコードする。デコード信号３０８は、重み付け回路３０２で３レベルに重み付けされる。重み付け回路３０２は、階調データが７のデコード信号３０８を、図６のようなタイミングで３レベルに重み付けして出力する。重み付け信号３０９は、重み付け信号１、重み付け信号２及び重み付け信号３からなる。階調データの値が７に対する重み付け信号１は、階調データが７のデコード結果がｈｉｇｈである期間すべてｈｉｇｈである。重み付け信号２は、階調データの値が２クロック分７であると１クロック分ｈｉｇｈになる。つまり階調データが７である期間の２分の１の期間ｈｉｇｈになる。重み付け信号３は、階調データの値が３クロック分７であると１クロック分ｈｉｇｈになる。このようにして各階調データごとに３レベルの重み付け信号を生成する。

【００５６】

各階調の計数ブロック内の論理和には、全ての階調の階調パルスの変化による影響度を４レベルに分類し、その影響度の大きな階調に対応するブロックの重み付け回路からは、最も重み付けの大きな重み付け信号１が入力される。その次の影響度に分類された階調の重み付け回路から、重み付け信号２が入力され、さらに、その次に影響のある階調に対応す

る重み付け回路からは、重み付け信号３が入力され、最も影響の少ない影響度に分類された階調の重み付け信号は入力しない。例えば、階調データの値が７に対応するブロック３１２の論理和３０３には、階調６の重み付け信号１のみが入力されるとすると、ブロック３１２の論理和３０３の出力は、カウンタ３０４のイネーブル信号３１０として入力されるので、カウンタ３０４は、論理和の出力がアクティブ（アクティブｈｉｇｈ）である期間、データクロック３０７に同期して、その出力が１ずつ加算される。インアクティブのときは、加算せずに出力の値を保持する。仮に走査線に選択電圧が印加されているすべての液晶素子に表示する階調データの値が７であったとすると、走査線１本あたりの液晶素子数は６４０であるから、階調データの値が７のブロックに対応するカウンタの計数結果３１１の値は６４０となる。また、仮に階調情報７が３２０個、階調６が３２０個であったとすると階調データの値が７のブロックに対応するカウンタの計数結果３１１の値は、４８０となる。

【００５７】

このようにして、階調計数回路２０１を用いて計数された計数結果２１２（図２）は、補正量決定回路２０２に入力される。補正量決定回路２０２は、計数結果２１２と、ラインクロック２１１と、データクロック２１０に基づいて、ロード信号２１３と、補正量データ２１４と、イネーブル信号２１５を生成する。以下に、図４、図５および図７を用いて図２の補正量決定回路２０２の動作を説明する。

【００５８】

図４は補正量決定回路のブロック図、図５は階調表示基本クロック生成回路のブロック図、図７はそのタイミング図である。図４において、コントローラ４０１は、１走査期間の始まりを与えるラインクロック４０７と、階調データのラッチタイミングを与えるデータクロック４１０と、に基づいて、補正量テーブルＲＯＭ４０３のアドレスとして与える階調の計数結果を選択する選択信号４０５を生成する。

【００５９】

セレクタ４０２は、コントローラ４０１から出力される３ビットの選択信号４０５の値に基づき、各階調の計数結果４０４のうち一つの階調の計数結果を補正量テーブルＲＯＭ４０３に、アドレスとして出力する。補正量テーブルＲＯＭ４０３には、各階調の計数結果に対応する補正量データが書き込まれている。その補正量データＲＯＭ４０３には、選択された計数結果４０６が下位アドレスとして入力され、選択信号４０５が上位アドレスとして入力される。そして、補正量データＲＯＭ４０３は、各階調の計数結果に対応する補正量データ４０９を出力する。

【００６０】

次に、図７の補正量決定回路のタイミング図に基づいて、その動作を説明する。

【００６１】

まず、ラインクロック４０７の立ち下がりを検出し、選択信号４０５を０に設定する。選択信号４０５は、０～７の値をとる３ビットの信号で、セレクタ４０２は、選択信号４０５の値が０～７に対応して階調０～７の計数結果を選択し出力する。つまり、選択信号４０５が０である期間は、計数結果０の値であるａを選択し補正量データＲＯＭ４０３に出力する。続いて、データクロック４１０に同期してカウントアップされる選択信号４０５の出力に応じて、計数結果０、１、２、・・・７の値であるａ、ｂ、ｃ、・・・ｈを出力する。この入力によって補正量データＲＯＭ４０３は、対応する補正量データ４０９として、Ａ、Ｂ、Ｃ、・・・Ｈを出力する。また、コントローラ４０１は、後述する図５のカウンタ５０１に、補正量データＲＯＭ４０３から出力された補正量データを図２の階調表示基本クロック生成回路２０３にラッチするためのロード信号４１１として、ｌｏａｄ０～ｌｏａｄ７を図７に示すタイミングで出力する。

【００６２】

このようにして各階調の補正量データが補正量データＲＯＭ４０３から出力されるタイミングにあわせて各階調のロード信号が出力され、補正量データが図２の階調表示基本クロック生成回路にロードされる。また図５のカウンタ５０１には、補正量データ４０９をロ

ードする期間、そのカウンタ５０１を停止させるため、コントローラ４０１からカウントイネーブル信号４０８を図７に示すタイミングで与える。

【００６３】

次に図２の階調表示基本クロック生成回路２０３について説明する。階調表示基本クロック生成回路２０３は、ロード信号２１３と、補正量データ２１４と、カウントイネーブル信号２１５に基づき、階調表示基本クロック２１６を生成する。ここで、階調表示基本クロックについて図２６を用いて説明する。階調表示基本クロックは、図２６に示すように、走査線により選択電圧が印加されている各液晶素子に対し、データ線の印加電圧を、各液晶素子に表示する階調に応じて印加するためのタイミングを生成する信号である。図２のデータ信号駆動回路２０４は、階調表示基本クロックにより、表示階調数分のクロックを走査期間中に印加され、その各クロックの立ち下がりでデータ線の印加電圧をＯＦＦ電圧からＯＮ電圧に変化させる。例えば、ある液晶素子に階調５を表示させる場合は、その液晶素子に接続された走査線が選択電圧を印加されている走査期間中の３番めの階調表示基本クロックの立ち下がりからデータ線にＯＮ電圧を印加し始め、走査期間の終わりでＯＦＦ電圧に変化させる。他の階調についても図２６に示すように、それぞれの階調に対応する階調表示基本クロックの立ち下がりから、それぞれの階調を表示するためのＯＮ電圧の印加期間の始まりのタイミングを得る。

【００６４】

図５を用いて階調表示基本クロック生成回路２０３の動作を説明する。

【００６５】

図５は、階調表示基本クロック生成回路のブロック図である。

【００６６】

図２の階調表示基本クロック生成回路は、図５に示したように、各階調ごとにカウンタ５０１と、階調表示基本クロックの出力タイミングを生成するデコーダ５０２で構成されるブロック５１２を有し、各ブロックから出力される階調表示基本クロックのタイミングを生成する信号を論理和５０３で、その論理和をとり、Ｄフリップフロップ５１０によりハザードを除去し、前述の階調表示基本クロック５１１を生成する。

【００６７】

次に図８のタイミング図を用いて階調表示基本クロック生成回路の動作を説明する。

【００６８】

図５の上のブロックから階調７、階調６、・・・階調０に対応するものとすると、階調７のカウンタ５０１は、図４のコントーラ４０１から出力されたカウンタのイネーブル信号５０５がアクティブ（アクティブｌｏｗ）のときにカウントアップする。各階調毎に設けられたカウンタには、イネーブル信号５０５がインアクティブである期間に補正量データ５０４がロード信号５１３～５１５によってロードされており、その補正量データ５０４の値からカウントアップを始めることになる。階調７に対応するカウンタの出力５０６はデコーダ５０２によってデコードされる。このデコーダ５０２は階調表示基本クロックの階調７に対応するタイミングを生成する。例えば、デコードする値がｒ（つまり階調７を表示するために走査期間の始まりからｒクロック＋２分の１クロックの期間でＯＮ電圧を印加し始める。）であるとすると、カウンタ５０１は、Ｈからカウントアップしているので、図８に示すように、イネーブル信号５０５がアクティブになってからｒ－Ｈクロック分の期間で階調表示基本クロックの階調７のタイミングを生成する信号５０７をｈｉｇｈに変化させる。このようにして、何も補正が無い場合（つまり補正の必要が無く、補正量データとして０がカウンタ５０１にロードされていた場合）、イネーブル信号の立ち下がりからｒクロック分の期間のタイミングで階調表示基本クロックを生成する信号５０７をｈｉｇｈに変化させていたのが、この例では、Ｈクロック分（同一走査線上の他の液晶素子の階調に応じた補正量分）だけｈｉｇｈに変化するタイミングを早めている。

【００６９】

このことにより、データ線にＯＮ電圧を印加するタイミングを、Ｈクロック分だけ早めることができ、液晶素子に印加される実効電圧の減少分を補正することができる。同様にし

て、階調６ではｓをデコードするものとすると、カウンタはＧからカウントアップするので、イネーブル信号の立ち下がりから、ｓ－Ｇクロック分の期間で階調表示基本クロックの階調６に対応するタイミングを生成し、Ｇクロック分の期間、データ線のＯＮ電圧の印加期間を増加させる。以下階調５～階調０ついても同様である。

【００７０】

この８本の階調表示基本クロックの各階調に対応するタイミング信号をを論理和５０３で論理和をとり、Ｄフリップフロップ５１０でデータクロック５０８の立ち下がりでラッチして、デコードによるハザード除去し階調表示基本クロック５１１として、図２のデータ信号駆動回路２０４に出力する。

【００７１】

次にデータ信号駆動回路２０４と走査信号駆動回路２０５の動作を図２および図９を用いて説明する。データ信号駆動回路２０４は、データクロック２１０によって階調データ２０９を取り込み、ラインクロック２１１に同期し、階調表示基本クロック２１６によりＯＮ電圧を印加するタイミングを得る。また、駆動電圧生成回路２０６から入力されるＶＤＤ、ＶＥＥを交流化信号２１７によって選択し、データ線にＯＮ電圧、ＯＦＦ電圧を印加する。走査信号駆動回路２０５はラインクロック２１１に同期して、１走査線ごとに走査線に順次、選択電圧を印加する。ＭＩＭ素子と液晶素子には、図９に示すような電圧が印加される。

【００７２】

データ線Ｘｉの灰色に塗られた部分が補正電圧である。Ｔ１の走査期間では、ΔＴの期間の書き込みパルス幅補正が行われる。

【００７３】

以上説明したように、走査線によって同時に選択電圧を印加される液晶素子のデータ線に印加される電圧の変化による実効電圧の変動（本実施例では減少）を考慮して補正したＯＮ電圧を印加することで、液晶素子に階調を表示するのに適切な実効電圧を印加することができ、これにより、走査線ごとに実効電圧の変動がなくなり、表示パターンによって発生するクロストークを効果的に抑制することができ、その結果、表示むらのないきれいな画像を表示することができる。

【００７４】

本実施例では各階調毎に補正を行っているが、データ線のオン電圧の印加時間が近い階調間では、表示パターンによる実効電圧の変動に階調間で差が少ないことから、このような複数の階調毎に補正することも可能である。この場合、回路規模を小さくすることができる。計数結果の重み付けの方法は、求める表示品質によって重み付けレベル数を変化させて対応できる。

【００７５】

また、本実施例のＭＩＭ素子に限らずスイッチング素子として電流－電圧特性が非線形である他の非線形素子を用いた液晶パネルにおいても同様に補正できる。

【００７６】

さらに、本発明は１ラインでデータ線に印加する電圧を補正するため、本実施例の１ライン反転駆動に限らず、フレーム反転や複数ライン反転等の駆動においても同様の効果がある。

【００７７】

本実施例は、８階調表示の液晶表示装置であるが、８階調に限らず表示階調数が１６、３２、６４、と増加しても適用が可能である。そのような場合には、本実施例で８階調分設けた回路を、１６、３２、６４と階調に応じて設ければよい。

【００７８】

ここで、すべての階調に対応する回路を設けると、回路規模が大きくなることが考えられる。しかしながら、階調数が増加すると、隣接階調間で、データ線にＯＮ電圧を印加し始めるタイミングが近くなるため、近隣の階調間では、クロストーク・ノイズによる表示への影響がほとんど変わらなくなってくる。そこで、そのような複数の階調を１つのブロ

ックと考えて、回路を構成することによって、階調数が増加しても適正な回路規模を保つことができる。

【００７９】

〔実施例２〕

次に実施例２について、図１０～図１２を用いて説明する。実施例１と同様に、６４０ドット×４８０ドット、８階調表示のＭＩＭ液晶表示装置に本発明を適用したものである。

【００８０】

図１０は本実施例のブロック図、図１１は階調電圧補正回路のブロック図、図１２は印加電圧波形図である。

【００８１】

階調計数回路１００１と、補正量決定回路１００２は実施例１と同様に動作する。階調計数回路１００１は、階調データ１００８、データクロック１００９及びマスク信号１０１１から階調計数結果１０１２を生成する。補正量決定回路１００２は、データクロック１００９、ラインクロック１０１０及び計数結果１０１２に基づき、ロード信号１０１３及び補正量データ１０１４を生成する。階調電圧補正回路１００３は、データクロック１００９、ロード信号１０１３及び補正量データ１０１４に基づき、階調電圧１０１６（８階調分の階調電圧）を生成する。

【００８２】

図１１を用いて階調電圧補正回路１００３の動作を説明する。補正量データ１１０４は階調０に対応するラッチ回路１１０１にロード信号１１０６がアクティブであるときデータクロック１１０５によってラッチされる。続いてロード信号１１０７によって階調１に対応する補正量データ１１０４がラッチされ、最後に階調７の補正量データ１１０４がロード信号１１０８によってラッチされる。このラッチされた補正量データはラインクロック１１１２によって次段のＤフリップフロップ１１１３にロードされ、その値に応じてＤ／Ａ変換器１１０２から階調０に対応する階調電圧１１０９、階調１に対応する階調電圧１１１０、階調７に対応する階調電圧１１１１が出力される。

【００８３】

データ信号駆動回路１００４は、階調データ１００８をマスク信号１０１１とデータクロック１００９で取り込み、ラインクロック１０１０と階調表示基本クロック１０１５とにより、データ線のＯＮ電圧の印加タイミングを決定し、さらに８本の階調電圧を選択して、印加電圧レベルとＯＮ電圧の印加タイミングを決定する。図１２の印加電圧波形図に示すように、Ｔ１の期間では、データ線に印加するＯＮ電圧の高さを灰色に塗った部分のΔＶだけ高くして書き込み補正電圧を加えて、液晶素子に印加される実効電圧の変動を補正する。このようにして各階調の実効電圧の変動に応じて補正電圧を変動させ、書き込み電圧の補正を行う。

【００８４】

以上説明したようにデータ線のＯＮ電圧の高さによって実効電圧の減少を補正することで液晶素子に適切な実効電圧を印加することができ、これにより、走査線ごとに実効電圧の変動がなくなり、表示パターンによって発生するクロストークを効果的に抑制することができ、その結果、表示むらのないきれいな画像を表示することができる。

【００８５】

〔実施例３〕

次に実施例３について、図１３および図１４を用いて説明する。実施例１と同様に、６４０×４８０ドット、８階調表示のＭＩＭ液晶表示装置に本発明を適用したものである。図１３は本実施例のブロック図、図１４は印加電圧波形図である。

【００８６】

階調計数回路１３０１と、補正量決定回路１３０２と、階調表示基本クロック生成回路１３０３と、階調電圧補正回路１３０３は、実施例１と同様に動作し、階調電圧補正回路１３０４と、データ信号駆動回路１３０５は、実施例２と同様に動作する。階調計数回路１３０１は、階調データ１３０８と、データクロック１３０９と、マスク信号１３１１に基

づき、階調計数結果１３１２を生成する。補正量決定回路１３０２は、データクロック１３０９と、ラインクロック１３１０と、計数結果１３１２に基づき、ロード信号１３１３と、補正量データ１３１４を生成する。階調表示基本クロック生成回路１３０３は、データクロック１３０９と、ロード信号１３１３と、補正量データ１３１４に基づき、階調表示基本クロック１３１５を生成し、これと並列に配置された階調電圧補正回路１３０４は、データクロック１３０９と、ロード信号１３１３と、補正量データ１３１４に基づき、階調電圧１３１６～１３１８（８階調分の電圧）を生成する。データ信号駆動回路１３０５は、階調データ１３０８をマスク信号１３１１とデータクロック１３０９で取り込みラインクロック１３１０と階調表示基本クロック１３１５とにより、データ線のＯＮ電圧の印加タイミングを決定し、さらに８本の階調電圧を選択して印加電圧レベルを決定する。図１４の印加電圧波形に示すように、Ｔ１の期間では、データ線に印加するＯＮ電圧を灰色に塗り示した部分だけ、パルスの幅をΔＴの期間長くし、パルスの高さをΔＶ高くして、書き込み補正電圧を加えて、液晶素子に印加される実効電圧の変動を補正する。

【００８７】

このようにして各階調の実効電圧の変動に応じて補正電圧を変動させ、書き込み電圧の補正を行う。

【００８８】

以上説明したように、データ線の印加電圧の幅と高さによって、実効電圧の減少を補正することで、液晶素子に適切な実効電圧を印加することができ、これにより、走査線ごとに実効電圧の変動がなくなり、表示パターンによって発生するクロストークを効果的に抑制することができ、その結果、表示むらのないきれいな画像を表示することができる。

【００８９】

さらに、本実施例の構成は、ＯＮ電圧の幅と高さの両方を変化させて補正しているから、より細かな補正が可能であり、その結果、実施例１又は実施例２の構成の場合よりも、クロストークをより効果的に抑制することができる。

【００９０】

【発明の効果】

本発明の液晶表示装置は、表示パターンによって発生するクロストークを効果的に抑制することができ、その結果、むらのないきれいな画像を表示することができるという効果がある。

【図面の簡単な説明】

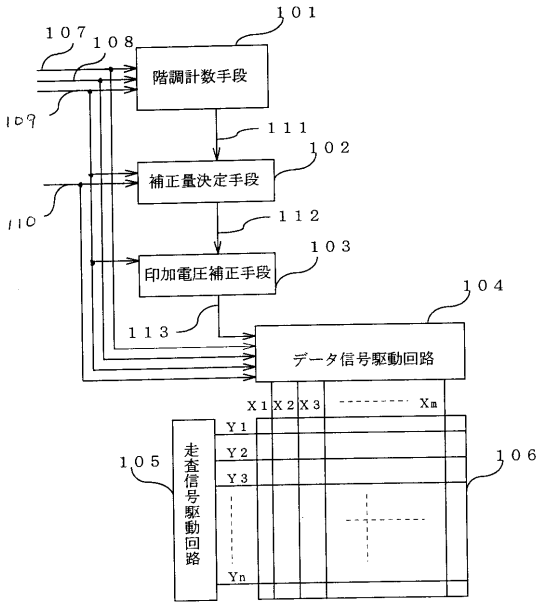
【図１】　本発明のブロック図。
【図２】　実施例１のブロック図。
【図３】　実施例１の階調計数回路のブロック図。
【図４】　実施例１の補正量決定回路のブロック図。
【図５】　実施例１の階調表示基本クロック生成回路のブロック図。
【図６】　実施例１の階調計数回路のタイミング図。
【図７】　実施例１の補正量決定回路のタイミング図。
【図８】　実施例１の階調表示基本クロック生成回路のタイミング図。
【図９】　実施例１の液晶駆動電圧波形図。
【図１０】　実施例２のブロック図。
【図１１】　実施例２の階調電圧補正回路のブロック図。
【図１２】　実施例２の液晶駆動電圧波形図。
【図１３】　実施例３のブロック図。
【図１４】　実施例３の液晶駆動電圧波形図。
【図１５】　パルス幅変調方式による階調表示の説明図。
【図１６】　単純マトリクスにおけるパルス幅変調の理想波形図。
【図１７】　単純マトリクスにおけるクロストーク・ノイズの混入を示す波形図。
【図１８】　ＭＩＭ素子の電流－電圧特性を示す図。
【図１９】　ＭＩＭ素子を用いた液晶表示装置の１画素の等価回路図。

【図２０】　従来の液晶パネルのクロストークの説明図。
【図２１】　従来の液晶パネルの印加電圧波形図である。
【図２２】　中間調表示に起因する電圧歪みによる影響の説明図。
【図２３】　３種類の１ラインに表示されるデータを示す図。
【図２４】　書き込みパルス幅と透過率の関係を示す階調特性を示す図。
【図２５】　ＭＩＭに印加される電圧のクロストーク・ノイズに対する影響度を説明するための図。
【図２６】　階調表示基本クロックとデータ線の印加電圧の関係を示す図。
【符号の説明】
１０１．階調計数手段
１０２．補正量決定手段
１０３．印加電圧補正手段
１０４．データ信号駆動回路
１０５．走査信号駆動回路
１０６．液晶パネル
１０７．マスク信号
１０８．階調データ
１０９．データクロック
１１０．ラインクロック
１１１．計数結果
１１２．補正量データ
１１３．印加電圧補正信号
２０１．階調計数回路
２０２．補正量決定回路
２０３．階調表示基本クロック生成回路
２０４．データ信号駆動回路
２０５．走査信号駆動回路
２０６．駆動電圧生成回路
２０７．ＭＩＭ液晶パネル
２０８．マスク信号
２０９．階調データ
２１０．データクロック
２１１．ラインクロック
２１２．計数結果
２１３．ロード信号
２１４．補正量データ
２１５．イネーブル信号
２１６．階調表示基本クロック
２１７．交流化信号
３０１．デコーダ
３０２．重み付け回路
３０３．論理和
３０４．カウンタ
３０５．階調データ
３０６．マスク信号
３０７．データクロック
３０８．デコード結果
３０９．他の階調のブロックに入力される重み付けされた信号
３１０．カウンタ３０４のイネーブル信号
３１１．各階調の計数結果

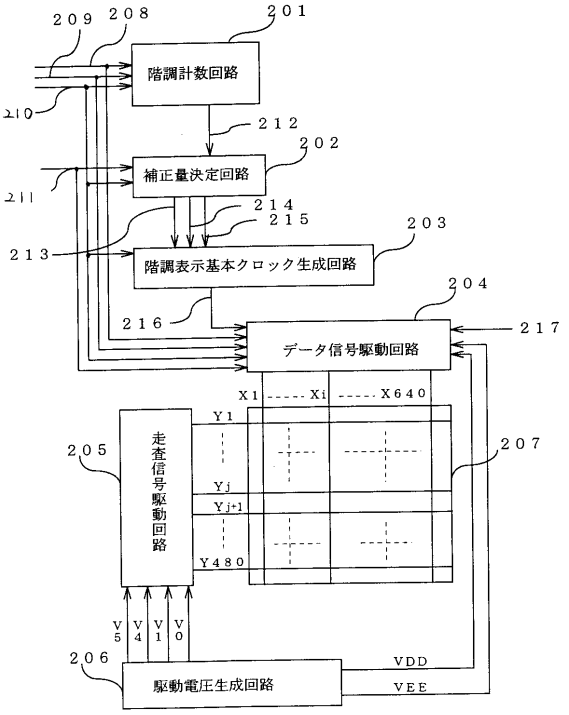
３１２．階調計数ブロック
４０１．コントローラ
４０２．セレクタ
４０３．補正量テーブルＲＯＭ
４０４．計数結果
４０５．選択信号
４０６．選択信号４０５によって選択された計数結果
４０７．ラインクロック
４０８．階調表示基本クロックのカウンタのイネーブル信号
４０９．補正量データ
４１０．データクロック
４１１．ロード信号
５０１．カウンタ
５０２．デコーダ
５０３．論理和
５０４．補正量データ
５０５．イネーブル信号
５０６．カウンタの出力
５０７．デコード信号
５０８．データクロック
５０９．論理和出力
５１０．Ｄフリップフロップ
５１１．階調表示基本クロック
５１３．階調７のロード信号
５１４．階調６のロード信号
５１５．階調０のロード信号
１００１．階調計数回路
１００２．補正量決定回路
１００３．階調電圧補正回路
１００４．データ信号駆動回路
１００５．走査信号駆動回路
１００６．駆動電圧生成回路
１００７．ＭＩＭ液晶パネル
１００８．階調データ
１００９．データクロック
１０１０．ラインクロック
１０１１．マスク信号
１０１２．計数結果
１０１３．ロード信号
１０１４．補正量データ
１０１５．階調表示基本クロック
１０１６．階調電圧
１１０１．ラッチ回路
１１０２．Ｄ／Ａ変換器
１１０３．階調０の電圧補正ブロック
１１０４．補正量データ
１１０５．データクロック
１１０６．階調０に対応するロード信号
１１０７．階調１に対応するロード信号
１１０８．階調７に対応するロード信号

１１０９．階調０の補正電圧
１１１０．階調１の補正電圧
１１１１．階調７の補正電圧
１１１２．ラインクロック
１１１３．Ｄフリップフロップ
１３０１．階調計数回路
１３０２．補正量決定回路
１３０３．階調表示基本クロック生成回路
１３０４．データ信号駆動回路
１３０５．走査信号駆動回路
１３０６．駆動電圧生成回路
１３０７．ＭＩＭ液晶パネル
１３０８．階調データ
１３０９．データクロック
１３１０．ラインクロック
１３１１．マスク信号
１３１２．計数結果
１３１３．ロード信号
１３１４．補正量データ
１３１５．階調表示基本クロック
１３１６．階調電圧

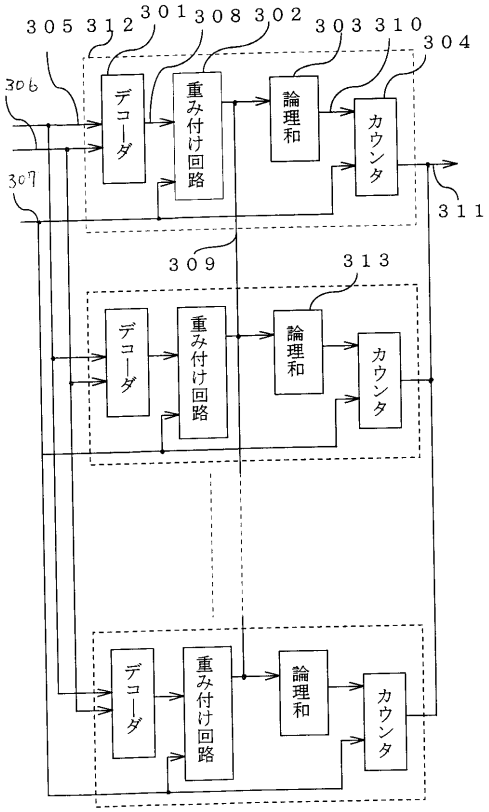
【図１】



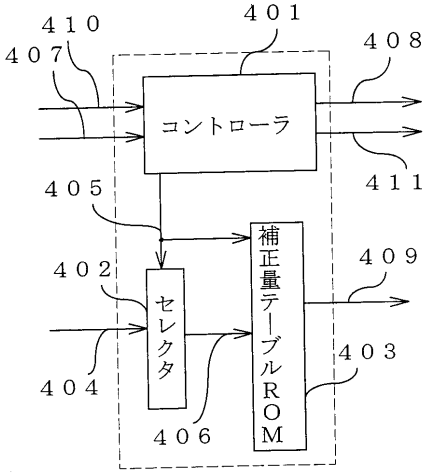

【図２】



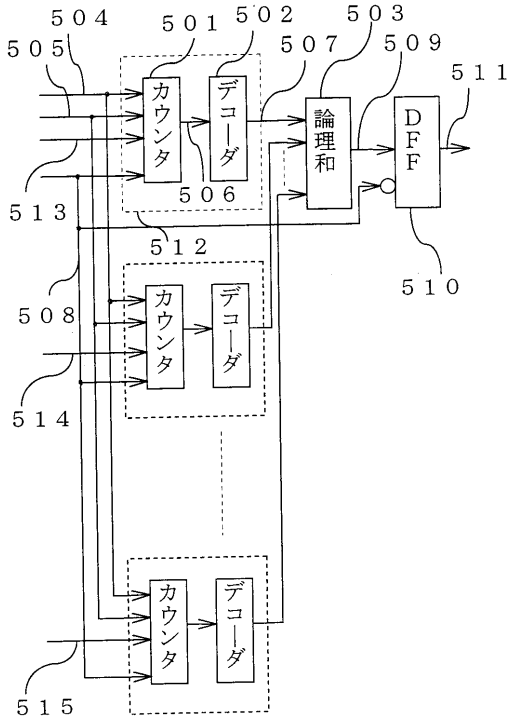
【図３】


305
312
301
308
302
303
310
304
306
307
デコーダ
重み付け回路
論理和
カウンタ
311
309
313

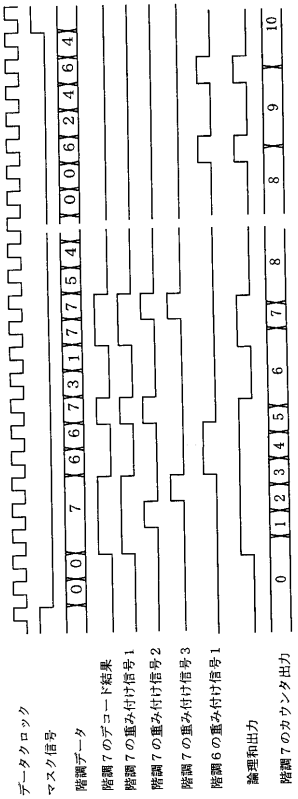
【図４】


410
401
407
408
コントローラ
411
405
補正量テーブルＲＯＭ
409
402
セレクタ
403
404
406

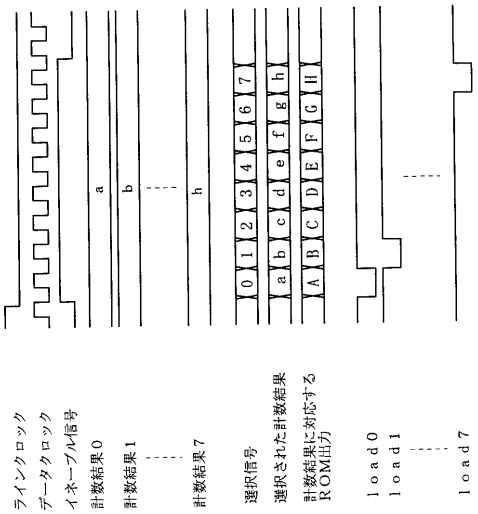
【図５】


504
501
502
503
505
507
509
511
カウンタ
デコーダ
論理和
DFF
506
513
512
508
510
514
515

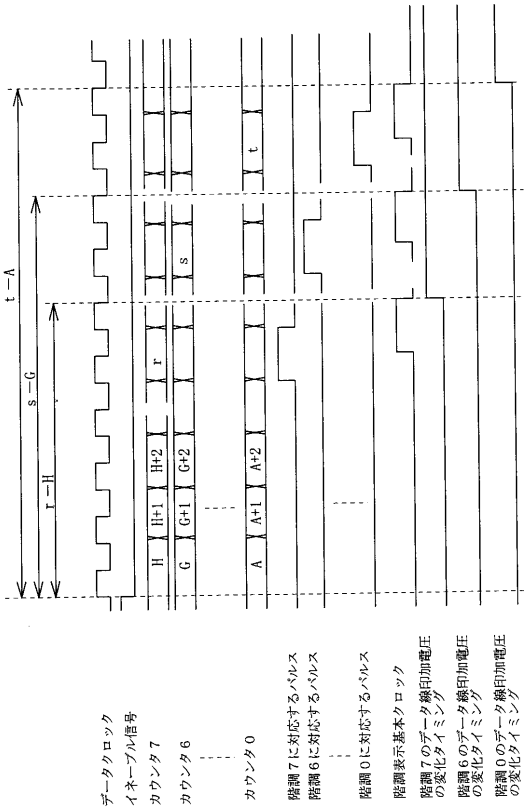
【図６】


データクロック
マスク信号
階調データ
階調７のデコード結果
階調７の重み付け信号１
階調７の重み付け信号２
階調７の重み付け信号３
階調６の重み付け信号１
論理和出力
階調７のカウンタ出力

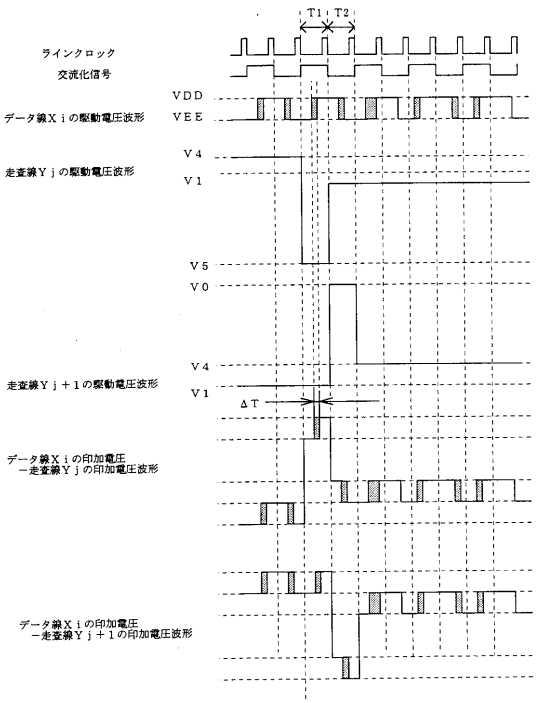
【図７】


ラインクロック
データクロック
イネーブル信号
計数結果０
計数結果１
計数結果７
選択信号
選択された計数結果
計数結果に対応する
ＲＯＭ出力
ｌｏａｄ０
ｌｏａｄ１
ｌｏａｄ７

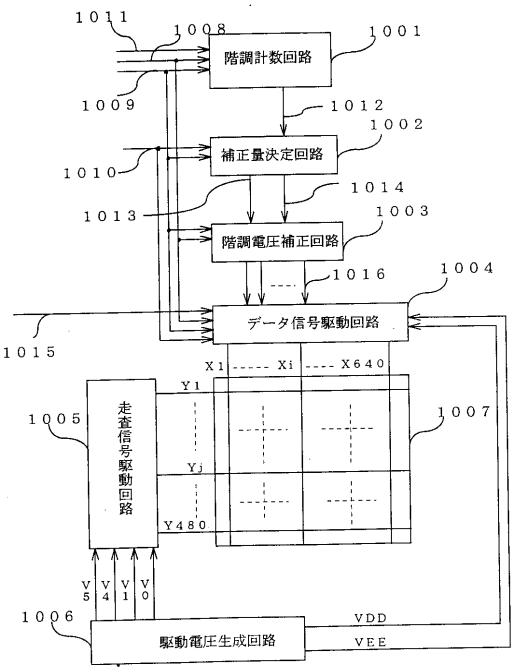
【図８】


t－A
s－G
r－H
データクロック
イネーブル信号
カウンタ７
カウンタ６
カウンタ０
階調７に対応するパルス
階調６に対応するパルス
階調０に対応するパルス
階調表示基本クロック
階調７のデータ線印加電圧
の変化タイミング
階調６のデータ線印加電圧
の変化タイミング
階調０のデータ線印加電圧
の変化タイミング

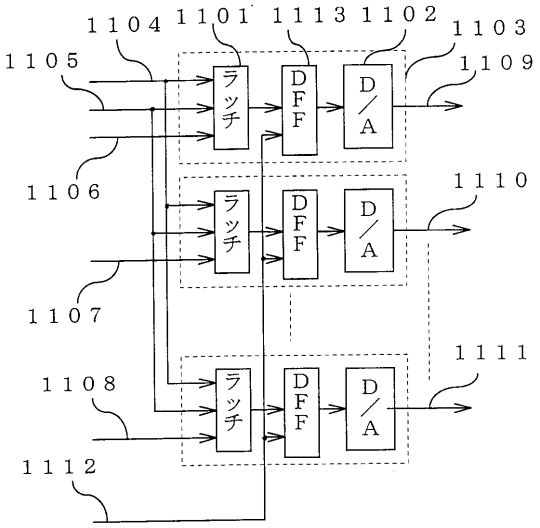
【図９】


T1
T2
ラインクロック
交流化信号
データ線Ｘｉの駆動電圧波形
VDD
VEE
走査線Ｙｊの駆動電圧波形
V4
V1
V5
V0
走査線Ｙｊ＋１の駆動電圧波形
ΔT
データ線Ｘｉの印加電圧
－走査線Ｙｊの印加電圧波形
データ線Ｘｉの印加電圧
－走査線Ｙｊ＋１の印加電圧波形

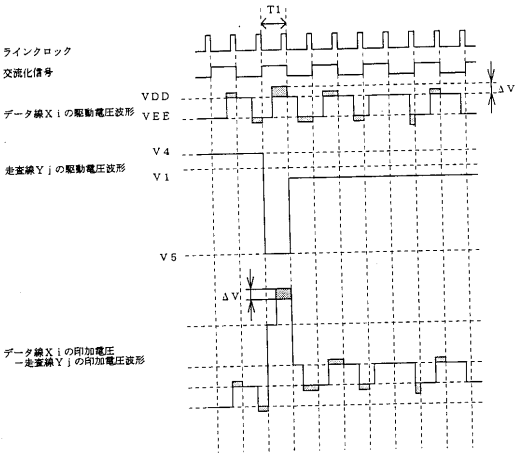
【図１０】


1011
1008
1001
階調計数回路
1009
1012
1002
補正量決定回路
1010
1014
1013
1003
階調電圧補正回路
1016
1004
データ信号駆動回路
1015
X1
Xi
X640
Y1
Yj
Y480
1005
走査信号駆動回路
1007
V5
V4
V1
V0
1006
駆動電圧生成回路
VDD
VEE

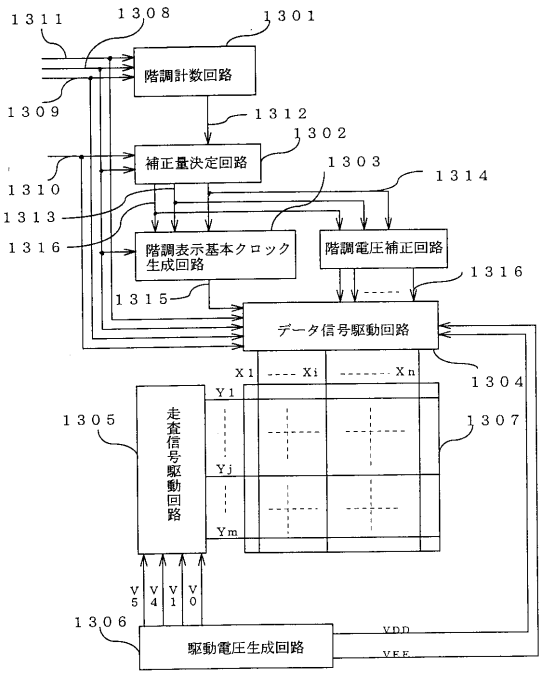
【図１１】



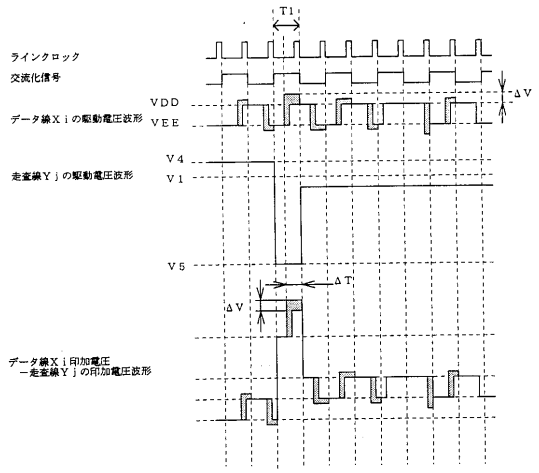

【図１２】



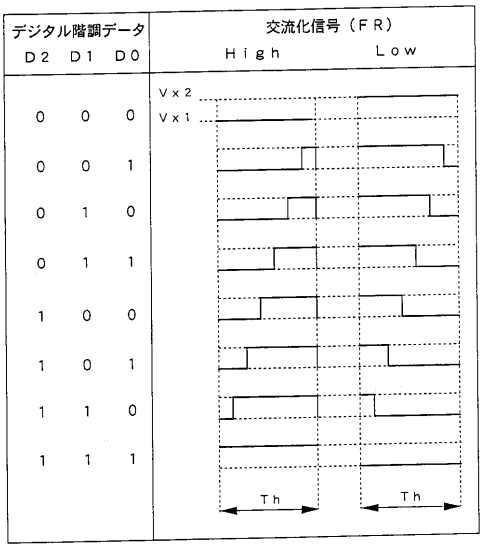

【図１３】



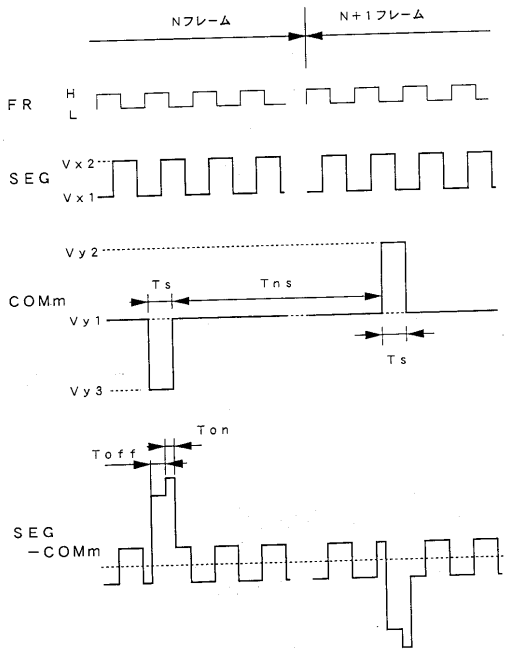

【図１４】



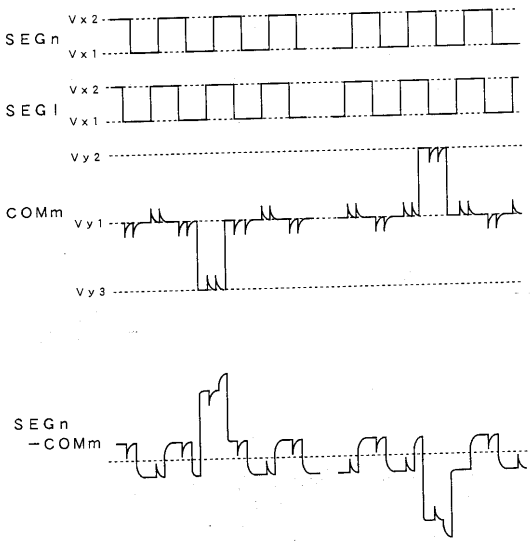
【図１５】



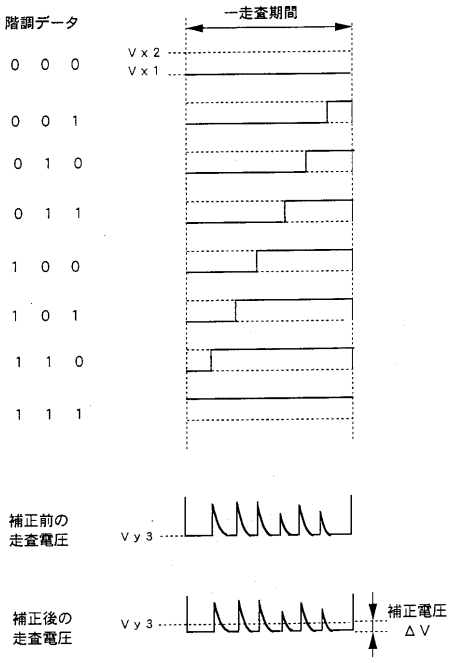

【図１６】



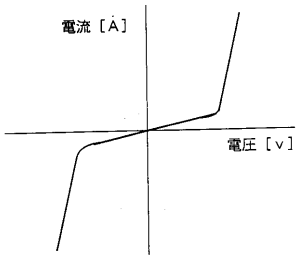

【図１７】



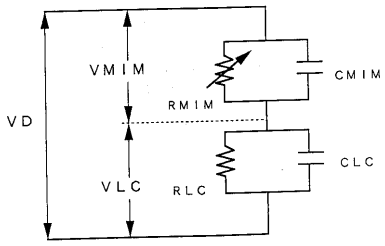

【図１８】



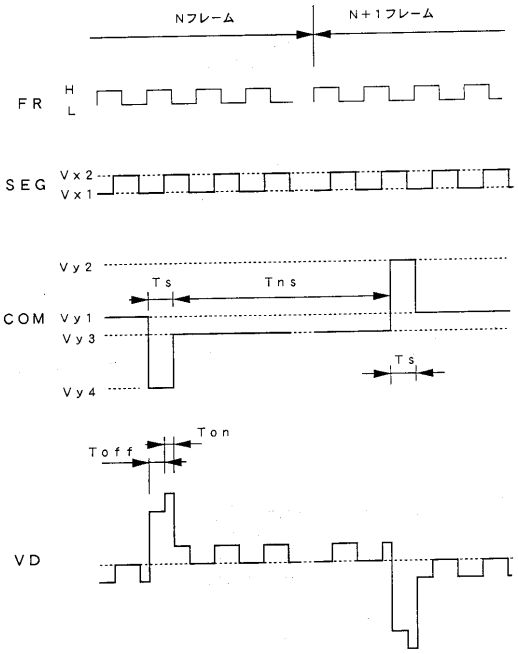
【図１９】



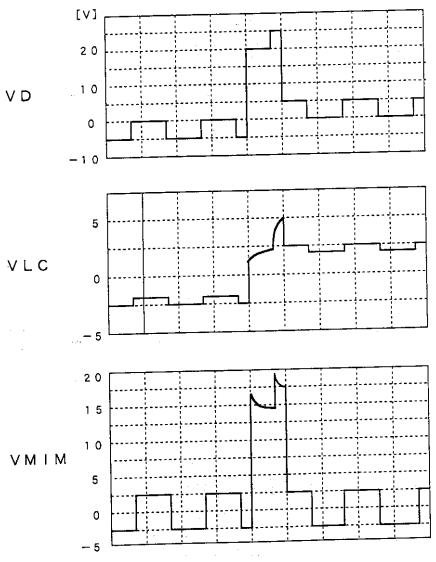

【図２０】



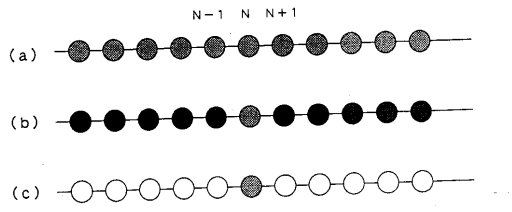

【図２１】



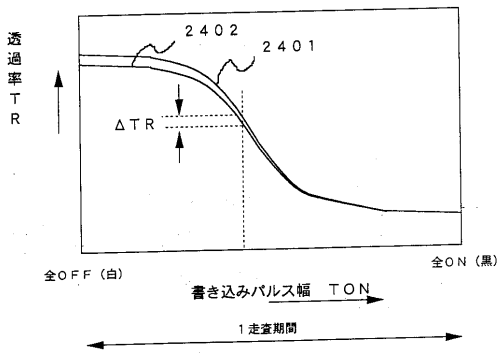

【図２２】



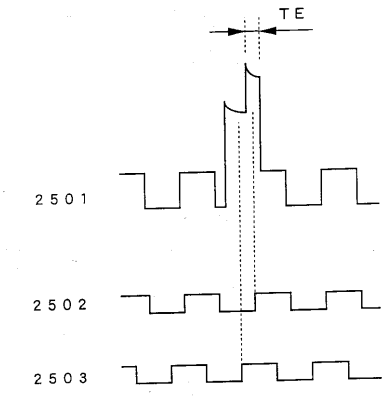

【図２３】



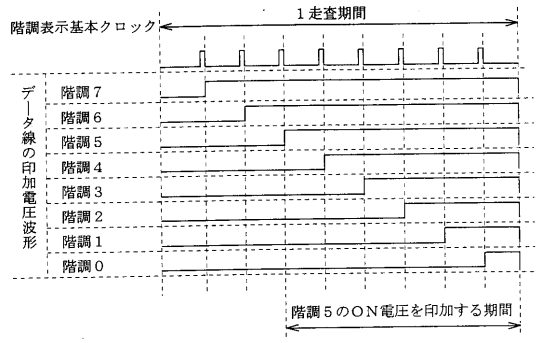

【図２４】



【図２５】


TE
2501
2502
2503

【図２６】


階調表示基本クロック
1走査期間
データ線の印加電圧波形
階調7
階調6
階調5
階調4
階調3
階調2
階調1
階調0
階調5のON電圧を印加する期間

フロントページの続き

審査官　藤田　都志行

(56)参考文献　特開平０３－１２６９８８（ＪＰ，Ａ）
特開平０３－２６７９９２（ＪＰ，Ａ）
特開平０５－２６５４０２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F 1/133 550
G02F 1/133 575
G09G 3/36