

參、發明人：(共 4 人)

姓 名：(中文/英文)

1.高里珊卡 L. 琴達羅爾

GOWRISHANKAR L. CHINDALORE

2.保羅 A. 英格索

PAUL A. INGERSOLL

3.克雷格 A. 斯威夫特

CRAIG A. SWIFT

4.亞歷山大 B. 霍夫勒

ALEXANDER B. HOEFLER

住居所地址：(中文/英文)

1.美國德州奧斯汀市沙提爾路9101號

9101 SAUTELLE LANE, AUSTIN, TX 78749, U.S.A.

2.美國德州奧斯汀市老港口路6304號

6304 OLD HARBOR LANE, AUSTIN, TEXAS 78739, U.S.A.

3.美國德州奧斯汀市索彌爾路3613號

3613 SAWMILL DRIVE, AUSTIN, TEXAS 78749, U.S.A.

4.美國德州奧斯汀市雷戴爾大道2603號4室

2603 RAE DELL AVENUE #4, AUSTIN, TEXAS 78704, U.S.A.

國 籍：(中文/英文)

1.印度 INDIA

2.美國 U.S.A.

3.美國 U.S.A.

4.德國 GERMANY

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年10月09日；10/267,153

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年10月09日；10/267,153

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

參考先前申請案

本申請案已在2002年10月9日於美國提出申請，案號為10/267,153。

【發明所屬之技術領域】

本發明大體關於半導體裝置，且較特別的是，其關於用在記憶體單元內之半導體裝置。

【先前技術】

在以SONOS (矽-氧化物-氮化物-氧化物-矽)為主之非揮發性記憶體(NVM)單元中，熱載體電子注入(HCI)氮化物可用於程式化一具有高臨限電壓(V_t)狀態與低 V_t 狀態之記憶體單元。有效之HCI程式化需要高通道區摻雜及一陡峭之汲極接面；惟，讀取干擾會因為具有高通道區摻雜而惡化，亦即，一記憶體單元反覆在低 V_t 狀態中讀取會持續增大記憶體單元之 V_t 。 V_t 可能增大至使記憶體單元狀態從低 V_t 狀態變成高 V_t 狀態之一點處，因而生成記憶體單元之穩定性失效。因此，吾人需要一在反覆讀取期間具有增加穩定性之記憶體單元。

【發明內容】

在一實施例中，一種半導體裝置具有一高度摻雜層，其具有一第一導電型式，係均勻地植入一半導體基板，其中一通道區位於基板之一頂表面與高度摻雜層之間。在另一實施例中，一種半導體裝置具有一相對摻雜之通道及一設於通道下方之抗穿透區。一閘極堆疊形成於基板上。一具

有第二導電型式之源極及汲極植入基板內。所形成之非揮發性記憶體單元提供一低自然臨限電壓，以利在一讀取循環期間最小化臨限電壓漂移。此外，一具有第一導電型式且以一角度植入汲極側之暈圈區可用於協助熱載體注入，以容許較高之程式化速度。

【實施方式】

在本發明之一實施例中，可以使用做為一NVM記憶體單元之半導體裝置係形成有一抗穿透(APT)區及一選項性汲極側高度摻雜區(暈圈)。若存在的話，暈圈區會造成半導體裝置之一通道區與一汲極區之間之一增大摻雜物梯度。APT區可供通道區具有一較低摻雜物濃度，或相關於APT區而做相對摻雜，其藉由降低自然之 V_t 而減少讀取干擾(即在一讀取循環期間之臨限電壓漂移)。因此，暈圈區及APT區之使用可供半導體裝置之有效熱載體注入程式化得以維持，同時減少讀取干擾。

圖1說明一半導體裝置10包括一半導體基板12，基板具有隔離渠溝22與24、周側N型井14與18、隔離渠溝22與24之間之隔離N型井16、及一遮罩層30。請注意隔離渠溝22與24、周側N型井14與18、隔離N型井16、及遮罩層30之形成係屬習知技術，因此本文內僅簡述之。隔離渠溝22與24形成於基板12內，隨後形成周側N型井14與18，隔離渠溝22與24可包括任意類型之絕緣材料，例如氧化物、氮化物、等等，或其任意組合形式。形成周側N型井14與18後，一圖案化遮罩層30即用於界定隔離渠溝22與24之間之一開孔。請注意

圖案化遮罩層30可為任意類型之遮罩層，例如一光阻層、一硬式光罩、等等。隔離N型井16隨後形成於基板12內，形成隔離N型井16後，一隔離P型井20形成於隔離N型井16內，因此P型井20隔離於基板12。

形成隔離P型井20後，一抗穿透(APT)區26及通道區28形成於隔離渠溝22與24之間(請注意APT區26及通道區28可依任意順序形成)，通道區28及APT區26係形成以致於通道區28位於基板12之一頂表面與APT區26之間，且APT區26位於通道區28與隔離P型井20之間(請注意APT區26亦可稱為高度摻雜區26)。一用於形成APT區26之摻雜物係經選定，以利其不致於大幅擴散入通道區28。箭頭31表示摻雜物均勻地施加至基板12，APT區26及通道區28二者之植入方向實質上垂直於基板12，換言之，該方向自垂直方向算起並不大於約10度。另請注意APT區26之摻雜濃度大於隔離P型井20之摻雜濃度。

在一實施例中，APT區26及通道區28係形成使通道區28之摻雜濃度小於APT區26之摻雜濃度。在一實施例中，APT區26及通道區28係使用P型摻雜物形成，例如硼或銦，在此實施例中，通道區28之摻雜物濃度可以小於APT區26之摻雜物濃度10至15倍，因此APT區26可用大約30至50仟電子伏特(keV)範圍內之能量及大約 $1 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{14}/\text{cm}^2$ 範圍內之劑量植入，而通道區28可用大約5至30仟電子伏特範圍內之能量及大約 $1 \times 10^{11}/\text{cm}^2$ 至 $1 \times 10^{13}/\text{cm}^2$ 範圍內之劑量植入。請注意在一實施例中，不同之P型摻雜物可用於通道區

28及APT區26，例如硼用於通道區28而銦用於APT區26。另者，同一P型摻雜物可用於此二區。

在揭示之實施例中，半導體基板12係一大型基板，在此實施例中，基板12係一含有半導體之基板，且可包括矽、砷化鎵、矽鍺、等等，或其任意組合形式。另者，基板12可為一絕緣物上矽(SOI)基板(圖中未示)，其具有一底半導體層、一覆蓋底半導體層之嵌埋絕緣層、及一頂半導體層。在此實施例中，請注意其不需要周側N型井14與18及隔離N型井16，換言之，隔離P型井20相當於SOI基板之頂半導體層。在此實施例中，嵌埋之絕緣層可為一氧化矽層且頂、底半導體層可由矽、鍺、砷化鎵、或類此者構成。

圖2說明在遮罩層30去除及一SONOS閘極堆疊32形成於通道區28上且在隔離渠溝22與24之間後之半導體裝置10，其中SONOS閘極堆疊32包括一形成於通道區28上之第一氧化物40、一形成於第一氧化物40上之氮化物38、一形成於氮化物38上之第二氧化物36、及一形成於第二氧化物36上之閘極34(請注意第一氧化物40、氮化物38、及第二氧化物36可稱為一氧化物-氮化物-氧化物結構)。遮罩層30可利用一般處理去除。在形成閘極堆疊32時，一第一氧化物層利用化學氣體沉積(CVD)或熱氧化製程而分別地氬式沉積或生長於半導體基板12上。另者，第一氧化物層可利用物理氣體沉積(PVD)、原子層沉積(ALD)、熱氧化、類此者或上述之組合形式形成。隨後，一氮化物層沉積於第一氧化物層上，氮化物層可利用CVD、PVD、ALD、類此者或其組

合形式形成。一第二氧化物層利用化學氣體沉積(CVD)或熱氧化製程而分別地氬式沉積於氮化物層上。另者，第二氧化物層可利用物理氣體沉積(PVD)、原子層沉積(ALD)、熱氧化、類此者或上述之組合形式形成。一閘極層利用CVD、PVD、ALD、類此者或其組合形式而地氬式沉積於第二氧化物層上。利用習知遮罩及蝕刻製程，第一氧化物層、氮化物層、第二氧化物層、及閘極層接著可圖案化及蝕刻形成所得之閘極堆疊32(請注意在變換實施例中，堆疊之各層可做個別圖案化及蝕刻，以形成所得之閘極堆疊32)。在一實施例中，生成之閘極堆疊32(閘極堆疊32下方之通道區28部分亦同樣)具有一在大約0.35微米至0.06微米範圍內之長度。

閘極堆疊32之閘極34可為任意導電性材料，例如多晶矽或含有金屬之材料，且可稱之為一控制閘極。第一氧化物40及第二氧化物36可為任意誘電質，例如一絕緣材料或絕緣材料之堆疊，例如氧化矽、氮氧化物、金屬氧化物、氮化物、等等，或其任意組合形式。氮化物38可為氧化矽、氮氧化物、或已知具有電荷積聚性以利電荷儲存於其內之任意其他材料。因此第一氧化物40及第二氧化物36亦可分別稱之為第一及第二絕緣層，或頂、底誘電質，而氮化物38可稱之為電荷儲存層、儲存元件、或誘電質。

儘管閘極堆疊32揭示為一SONOS堆疊，在變換實施例中，閘極堆疊32可為任意類型之NVM閘極堆疊。例如，閘極堆疊32可由一浮動之閘極堆疊(圖中未示)取代，浮動之閘

極堆疊具有一形成於通道區28上且在隔離渠溝22與24之間之穿隧誘電質、一形成於穿隧誘電質上之浮動閘極、一形成於浮動閘極上之控制誘電質、及一形成於控制誘電質上之控制閘極。在形成浮動之閘極堆疊時，一穿隧誘電層利用CVD、PVD、ALD、熱氧化、類此者或其組合形式而形成疊覆於半導體基板12，穿隧誘電層可為任意絕緣材料，例如氧化物(例如二氧化矽)、氮化物、氮氧化物、金屬氧化物、等等，穿隧誘電層接著利用一般處理做圖案化與蝕刻，以形成疊覆於通道區28之浮動閘極堆疊之穿隧誘電質(其中穿隧誘電質之位置相似於圖2所示閘極堆疊32之氧化物40)。

一浮動閘極隨後利用CVD、PVD、ALD、類此者或其組合形式而形成於半導體基板12及穿隧誘電質上，在一實施例中，浮動閘極層可為任意導電性材料，例如多晶矽、金屬、或類此者。在另一實施例中，浮動閘極層可為複數奈米晶體(即不連續之儲存元件)，例如在一奈米晶體NVM裝置內者。浮動閘極層隨後利用一般處理做圖案化與蝕刻，以形成疊覆於穿隧誘電質之浮動閘極堆疊之浮動閘極。

一控制誘電層隨後利用CVD、PVD、ALD、熱氧化、類此者或其組合形式而形成於半導體基板12及浮動閘極上，控制誘電層接著利用一般處理做圖案化與蝕刻，以形成疊覆於浮動閘極之浮動閘極堆疊之控制誘電質。請注意控制誘電質係選項性，且不形成於所有浮動閘極裝置內，若有設置，則控制誘電層可為任意絕緣材料，例如氧化物(例如

二氧化矽)、氮化物、金屬氧化物、高誘電常數材料(即誘電常數大於約4且小於約15之材料)、類此者或其組合形式。一控制閘極層隨後利用CVD、PVD、ALD、類此者或其組合形式而形成於半導體基板12及控制誘電質上，控制閘極層可為任意導電性材料，例如多晶矽或一含有金屬之材料。利用一般遮罩及蝕刻製程，控制閘極層即圖案化與蝕刻，以形成疊覆於控制誘電質之浮動閘極堆疊之控制閘極(請注意在變換實施例中，若不分別圖案化與蝕刻浮動堆疊之各層，則諸層或所有層之組合可用同一圖案化與蝕刻製程，以減少形成浮動閘極堆疊所需之處理步驟)。

請即參閱圖3，一圖案化遮罩層42利用一般遮罩製程形成，請注意遮罩層42可為任意類型遮罩層，例如光阻層或硬式光罩。圖案化遮罩層42(亦稱之為植入遮罩)遮蔽半導體裝置10之一源極側(位於閘極堆疊32之一第一側，一源極區將隨後形成於其內)，同時曝露出半導體裝置10之一汲極側(位於閘極堆疊32之一第二側，其相對立於第一側，一汲極區將隨後形成於其內)。如圖3所示，一斜角植入物44用於形成一暈圈區46，自閘極堆疊32之第一緣部量測之，其延伸至閘極堆疊32下方一段距離47處。在一實施例中，距離47最多約500埃。斜角植入物44具有一相對應之植入角 θ ， θ 係自垂直方向量起，在一實施例中， θ 在約20至60度範圍內且較佳為約30至40度。斜角植入物44因而足以增加閘極堆疊32下方一區域45處之暈圈區46內之摻雜物濃度，使其大於通道區28之摻雜物濃度。在一實施例中，暈圈區46

係以P型摻雜物植入，例如硼或銦，且在大約10至50 keV範圍內之能量及具有大約 $1 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{14}/\text{cm}^2$ 範圍內之劑量(請注意，暈圈區46另可稱為斜角暈圈46或一高度或重度摻雜區46，同樣地，暈圈區46之摻雜物濃度通常大於隔離P型井20之摻雜物濃度)。

圖4說明在遮罩層42去除及側壁填隙物48與50、源極與汲極延伸段51與53、及源極與汲極區52與54形成後之半導體裝置10，遮罩層42可使用一般處理步驟去除。遮罩層42去除後，源極延伸段51與汲極延伸段53利用一般遮罩及植入製程形成。請注意延伸段51與53延伸入通道區28，且各位於一部分閘極堆疊32下方。在一實施例中，一N型摻雜物如砷、磷、或銻係以大約30至70 keV範圍內之能量植入，且具有大約 $1 \times 10^{14}/\text{cm}^2$ 至 $1 \times 10^{15}/\text{cm}^2$ 範圍內之劑量，以形成延伸段51與53。汲極延伸段53係形成不會超越暈圈區46。請注意在延伸段53形成後，一增大之摻雜物梯度即自通道區28形成至汲極延伸段53。儘管一增大之摻雜物梯度存在於通道區28至汲極延伸段53而無暈圈區46，暈圈區46之存在可進一步增大此摻雜物梯度。再者，暈圈區46之存在可容許通道區28內有較低之摻雜物梯度。

在延伸段51與53形成後，填隙物48與50利用一般處理步驟沿著閘極堆疊32之側壁而形成，諸填隙物例如包括任意絕緣材料，例如氧化物或氮化物。另者，填隙物48與50也可以不存在，若填隙物48與50不存在，則源極與汲極區52與54可以不形成，以令延伸段51與53分別使用做為源極與

汲極區。惟，由於填隙物48與50之存在，源極與汲極區可用另一植入步驟形成。在一實施例中，一N型摻雜物如砷、磷、或銻係以大約10至30 keV範圍內之能量植入，且具有大約 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$ 範圍內之劑量，以形成源極區52與汲極區54。請注意汲極與源極區52與54並未延伸至隔離渠溝22與24下方。同樣請注意APT 26之深度係經選定，使其不延伸至源極與汲極區52與54之深度以下。儘管圖中未示，可用進一步之處理以完成半導體裝置10。例如，接觸件可形成於源極區52、閘極34、汲極區54、及隔離P型井20，同樣地，其他半導體裝置高度可以形成於半導體裝置10之下方或上方。

如圖4所示， V_w 60對應於施加至隔離P型井20之電壓， V_s 62對應於施加至源極區52之電壓， V_g 64對應於施加至閘極34之電壓，及 V_d 66對應於施加至汲極區54之電壓。在所示之實施例中，半導體裝置10可以使用做為一NVM記憶體(圖中未示)內之NVM記憶體單元。在本文中，一高 V_t 狀態對應於記憶體單元之一程式化狀態，及一低 V_t 狀態對應於記憶體單元之一抹除狀態(惟，請注意在變換實施例中，程式化及抹除狀態可以顛倒)。

半導體裝置10係藉由自氮化物38內去除電子而抹除，使半導體裝置10具有一低 V_t (例如，大約2伏特以下)。許多習知方法可用於使半導體裝置10處於低 V_t 狀態，例如Fowler-Nordheim隧穿、熱電洞注入、直接隧穿、等等。

半導體裝置10係藉由在氮化物38內儲存電子而程式化，

使半導體裝置10具有一高 V_t (例如，大約4伏特以上)。因此，半導體裝置10可藉由施加一源極電壓(V_d)與一汲極電壓(V_s)而程式化，其中 V_d 約比 V_s 大3至5伏特。例如在一實施例中，可以使用1伏特之 V_s 及4伏特之 V_d ，在此實施例中，其施加約5至10伏特之閘極電壓(V_g)與約0至-3伏特之井電壓(V_w)。在半導體裝置10之程式化期間，具有上述施加電壓，熱載體即產生於汲極消耗區內，其中一部分係通過氧化物40而注入氮化物38內，造成半導體裝置10之 V_t 增大。請注意，由暈圈區46與汲極延伸段53產生之摻雜物梯度會放大此熱載體注入，因而維持半導體裝置10之有效率熱載體程式化，此效率可由具有一較低摻雜物濃度(大約 $1 \times 10^{16}/\text{cm}^3$ 至 $1 \times 10^{17}/\text{cm}^3$)之通道區28維持。此外，通道區28之較低摻雜物濃度減低半導體裝置10之自然 V_t ，因而改善讀取干擾，容後詳述。

半導體裝置10之自然 V_t 可稱為將任意電荷置入氮化物38內之前之臨限電壓，對於一較高之自然 V_t 而言，讀取干擾降低(請注意本文所用之讀取干擾係指當低 V_t 記憶體單元持續讀取時臨限電壓(V_t)之逐步增加，即臨限電壓在一讀取循環期間漂移)。因此，當自然 V_t 增大時，記憶體單元之失效時間即減少，易言之，當自然 V_t 增大時，對於記憶體單元之較少量讀取會因為從低 V_t 漂移至高 V_t 而造成失效。因此，藉由增大自然 V_t ，低 V_t 狀態之讀取干擾得以改善(即臨限電壓漂移減少)。例如請回到圖4，半導體裝置10之讀取可藉由施加一 V_d 而執行，其大於 V_s 約0.5至1.5伏特。例如

在一實施例中， V_s 可為0伏特而 V_d 可為1伏特。在此實施例中，其施加一足以在通道區28內產生約10至30毫安電流之 V_g 及 V_w 。例如在一實施例中，可以使用2伏特之 V_g 及0伏特之 V_w （請注意電壓提供於此實例中或參考於源極電壓（ V_s ），換言之，在此實例中若 V_s 增加1伏特，則 V_d 、 V_g 、 V_w 亦增加1伏特）。在抹除半導體裝置10（即半導體裝置10在低 V_t 狀態）之一讀取或存取期間，一相反層形成於通道區28內且一消耗區（圖中未示）形成於汲極區54與汲極延伸段53周側，此消耗區實質上遮蔽暈圈區46內產生之摻雜物梯度，因而防止暈圈區46之較高摻雜物增大半導體裝置10之 V_t ，依此， V_t 仍在低 V_t 狀態，而藉由減少 V_t 漂移以改善讀取干擾。

針對上述在0.35至0.06微米範圍內之閘極堆疊32之長度，一短通道漏損會在半導體裝置10之程式化期間生成，惟，高度摻雜之APT區26亦可用於減少此短通道漏損，因而減少電力損耗且改善程式化效率。

圖5-8說明本發明之一變換實施例，即不使用相同導電型式之摻雜物形成通道區28與APT區26，採用不同導電型式摻雜物之二植入步驟可替代用於形成一通道區86與一APT區74。換言之，在此變換實施例中，通道區28與APT區26可以分別由通道區86與APT區74取代，其功能相似於上述通道區28與APT區26，以容許半導體裝置之有效率熱載體注入程式化，同時減少讀取干擾。同樣地，如上所述，在此變換實施例中，暈圈區46可以不存在（請注意在圖5-8之後

續說明中，相同於圖1-4所用之參考編號係指相同或相似元件)。

圖5說明一半導體裝置70包括一半導體基板12，基板具有隔離渠溝22與24、周側N型井14與18、隔離渠溝22與24之間之隔離N型井16、及圖案化之遮罩層30。請注意隔離渠溝22與24、周側N型井14與18、隔離N型井16、及遮罩層30之形成係參考如圖1所示，因此在圖5中將不予以贅述。形成隔離渠溝22與24、周側N型井14與18、圖案化之遮罩層30、隔離N型井16、及隔離P型井20後(其中相同於圖1所提供之說明、材料、及變換型式亦應用於圖5中)，一APT區74形成於隔離P型井20內之隔離渠溝22與24之間(請注意APT區74亦可稱為高度摻雜區74)。

箭頭72表示摻雜物均勻地施加至基板12，APT區74之植入方向實質上垂直於基板12，換言之，該方向自垂直方向算起並不大於約10度。在一實施例中，APT區74係使用一P型摻雜物形成，例如硼或銦。例如APT區74可用大約30至50 keV範圍內之能量及大約 $1 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{14}/\text{cm}^2$ 範圍內之劑量植入。亦請注意APT區74及隔離P型井20之摻雜物為相同導電型式，且APT區74之摻雜物濃度大於隔離P型井20之摻雜物濃度。例如，APT區74之摻雜物濃度約2至100倍大於隔離P型井20之摻雜物濃度，例如，APT區74之摻雜物濃度可在大約 $5 \times 10^{17} \text{cm}^{-3}$ 至 $5 \times 10^{18} \text{cm}^{-3}$ 範圍內，而隔離P型井20之摻雜物濃度可在大約 $5 \times 10^{16} \text{cm}^{-3}$ 至 $5 \times 10^{17} \text{cm}^{-3}$ 範圍內。

圖6說明在遮罩層30去除及一第一氧化物層80、一氮化物

層 82、及一第二氧化物層 84 形成後之半導體裝置 70，請注意遮罩層可參考如圖 2 所示地去除。在所述之實施例中，第一氧化物層 80 利用化學氣體沉積 (CVD) 或熱氧化製程而分別地氈式沉積或生長於半導體基板 12 上。另者，第一氧化物層可利用物理氣體沉積 (PVD)、原子層沉積 (ALD)、熱氧化、類此者或上述之組合形式形成。隨後，氮化物層 82 沉積於第一氧化物層 80 上，氮化物層 82 可利用 CVD、PVD、ALD、類此者或其組合形式形成。第二氧化物層 84 利用化學氣體沉積 (CVD) 或熱氧化製程而分別地氈式沉積於氮化物層 82 上。另者，第二氧化物層 84 可利用物理氣體沉積 (PVD)、原子層沉積 (ALD)、熱氧化、類此者或上述之組合形式形成。

第二氧化物層 84 去除後，一圖案化之遮罩層 76 用於界定隔離渠溝 22 與 24 之間之一開孔，請注意圖案化之遮罩層 76 可為任意類型之遮罩層，例如一光阻層、一硬式光罩、等等。圖案化之遮罩層 76 形成後，通道區 86 形成於隔離 P 型井 20 內。在一實施例中，通道區 86 使用一 N 型摻雜物形成，例如砷、磷、或銻，此 N 型摻雜物可以大約 5 至 70 keV 範圍內之能量植入，且具有大約 $1 \times 10^{11} / \text{cm}^2$ 至 $5 \times 10^{13} / \text{cm}^2$ 範圍內之劑量。在所示之實施例中，N 型摻雜物補償 APT 區 74 之一部分現有 P 型摻雜物，以形成通道區 86。因此，通道區 86 具有一第一導電型式 (例如在此實施例中為 N 型) 且位於基板 12 之一頂表面與 APT 區 74 之間，而 APT 區 74 具有一第二導電型式 (例如在此實施例中為 P 型) 且位於通道區 86 與隔離 P 型井

20之間。請注意為了使N型摻雜物正確補償APT區74之一部分，通道區86內之N型摻雜物濃度應該較高於APT區74內之P型摻雜物濃度。

在一實施例中，通道區86形成後，通道區86之淨摻雜濃度在大約 0 至 $5 \times 10^{18} \text{cm}^{-3}$ 範圍內，本文所用之淨摻雜濃度係指一導電型式摻雜物與另一導電型式摻雜物之間之絕對差異。例如，提供用於通道區86之淨摻雜濃度稱為APT區74之P型摻雜物與通道區86之N型摻雜物之間差異之絕對值。在本發明之一實施例中，通道區86內之P型摻雜物濃度減去通道區86內之N型摻雜物濃度係小於或等於隔離P型井20內之淨摻雜濃度。請注意通道區86內之P型摻雜物濃度減去通道區86內之N型摻雜物濃度可有一負數，其絕對值大於隔離P型井20內之淨摻雜濃度。在本發明之另一實施例中，通道區86內之P型摻雜物濃度減去通道區86內之N型摻雜物濃度可有一負數，其絕對值小於隔離P型井20內之淨摻雜濃度。在變換實施例中，APT區之下方區域內可具有一不均勻之井摻雜，使APT之摻雜濃度小於井濃度之最大值。

請注意如圖6所示，通道區86係形成於第一氧化物層80、氮化物層82、及第二氧化物層84形成之後，惟，在變換實施例中，通道區86可在諸層形成之前形成，換言之，在圖5所示之APT區74形成之後，一後續之植入步驟可利用同一圖案化之遮罩層30以形成通道區86，因此，在此實施例中，圖案化之遮罩層76即不需要。

圖7說明閘極堆疊32形成後之半導體裝置70，疊覆於氮化

物層82之第二氧化物層84形成後，圖案化之遮罩層76即去除(例如使用一般處理)。一閘極層利用CVD、PVD、ALD、類此者或其組合形式而地氈式沉積於第二氧化物層84上，利用習知遮罩及蝕刻製程，第一氧化物層80、氮化物層82、第二氧化物層84、及閘極層接著可圖案化及蝕刻形成所得之閘極堆疊32。亦即，第一氧化物層80之蝕刻造成第一氧化物40，氮化物層82之蝕刻造成氮化物38，第二氧化物層84之蝕刻造成第二氧化物36，及閘極層之蝕刻造成閘極34(請注意在變換實施例中，堆疊之各層可做個別圖案化及蝕刻，以形成所得之閘極堆疊32。例如，氧化物層80、84及氮化物層82可在通道區86形成之前先圖案化及蝕刻)。在一實施例中，生成之閘極堆疊32(閘極堆疊32下方之通道區86部分亦同樣)具有一在大約0.35微米至0.06微米範圍內之長度(請注意相關於第一氧化物40、氮化物38、第二氧化物36、及閘極34所提供於上之說明、包含材料及變換型式亦應用於圖7之閘極堆疊32)。

儘管閘極堆疊32揭示成圖7中之SONOS堆疊，在變換實施例中，閘極堆疊32可為任意類型之NVM閘極堆疊，如圖3所述者。因此，上述所有用於閘極堆疊32之說明亦可用於此實施例內，亦即，上述相關於圖3所示閘極堆疊32之所有形成方法、材料及變換型式可在此再次用於閘極堆疊32。例如，閘極堆疊32可由上述之一浮動閘極堆疊(圖中未示)取代，惟，請注意若閘極堆疊32係由一浮動閘極堆疊取代，則浮動閘極可能太厚而無法供植入物適當貫穿形成通道區

86。因此，在一使用浮動閘極堆疊之實施例中，通道區86可在形成APT區74之後且形成任意部分浮動閘極堆疊之前形成。

在一實施例中，閘極堆疊32形成後，一暈圈區如暈圈區46可形成於隔離P型井20內，參考如圖3所示者。換言之，閘極堆疊32形成後，圖案化之遮罩層42可用於形成暈圈區46，參考如圖3所示者。在此實施例中，暈圈區46(圖7與8中未示)鄰近於通道區86及APT區74(而非通道區28及APT區26)，惟，上述參考於圖3之暈圈區46及斜角植入物44所用之相同形成方法、材料及變換型式可用於具有通道區86及APT區74之實施例中，以取代通道區28及APT區26。請注意在圖5-8之實施例中，暈圈區46即因為用於形成通道區86及APT區74之相對摻雜法而可以不需要。

圖8說明在遮罩層76去除、閘極堆疊32形成、暈圈區46形成、以及側壁填隙物48與50、源極與汲極延伸段51與53、及源極與汲極區52與54形成後之半導體裝置70，請注意提供用於暈圈區46、側壁填隙物48與50、源極與汲極延伸段51與53、及源極與汲極區52與54之相同說明在此亦應用於圖8，亦即，上述參考於圖4之相同形成方法、材料及變換型式可用於圖8。在圖8中同樣應該注意的是，其揭示暈圈區46，且圖8之半導體裝置70相似於圖4之半導體裝置10，不同的是圖4之通道區28及APT區26係由通道區86及APT區74取代，使暈圈區46鄰近於通道區86及APT區74。惟，請注意在變換實施例中，暈圈區46可以不存在，在此變換實

施例中，通道區 86 及 APT 區 74 鄰近於汲極延伸段 53 與汲極區 54。

如圖 8 所示(相似於圖 4)， V_w 60 對應於施加至隔離 P 型井 20 之電壓， V_s 62 對應於施加至源極區 52 之電壓， V_g 64 對應於施加至閘極 34 之電壓，及 V_d 66 對應於施加至汲極區 54 之電壓。在所示之實施例中，半導體裝置 70 可以使用做為一 NVM 記憶體(圖中未示)內之 NVM 記憶體單元。在本文中，一高 V_t 狀態對應於記憶體單元之一程式化狀態，及一低 V_t 狀態對應於記憶體單元之一抹除狀態(惟，請注意在變換實施例中，程式化及抹除狀態可以顛倒)。

半導體裝置 70 之程式化及抹除操作係相同於上述圖 4 之半導體裝置 10 所示者，例如，在半導體裝置 70 之程式化期間使用參考於半導體裝置 10 之程式化所述之電壓，熱載體即產生於汲極消耗區內，其中一部分係通過氧化物 40 而注入氮化物 38 內，此造成半導體裝置 70 之 V_t 增大。請注意，若設有暈圈區 46，則由暈圈區 46 與汲極延伸段 53 產生之摻雜物梯度會放大此熱載體注入，因而維持半導體裝置 70 之有效率熱載體程式化，此效率甚至可由相對於 APT 區 74 做相對摻雜之通道區 86 維持。此外，通道區 86 之相對摻雜可減低半導體裝置 70 之自然 V_t ，因而改善讀取干擾，容後詳述。

半導體裝置 70 之自然 V_t 可稱為將任意電荷置入氮化物 38 內之前之臨限電壓，對於半導體裝置 70 之一較高自然 V_t ，在半導體裝置 10 時之讀取干擾降低。因此，藉由減小自然

V_t ，低 V_t 狀態之讀取干擾得以改善(即臨限電壓漂移減少)。一較低自然 V_t 減少讀取干擾之其中一方式為致能一較低 V_t 以用於低 V_t 狀態，為了在半導體裝置 10 之讀取期間形成一相反層，有必要施加一閘極偏壓 (V_g) 且其超過低 V_t 狀態之 V_t 有一預定量(典型上稱為閘極過驅動)。(由通道區 86 之相對摻雜所致能之)低 V_t 狀態之減小 V_t 可供絕對閘極偏壓 (V_g) 在一讀取操作期間減小，同時維持一固定之閘極過驅動，一減小之絕對閘極偏壓 (V_g) 可減小通過閘極堆疊 32 之電場而造成減小之讀取干擾。

若低 V_t 狀態之減小 V_t 過低(因為通道區 86 之相對摻雜所致)，一源極至汲極之漏損電流會發生在含有半導體裝置 70 之記憶體陣列內之未選定裝置內，未選定裝置係在半導體裝置 70 之讀取操作期間不欲讀取之記憶體陣列內之諸裝置。在此技藝中已知的是，一反向之井至源極偏壓會增大低 V_t 狀態之 V_t ，因此在半導體裝置 70 之讀取操作期間，源極至汲極之漏損電流可藉由施加一反向之井至源極偏壓至記憶體陣列內之未選定裝置而避免之。反向之井至源極偏壓應足以減少由低 V_t 狀態之減小 V_t 所造成源極至汲極之漏損電流。例如請回到圖 8，半導體裝置 70 之讀取可藉由施加一 V_d 而執行，其大於 V_s 約 0.5 至 1.5 伏特。在此實施例中，其施加一足以在通道區 28 內產生約 10 至 30 毫安電流之 V_g 及 V_w 。例如在一實施例中，可以使用在約 1 至 2 伏特範圍內之 V_g 及在約 0 至 -3 伏特範圍內之 V_w 。請注意電壓提供於此實施例中或參考於源極電壓 (V_s)，換言之，在此實施例中若 V_s 增

加1伏特，則 V_d 、 V_g 、 V_w 亦增加1伏特。

在具有暈圈區46之抹除半導體裝置70（即半導體裝置70在低 V_t 狀態）之一讀取或存取期間，一相反層形成於通道區86內且一消耗區（圖中未示）形成於汲極區54與汲極延伸段53周側，此消耗區實質上遮蔽暈圈區46內產生之摻雜物梯度，因而防止暈圈區46之較高摻雜物增大半導體裝置70之 V_t ，依此， V_t 仍在低 V_t 狀態，而藉由減少 V_t 漂移以改善讀取干擾。再者，針對上述在約0.35至0.06微米範圍內之閘極堆疊32之長度，一短通道漏損會在半導體裝置70之程式化期間生成，惟，高度摻雜之APT區74亦可用於減少此短通道漏損，因而減少電力損耗且改善程式化效率。

儘管本發明已相關於特定導電型式說明於上，習於此技者可知導電型式可以相反，例如，源極與汲極及延伸段可為p型或n型，此取決於隔離井之極性，以利於形成p型或n型半導體裝置。因此，隔離井20可為一N型井而非P型井，且源極與汲極區52與54及延伸段51與53可為P型。同樣地，在變換實施例中，其他材料及處理步驟可用於形成半導體裝置10；文上所述者僅提供用於舉例。

在先前之說明書中，本發明已參考特定實施例說明於前，惟，習於此技者可以瞭解的是在不脫離文後申請專利範圍所載之本發明範疇下，仍可達成多種修改及變化。據此，說明書及圖式應視為闡釋而非侷限，且諸此修改應包括在本發明範疇內。

效益、其他優點及對於問題之解決辦法已相關於特定實

施例說明於前，惟，效益、優點、對於問題之解決辦法、及可能使任意效益、其他優點或解決辦法發生或更彰顯之任意要素不應解釋為任意或所有申請專利範圍之一重要、必要或主要特性或要素。本文所用之"包含"、"含有"、或其變換型式皆在涵蓋一非排他性之包攝，例如含有一表列元件之製程、方法、物件或裝置不僅包括諸元件，而是可包括未列示或此製程、方法、物件或裝置原有之其他元件。

【圖式簡單說明】

本發明係藉由舉例說明且不受附圖侷限，圖中相同參考編號指相似元件，及其中：

圖1說明本發明實施例之一半導體基板之截面圖，其具有井植入物及通道植入物形成於其內；

圖2說明圖1之本發明實施例半導體基板之截面圖，其具有一閘極堆疊形成於半導體基板上；

圖3說明本發明實施例之一暈圈植入物形成後之圖2之閘極堆疊截面圖；

圖4說明本發明實施例形成源極與汲極區及延伸段區於半導體基板內且沿著閘極堆疊之側壁形成側壁填隙物後之圖3之半導體裝置；

圖5說明本發明變換實施例之一半導體基板之截面圖，其具有井植入物形成於其內；

圖6說明圖5之本發明變換實施例半導體基板之截面圖，其具有形成於半導體基板上之一第一氧化物層、一氮化物層、及一第二氧化物層、及一通道植入物；

圖7說明本發明變換實施例之一閘極堆疊形成後之圖6之半導體基板截面圖；及

圖8說明本發明實施例形成源極與汲極區及延伸段區於半導體基板內且沿著閘極堆疊之側壁形成側壁填隙物後之圖7之半導體裝置。

習於此技者可以瞭解圖中之元件係為了方便及清楚而說明，且不需要依比例繪示。例如，圖中某些元件之尺寸可能比其他元件者誇大，以協助瞭解本發明之實施例。

【圖式代表符號說明】

10	半導體裝置	38	氮化物
12	基板	40	氧化物
14	N型井	42	遮罩層
16	隔離N型井	44	斜角植入物
18	N型井	45	區域
20	隔離P型井	46	暈圈區
22	隔離渠溝	47	距離
24	隔離渠溝	48	側壁填隙物
26	APT區	50	側壁填隙物
28	通道區	51	源極延伸段
30	遮罩層	52	源極區
31	箭頭	53	汲極延伸段
32	閘極堆疊	54	汲極區
34	閘極	60	V _w
36	氧化物	62	V _s

64	Vg
66	Vd
70	半導體裝置
72	箭頭
74	APT區
76	圖案化遮罩層
80	氧化物
82	氮化物
84	氧化物
86	通道區

伍、中文發明摘要：

在一實施例中，一種半導體裝置(10)具有一高度摻雜層(26)，其具有一第一導電型式，係均勻地植入一半導體基板(12)，其中一通道區(28)位於基板(12)之一頂表面與高度摻雜層(26)之間。在另一實施例中，一種半導體裝置(70)具有一相對摻雜之通道(86)及一設於通道下方之抗穿透區(74)。一閘極堆疊(32)形成於基板(12)上。一具有第二導電型式之源極(52)及汲極(54、53)植入基板內。所形成之非揮發性記憶體單元提供一低自然臨限電壓，以利在一讀取循環期間最小化臨限電壓漂移。此外，一具有第一導電型式且以一角度植入汲極側之暈圈區(46)可用於協助熱載體注入，以容許較高之程式化速度。

陸、英文發明摘要：

In one embodiment, a semiconductor device (10) has a highly doped layer (26) having a first conductivity type uniformly implanted into a semiconductor substrate (12), where a channel region (28) is located between a top surface of the substrate (12) and the highly doped layer (26). In an alternate embodiment, a semiconductor device (70) has a counterdoped channel (86) and an anti-punch through region (74) below the channel. A gate stack (32) is formed over the substrate (12). A source (52) and drain (54, 53) having a second conductivity type are implanted into the substrate. The resulting non-volatile memory cell provides a low natural threshold voltage to minimize threshold voltage drift during a read cycle. In addition, a halo region (46), having the second conductivity type and implanted at an angle in the drain side, may be used to assist in hot carrier injection which allows a higher programming speed.

拾壹、圖式：

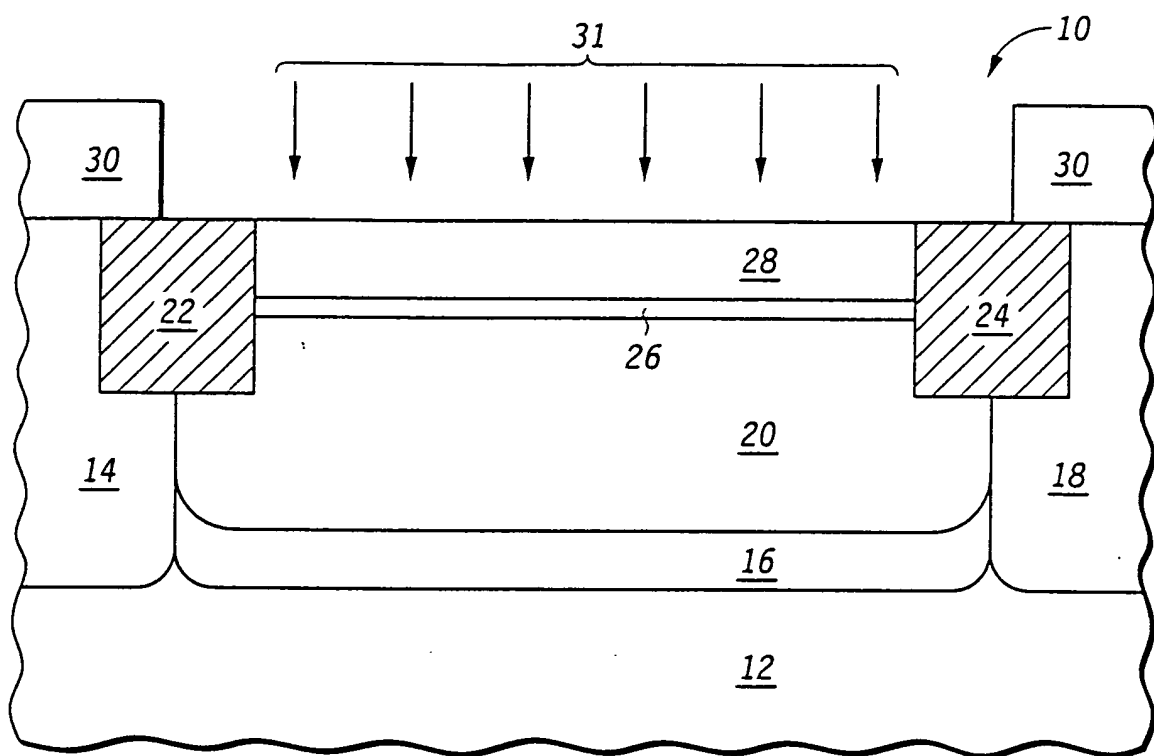


圖 1

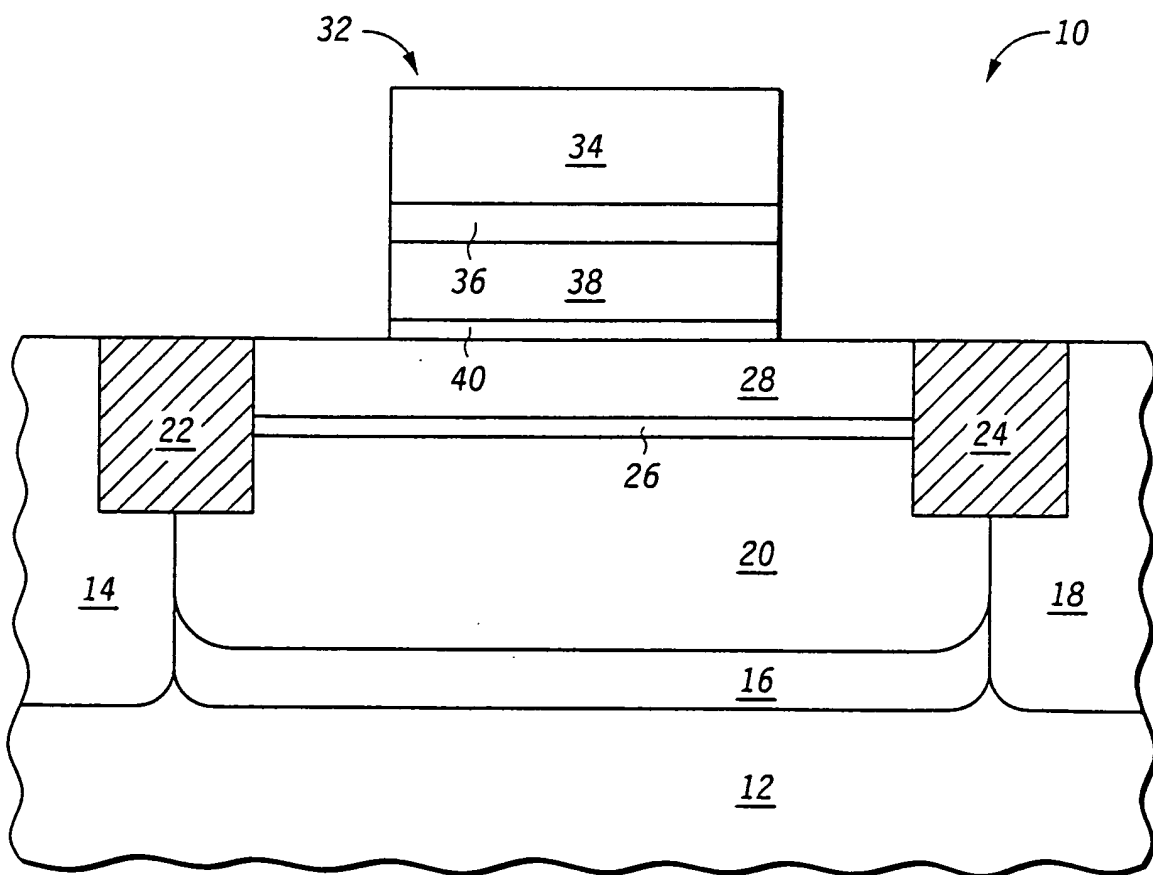


圖 2

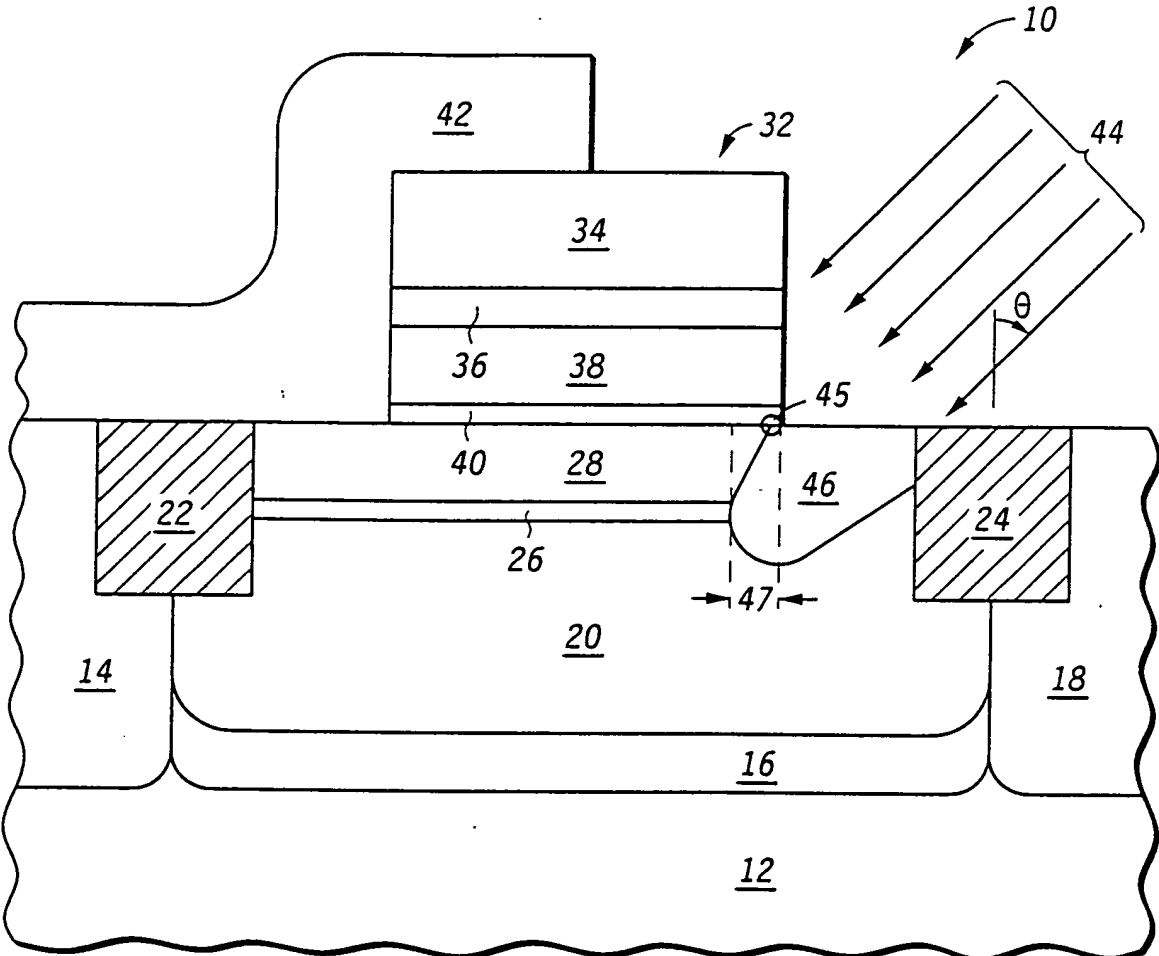


圖 3

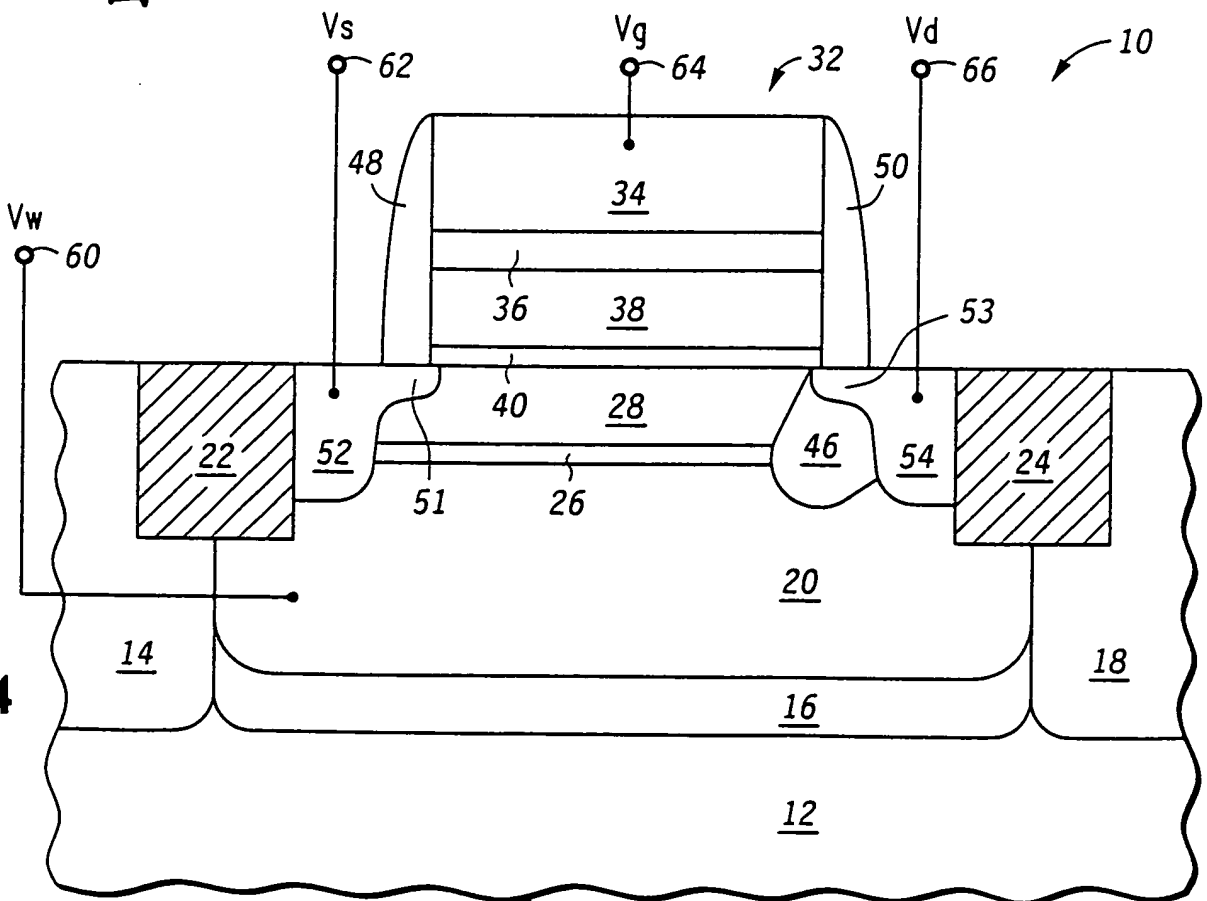


圖 4

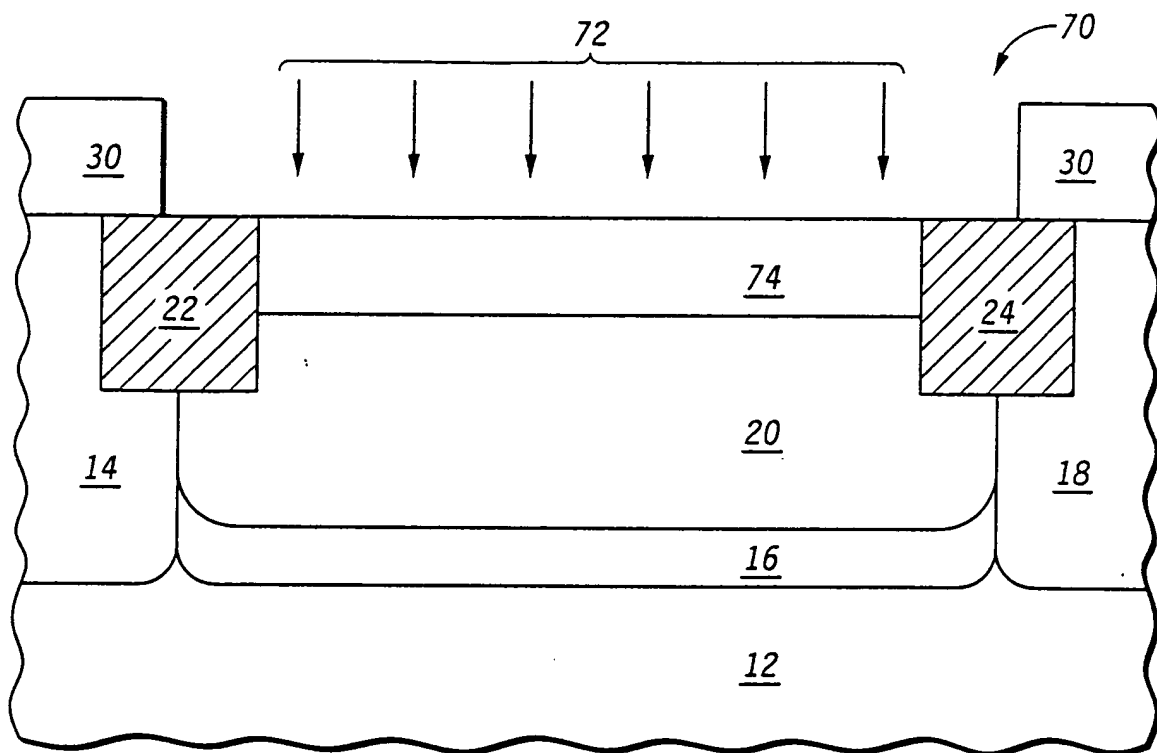


圖 5

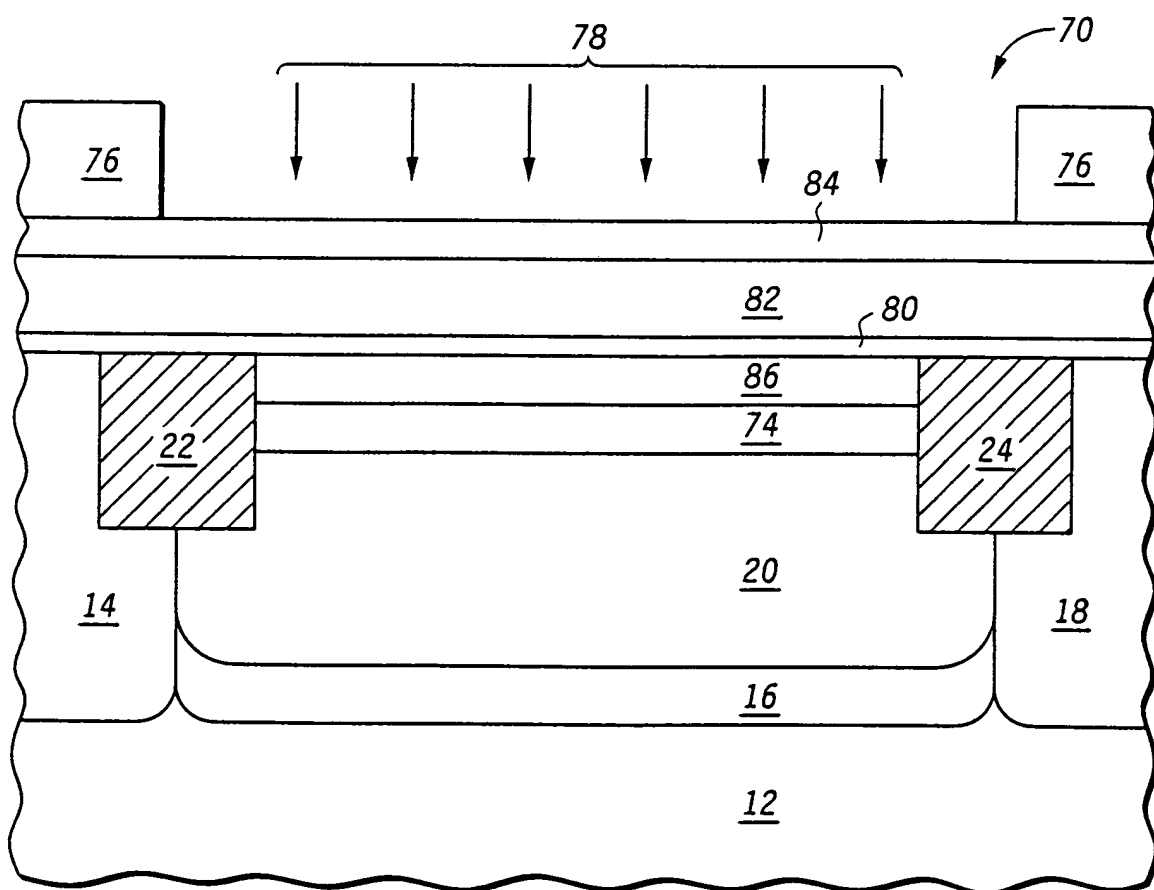


圖 6

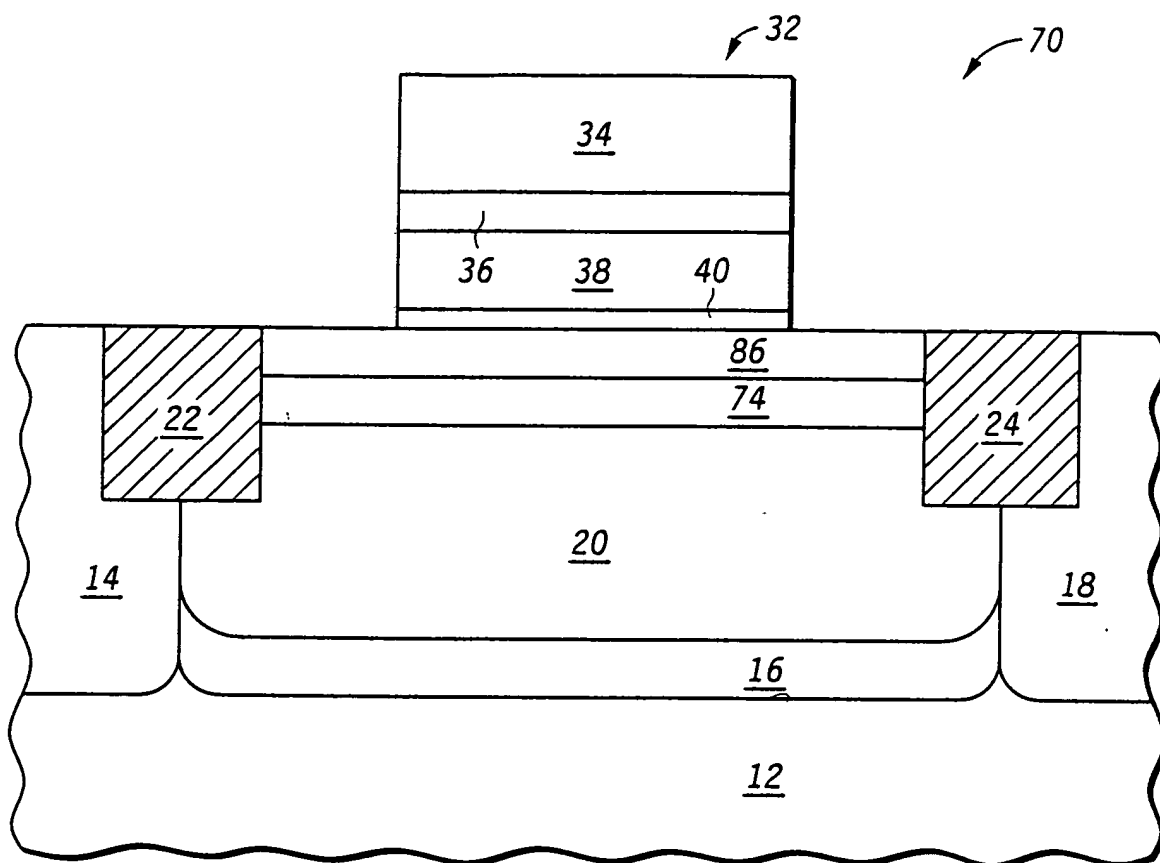


圖 7

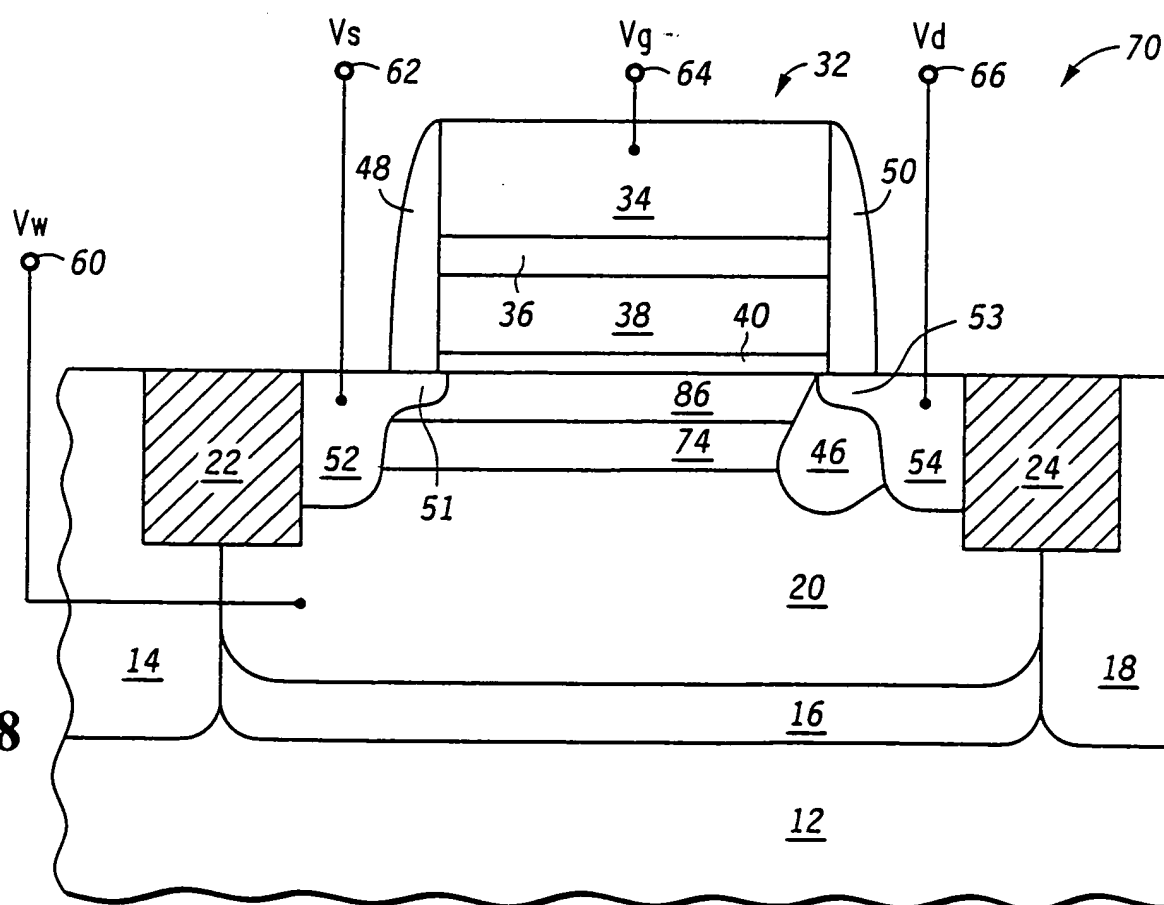


圖 8

柒、指定代表圖：

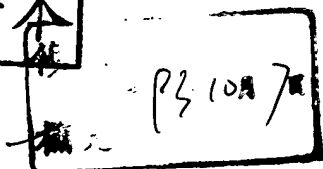
(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	半導體裝置
12	基板
14、18	N型井
16、20	隔離N型井
22、24	隔離渠溝
26	APT區
28	通道區
32	閘極堆疊
34	閘極
36、40	氧化物
38	氮化物
46	暈圈區
48、50	側壁填隙物
51	源極延伸段
52	源極區
53	汲極延伸段
54	汲極區
60	V_w
62	V_s
64	V_g
66	V_d

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無



發明專利說明書

中文說明書替換頁(93年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092127818

※ 申請日期：92.10.7

※IPC 分類：H01L 33/00 (2006.01)

壹、發明名稱：(中文/英文)

非揮發性記憶體裝置及其形成方法

NON-VOLATILE MEMORY DEVICE AND METHOD FOR FORMING

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

拾、申請專利範圍：**1. 一種半導體裝置，包含：**

一半導體基板；

一第一高度摻雜層，其具有一第一導電型式，形成於該半導體基板中該半導體基板之一表面下方之一第一距離；

一第一絕緣層，其形成於該半導體基板上；

一電荷儲存層，其形成於該第一絕緣層上；

一第二絕緣層，其形成於該電荷儲存層上；

一源極，其具有一第二導電型式，形成於該半導體基板之一第一預定區域內；

一汲極，其具有該第二導電型式，形成於該半導體基板之一第二預定區域內，其中該第一高度摻雜層沒有延伸至該源極與該汲極之一深度下方；

一通道區域，其介於該第一絕緣層下方之該源極與該汲極之間；及

一第二高度摻雜層，其具有該第一導電型式，僅形成於該第一絕緣層之一汲極側且延伸通過該汲極，及在第一絕緣層下方相距於第一絕緣層之一緣部之一第二距離，其中該第二高度摻雜層在該第二距離內增加一摻雜梯度；

其中該半導體裝置係一非揮發性記憶體單元，且在一存取該非揮發性記憶體單元期間，一損耗區域形成於該通道區域中在該通道區域之一緣部，以遮罩在該第二距

離內該增加之摻雜梯度。

2. 如申請專利範圍第1項之半導體裝置，其中位於該第一絕緣層正下方且位於該第一高度摻雜層上方之該基板具有一摻雜物濃度，低於該第一高度摻雜層之一摻雜物濃度。

3. 一種用於形成一半導體裝置之方法，包含以下步驟：

提供一半導體基板；

形成一具有一第一導電型式之第一高度摻雜層於該半導體基板中該半導體基板之一表面下方一第一距離；

形成一第一絕緣層於該半導體基板上；

形成一電荷儲存層於該第一絕緣層上；

形成一第二絕緣層於該電荷儲存層上；

形成一具有一第二導電型式之源極於該半導體基板之一第一預定區域內；

形成一具有該第二導電型式之汲極於該半導體基板之一第二預定區域內，其中該第一高度摻雜層沒有延伸至該源極與該汲極之一深度下方；及

形成一具有該第一導電型式之第二高度摻雜層僅於該第一絕緣層之一汲極側且延伸通過該汲極，及在該第一絕緣層下方相距於該第一絕緣層之一緣部之一第二距離，其中該第二高度摻雜層在該第二距離內增加一摻雜梯度；

其中形成一通道區域，其介於該第一絕緣層下方之該源極與該汲極之間，及其中該半導體裝置係一非揮發性記憶體單元，且在一存取該非揮發性記憶體單元期間，

一損耗區域形成於該通道區域中在該通道區域之一緣部，以遮罩在該第二距離內該增加之摻雜梯度。

4. 如申請專利範圍第3項之方法，其中該第二高度摻雜層係以一角度植入，以增加該第二預定距離內之一摻雜物梯度及在通道區內維持一相對低之摻雜物濃度。

5. 一種半導體裝置，包含：

一半導體基板；

一第一高度摻雜層，其具有一第一導電型式，形成於該半導體基板中該半導體基板之一表面下方之一第一距離；

一氧化物-氮化物-氧化物結構，其形成於該半導體基板上；

一閘極電極，其形成於該氧化物-氮化物-氧化物結構上；

一源極，其具有一第二導電型式，形成於該半導體基板之一第一預定區域內；

一汲極，其具有該第二導電型式，形成於該半導體基板之一第二預定區域內，其中該第一高度摻雜層沒有延伸至該源極與該汲極之一深度下方；

一通道區域，其介於該第一絕緣層下方之該源極與該汲極之間；及

一有角度之暈圈，其具有該第一導電型式，僅形成於該氧化物-氮化物-氧化物結構之一汲極側且延伸通過該汲極，及在該氧化物-氮化物-氧化物結構下方相距於該氧

化物-氮化物-氧化物結構之一緣部之一第二距離，其中該有角度之暈圈在該第二距離內增加一摻雜梯度，

其中該半導體裝置係一非揮發性記憶體單元，且在一存取該非揮發性記憶體單元期間，一損耗區域形成於該通道區域中在該通道區域之一緣部，以遮罩在該第二距離內該增加之摻雜梯度。

6. 一種半導體裝置，包含：

一半導體基板；

一第一高度p型摻雜層，形成於該半導體基板中該半導體基板之一表面下方之一第一距離，其中使用鈦作為摻雜物而形成該第一高度摻雜層；

一第一絕緣層，其形成於該半導體基板上；

一電荷儲存層，其形成於該第一絕緣層上；

一第二絕緣層，其形成於該電荷儲存層上；

一n型源極，形成於該半導體基板之一第一預定區域內；

一n型汲極，形成於該半導體基板之一第二預定區域內，其中該第一高度p型摻雜層沒有延伸至該n型源極與該n型汲極之一深度下方；

一通道區域，其介於該第一絕緣層下方之該n型源極與該n型汲極之間；及

一第二高度p型摻雜層，僅形成於該第一絕緣層之一汲極側且延伸通過該n型汲極，及在第一絕緣層下方相距於第一絕緣層之一緣部之一第二距離，其中使用鈦作為摻

98年7月15日修(更)正管換頁

雜物而形成該第二高度p型摻雜層。

7. 一種記憶體裝置，包含：

一半導體基板；

一第一導電型式之井，其設於半導體基板內；

一通道區，其設於該井內，係自該井之一表面延伸至一具有第一導電型式摻雜物第一濃度及第二導電型式摻雜物第二濃度之第一深度處；

一抗穿透區，其設於該井內，係在第一導電型式之第一深度下方自第一深度延伸至一第二深度；

一儲存元件，其形成於通道區上；

一控制閘極，其形成於儲存元件上；及

一第三區域及一第四區域，其設於該井內，且在橫向鄰近於控制閘極，其中第三及第四區域係第二導電型式，且其中該井具有一淨摻雜濃度，且該淨摻雜濃度較大於第一濃度減去第二濃度。

8. 一種記憶體裝置，包含：

一半導體基板，其具有一第一導電型式之井；

一通道區，其設於該井之一表面處，具有第一導電型式摻雜物第一濃度及第二導電型式摻雜物第二濃度；

一抗穿透區，其設於該第一導電型式之井內，且在通道區下方；

一儲存元件，其形成於通道區上；

一控制閘極，其形成於儲存元件上；

一源極區，其設於該井內且鄰近於通道之一第一側，

源極區具有第二導電型式；

一汲極區，其設於該井內且鄰近於通道之一第二側，汲極區具有第二導電型式；及

一重度摻雜區，其設於該井內且在汲極區與抗穿透區之間，重度摻雜區具有第一導電型式，其中該井具有一淨摻雜濃度，且該淨摻雜濃度較大於第一濃度減去第二濃度。

9. 一種在一半導體基板內之一第一導電型式井內形成一非揮發性記憶體裝置之方法，其中井係由一隔離區圍起，該方法包含：

將第一導電型式摻雜物植入至該井內之至少一第一深度處，以形成一抗穿透區；

將第二導電型式摻雜物植入至該井之一表面處，以在抗穿透區上方之一通道區內形成一通道；

將一儲存元件形成於通道區上；

將一控制閘極形成於儲存元件上，且間隔於控制閘極第一側與控制閘極第二側上之隔離區；

提供一植入遮罩於控制閘極第一側與隔離區之間之一區域內；

將第一導電型式摻雜物以一自垂直方向算起20至60度之角度，通過控制閘極第二側與隔離區之間之一區域而植入至該井之表面，同時植入遮罩存在於控制閘極第一側與隔離區之間；及

將一源極區形成於控制閘極第一側與隔離區之間，及一汲極區形成於控制閘極第二側與隔離區之間。