



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0144857

(43) 공개일자 2015년12월29일

(51) 국제특허분류(Int. Cl.)

G11C 29/42 (2015.01) G11C 29/00 (2006.01)

(21) 출원번호 10-2014-0073476

(22) 출원일자 2014년06월17일

심사청구일자 2014년06월17일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

유혁

서울 강남구 광평로39길 3, 801동 101호 (수서동, 동익아파트)

김영필

서울 성북구 보문로18길 41, 306호 (안암동3가)

박현찬

서울 성북구 인촌로7가길 34, 401호 (안암동2가)

(74) 대리인

김등용

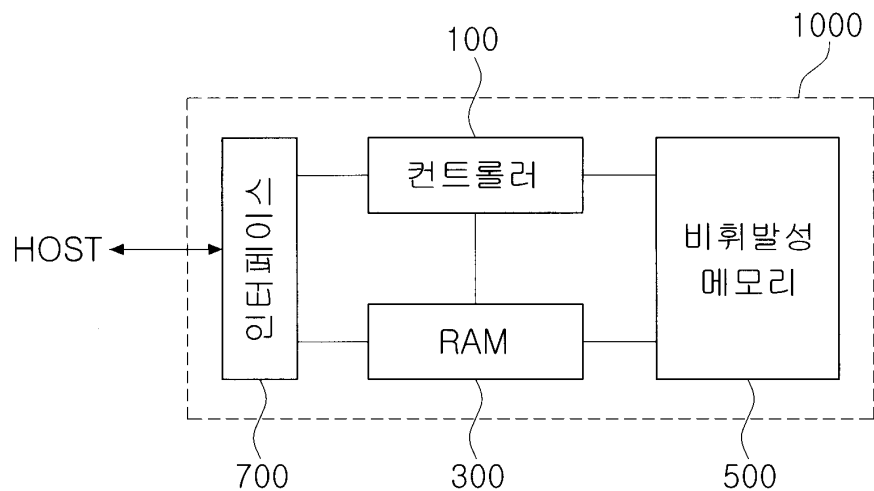
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 메모리 시스템 및 메모리 시스템의 동작 방법

(57) 요약

메모리 시스템의 동작 방법이 개시된다. 상기 메모리 시스템의 동작 방법은, 블록의 쓰기/지우기 횟수(program/erase cycle)와 리텐션 시간(retention time)에 기초하여 상기 블록의 비트 에러율을 추정하는 단계 및 상기 비트 에러율에 기초하여 상기 블록의 재매핑 여부를 결정하는 단계를 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1345173703

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 미래 인터넷 환경을 위한 네트워크 가상화 기술 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2010.09.01 ~ 2015.08.31

명세서

청구범위

청구항 1

블록의 쓰기/지우기 횟수(program/erase cycle)와 리텐션 시간(retention time)에 기초하여 상기 블록의 비트 에러율을 추정하는 단계; 및

상기 비트 에러율에 기초하여 상기 블록의 재매핑 여부를 결정하는 단계를 포함하는,

메모리 시스템의 동작 방법.

청구항 2

제1항에 있어서,

상기 블록의 비트 에러율을 추정하는 단계는,

상기 쓰기/지우기 횟수와 상기 리텐션 시간을 변수로 이용하는 수학적식을 이용하여 상기 비트 에러율을 추정하는,

메모리 시스템의 동작 방법.

청구항 3

제1항에 있어서,

상기 블록의 재매핑 여부를 결정하는 단계는 상기 비트 에러율과 임계치를 비교하는 단계를 포함하고,

상기 메모리 시스템의 동작 방법은, 상기 비트 에러율이 상기 임계치를 초과하는 경우에 상기 블록을 재매핑하는 단계를 더 포함하는,

메모리 시스템의 동작 방법.

청구항 4

제1항에 있어서,

상기 메모리 시스템은 SSD(solid state drive) 또는 메모리 카드인,

메모리 시스템의 동작 방법.

청구항 5

비휘발성 메모리;

상기 비휘발성 메모리에 포함된 블록의 쓰기/지우기 횟수(program/erase cycle)와 리텐션 시간(retention time)에 기초하여 상기 블록의 비트 에러율을 추정하고, 상기 비트 에러율에 기초하여 상기 블록의 재매핑 여부를 결정하는 컨트롤러를 포함하는,

메모리 시스템.

청구항 6

제5항에 있어서,

상기 컨트롤러는 상기 블록의 비트 에러율을 추정하는 비트 에러율 추정 모듈과, 상기 비트 에러율과 임계값을 비교하고 비교 결과에 따라 상기 블록의 재매핑 여부를 결정하는 재매핑 모듈을 포함하는,

메모리 시스템.

청구항 7

제6항에 있어서,

상기 비트 에러율 추정 모듈은 상기 쓰기/지우기 횟수와 상기 리텐션 시간을 변수로 이용하는 수학적식을 이용하여 상기 비트 에러율을 추정하고,

상기 재매핑 모듈은 상기 비트 에러율이 상기 임계값을 초과하는 경우에 상기 블록을 재매핑하는,

메모리 시스템.

청구항 8

제5항에 있어서,

상기 비휘발성 메모리는 플래시 메모리이고,

상기 메모리 시스템은 SSD(solid state drive)인,

메모리 시스템.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 메모리 시스템에 관한 것으로, 특히 블록의 비트 에러율에 기초하여 재매핑을 수행하는 메모리 시스템 및 메모리 시스템의 동작 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리는 전원 공급이 중단될 때 저장된 데이터를 상실하는지 여부에 따라, 휘발성 메모리(volatile memory)와 비휘발성 메모리(nonvolatile memory)로 구분될 수 있다. 비휘발성 메모리는 전기적으로 소거 및 프로그래밍이 가능한 EEPROM(Electrically Erasable and Programmable ROM)을 포함한다.

[0003] EEPROM의 동작 모드는 메모리 셀의 문턱 전압을 프로그래밍하는 기입 모드(write mode or program mode), 메모리 셀에 저장된 데이터를 판독하는 독출 모드(read mode) 및 저장된 데이터를 삭제하여 메모리 셀을 초기화하는 소거 모드(erase mode)로 구분될 수 있다.

[0004] 플래시 메모리는 EEPROM에 속하고, 소거 동작이 블록 단위로 동시에 수행되며, 프로그램 동작은 공통의 워드 라인에 연결된 메모리 셀들에 대하여 페이지 단위로 수행된다. 플래시 메모리는 메모리 셀 어레이의 구조에 따라, 비트 라인과 접지 사이에 셀 트랜지스터들이 직렬로 배치된 NAND 형 플래시 메모리와 병렬로 배치된 NOR형 플래시 메모리로 구분된다. NOR형 플래시 메모리에 비해, NAND형 플래시 메모리는 독출 동작 및 프로그램 동작시 바이트 단위의 접근이 불가능한 단점이 있으나, 프로그램 속도 및 소거 속도가 빠른 장점이 있다.

[0005] 비휘발성 메모리, 특히 플래시 메모리는 데이터를 읽고, 쓰고, 유지(retain)하는 과정에서 에러에 의해 데이터가 손상될 위험이 있다. 에러가 발생하는 원인으로 전압에 의한 간섭, 충전된 전하의 누수, 매체 속성에 따른 전하 흐름의 단절 등을 예로 들 수 있다. 에러로부터 데이터를 복구하는 기술로는 중복성(redundancy)을 이용한 ECC(error correction code) 기법이 존재한다.

[0006] 리텐션 에러(retention error)는 플래시 메모리를 사용하는 SSD(solid state drive) 등에서 발생하는 비트 에러의 한 종류로써, 한 블록에 대한 최초의 쓰기 동작 이후에 해당 블록에 기록된 비트 데이터가 시간이 지남에 따라 유지되지 못하고 손상되는 것을 의미한다. 리텐션 에러의 원인은 물리적인 원인에 의한 것으로, 프로그램 연산을 통해서 기록된 비트 데이터가 전자의 형태로 충전되어 있어야 하는데, 시간이 흐르게 되면 자연적으로 전하 누수(electron leakage)가 발생하게 되어 유지 전압이 떨어지게 된다. 최초의 프로그램 시점에서 리텐션 에러가 발생하기까지 걸리는 시간을 리텐션 주기(retention period)라고 하며, 해당 주기 내에 재프로그램 등을 통하여 비트 정보를 갱신해 주어야 한다.

[0007] 그러나 상기과 같은 ECC 기법은 ECC 기법이 가지는 에러 복구 능력을 늘릴수록 비용이 너무 커진다는 문제점이 갖고 있다. ECC 기법의 에러 복구 능력은 얼마나 큰 코드워드(codeword)를 수용하느냐에 따라 좌우되는데, 이 코드워드를 크게 가져갈수록 많은 비트 에러들을 복원할 수 있지만, 복원에 필요한 정보들을 수용할 공간이 커

지고, 복원 연산으로 인한 에너지 소모가 극심해진다는 연구 결과가 있다. 따라서, 리텐션 에러에 효과적으로 대응할 수 있는 메모리 시스템이 필요하다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적인 과제는 블록의 비트 에러율에 기초하여 블록을 재매핑함으로써, 리텐션 에러(retention error)를 해결할 수 있는 메모리 시스템 및 메모리 시스템의 동작 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은 블록의 쓰기/지우기 횟수(program/erase cycle)와 리텐션 시간(retention time)에 기초하여 상기 블록의 비트 에러율을 추정하는 단계 및 상기 비트 에러율에 기초하여 상기 블록의 재매핑 여부를 결정하는 단계를 포함한다.

[0010] 본 발명의 실시 예에 따른 메모리 시스템은 비휘발성 메모리, 상기 비휘발성 메모리에 포함된 블록의 쓰기/지우기 횟수(program/erase cycle)와 리텐션 시간(retention time)에 기초하여 상기 블록의 비트 에러율을 추정하고, 상기 비트 에러율에 기초하여 상기 블록의 재매핑 여부를 결정하는 컨트롤러를 포함한다.

발명의 효과

[0011] 본 발명의 실시 예에 따른 메모리 시스템은 비트 에러율에 기초하여 블록의 재매핑 동작을 수행함으로써, 불필요한 재매핑 동작을 억제하고 효과적으로 리텐션 에러를 해결할 수 있는 효과가 있다.

[0012] 또한, 상기 메모리 시스템은 불필요한 재매핑 동작을 억제함으로써 최대 쓰기/지우기 횟수(maximum program/erasure cycle)가 정해진 비휘발성 메모리 시스템의 수명을 연장하고 신뢰성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0013] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 본 발명의 일 실시 예에 따른 메모리 시스템의 블록도이다.

도 2는 도 1에 도시된 컨트롤러의 기능 블록도이다.

도 3은 도 1에 도시된 비휘발성 메모리를 나타내는 도면이다.

도 4는 도 1에 도시된 메모리 시스템의 동작 방법을 설명하기 위한 흐름도이다.

도 5는 본 발명의 다른 실시 예에 따른 메모리 시스템을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0015] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0016] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.

[0017] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고

이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0018] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0019] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0020] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0021] 도 1은 본 발명의 일 실시 예에 따른 메모리 시스템의 블록도이다.
- [0022] 도 1을 참조하면, 메모리 시스템(1000)은 컨트롤러(100), 랜덤 액세스 메모리(Random Access Memory; RAM)(300), 및 비휘발성 메모리(500)를 포함한다. 실시 예에 따라, 메모리 시스템(1000)은 호스트와의 연결을 위한 인터페이스(700)를 더 포함할 수 있다.
- [0023] 메모리 시스템(1000)은 SSD(Solid State Drive) 또는 메모리 카드로 구현될 수 있다. 상기 메모리 카드는 PC 카드(PCMCIA, personal computer memory card international association), 컴팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 또는 유니버설 플래시 기억장치(UFS)일 수 있다.
- [0024] 또한 메모리 시스템(1000)에 포함된 컨트롤러(100)와 RAM(300)은 도 1에 도시된 바와 같이 비휘발성 메모리(500)와 함께 하나의 독립된 장치로 구현될 수 있다. 실시 예에 따라, 컨트롤러(100)와 RAM(300)은 카드 리더기와 같은 별개의 장치에 분산될 수도 있으며, 비휘발성 메모리(500)의 동작을 제어하기 위한 기능 이외의 다른 목적을 위한 기능을 함께 수행할 수 있다.
- [0025] 컨트롤러(100)는 메모리 시스템(1000)의 전반적인 동작을 제어한다. 컨트롤러(100)는 비휘발성 메모리(500)로부터 제공되는 매핑 정보를 기초로 매핑 테이블을 구성하고 구성된 상기 매핑 테이블을 관리한다. 또한, 컨트롤러(100)는 비휘발성 메모리(500)에 포함된 블록의 비트 에러율에 기초하여 상기 블록을 재매핑할 수 있다.
- [0026] RAM(300)에는 컨트롤러(100)에 의해 구성된 맵 테이블이 저장된다. RAM(300)은 SRAM(Static Random Access Memory) 또는 DRAM(Dynamic Random Access Memory)과 같이 접근 속도가 빠르고 바이트 단위의 접근이 가능한 메모리로 구현될 수 있다. 또한, RAM(300)에는 호스트로부터 수신된 기입 데이터 또는 비휘발성 메모리(500)로부터의 독출 데이터를 저장하기 위한 버퍼 공간이 할당될 수 있다.
- [0027] 비휘발성 메모리(500)는 복수의 블록들을 포함한다. 상기 복수의 블록들 중 일부는 상기 복수의 블록들 각각에 대한 물리적 주소와 논리적 주소간의 매핑 정보를 기록하고 있는 맵 블록들일 수 있다. 따라서, 컨트롤러(100)는 상기 맵 블록들에 포함된 매핑 정보를 이용하여 매핑 테이블을 구성할 수 있다.
- [0028] 비휘발성 메모리(500)는 EEPROM(electrically erasable programmable read-only memory), 플래시(flash) 메모리, MRAM(magnetic RAM), 스핀전달토크 MRAM(spin-transfer torque MRAM), CBRAM(conductive bridging RAM), FeRAM(ferroelectric RAM), OUM(ovonic unified memory)라고도 불리는 PRAM(phase change RAM), 저항 메모리(resistive RAM: RRAM 또는 ReRAM), 나노튜브 RRAM(nanotube RRAM), 폴리머 RAM(polymer RAM: PoRAM), 나노 부유 게이트 메모리(nano floating gate memory: NFGM), 홀로그래픽 메모리(holographic memory), 분자 전자 메모리 소자(molecular electronics memory device), 또는 절연 저항 변화 메모리(insulator resistance change memory)로 구현될 수 있다.
- [0029] 인터페이스(700)는 소정의 통신 규격에 따라 호스트와 통신할 수 있다. 예컨대, 컨트롤러(100)는 USB(Universal

Serial Bus), MMC(multimedia card), PCI(peripheral component interconnection), PCE-E(PCI-express), ATA(Advanced Technology Attachment), Serial-ATA, Parallel_ATA, SCSI(small computer small interface), ESDI(enhanced small disk interface), IDE(Integrated Dreive Electronics), 및 파이어와이어(Firewire) 중 적어도 하나의 통신 규격을 통해 호스트와 통신할 수 있다.

도 2는 도 1에 도시된 컨트롤러의 기능 블록도이다.

도 1과 도 2를 참조하면, 컨트롤러(100)는 비트 에러율 추정 모듈(110)과 재매핑 모듈(130)을 포함한다.

비트 에러율 추정 모듈(110)은 수학적 식 1을 이용하여 비휘발성 메모리(500)에 포함된 복수의 블록들 각각의 비트 에러율을 추정할 수 있다. 상기 수학적 식 1은 다음과 같이 표현될 수 있다.

수학적 식 1

$$RBER(t, c) = 9.991 \times 10^{-10} (c - 1) + 1.0 \times 10^{-9} + 4.485 \times t^{1.25}$$

수학적 식 1에서 RBER은 블록의 비트 에러율을 의미하고, c는 쓰기/지우기 횟수를 의미하며, t는 시간(또는 리텐션 시간)을 의미한다. 비트 에러율 추정 모듈(110)은 비휘발성 메모리(500)로부터 상기 쓰기/지우기 횟수(c)와 상기 시간(또는 리텐션 시간)에 관한 정보를 수신할 수 있다.

수학적 식 1은 다음과 같은 과정을 통하여 유도될 수 있다.

우선, 초기 비트 에러 확률을 상수에서 변수($RBER_{cycle}(c)$)로 완화한 power-law model은 수학적 식 2와 같이 표현될 수 있다.

수학적 식 2

$$RBER(t, c) = RBER_{cycle}(c) + RBER_{time} \times t^m$$

수학적 식 2에서 $RBER_{cycle}(c)$ 는 초기 비트 에러율을 의미할 수 있고, $RBER_{time}$ 은 보존 오류(retention error)로 인해 단위 시간당 증가하는 에러율을 의미할 수 있고, $m(1 \leq m \leq 2)$ 은 계수를 의미할 수 있고, t는 시간(또는 리텐션 시간)을 의미할 수 있다. 상기 리텐션 시간은 프로그램 동작 후에 경과된 시간을 의미할 수 있다.

다음으로, 쓰기/지우기 횟수(c)와 비트 에러율의 관계에 기반하여 획득된 수학적 식 2의 초기 비트 에러율($RBER_{cycle}(c)$)은 수학적 식 3과 같이 쓰기/지우기 횟수(c)에 관해 표현될 수 있다.

수학적 식 3

$$RBER_{cycle}(c) = 9.991 \times 10^{-10} (c - 1) + 1.0 \times 10^{-9}$$

SSD 산업에 관한 국제 표준의 일종인 JEDEC 표준에서 최근 1년 동안 데이터 유지가 원활한 표준 비트 에러율에 근거하여 m과 $RBER_{time}$ 을 도입($m=1.25$, $RBER_{time}=4.485$)할 경우, 최종적으로 수학적 식 1을 얻을 수 있다.

수학적 식 1이 구체적인 수치를 도입하여 표현되었으나, 본 발명이 이에 제한되는 것은 아니며, 실시 예에 따라 블록의 비트 에러율은 아래의 수학적 식 4와 같이 표현될 수도 있다.

수학식 4

$$RBER(t, c) = x \times c + y + z \times t^w$$

[0043]

[0044]

수학식 4에서 x, y, z, 및 w 는 미리 정해진 상수일 수 있다.

[0045]

상기 power-law model에 관한 상세한 설명은 JEDEC(Joint Electron Device Engineering Council) Solid State Technology Association에서 발표한 Failure Mechanisms and Models for Semiconductor Devices(JEP122G, October 2011.)가 참조될 수 있다.

[0046]

재매핑 모듈(130)은 비휘발성 메모리(500)에 포함된 복수의 블록들 각각에 대한 재매핑 동작을 수행할 수 있다.

[0047]

구체적으로 재매핑 모듈(130)은 각 블록에 대하여 추정된 비트 에러율을 임계치와 비교하여, 재매핑 여부를 결정할 수 있다. 즉, 재매핑 모듈(130)은 상기 비트 에러율이 상기 임계치를 초과하는 경우, 블록에 대한 재매핑 동작을 수행할 수 있다. 예컨대, 상기 임계치는 1%일 수 있다. 실시 예에 따라, 재매핑 모듈(130)은 상기 비트 에러율이 상기 임계치보다 크거나 같은 경우, 블록에 대한 재매핑 동작을 수행할 수 있다.

[0048]

재매핑 모듈(130)은 블록의 비트 에러율이 임계치를 초과하는 경우, 상기 블록에 매핑되어 있는 논리적 주소를 상기 블록이 아닌 다른 블록의 물리적 주소에 매핑할 수 있다. 즉, 재매핑 모듈(130)은 매핑 테이블을 갱신하고 갱신된 매핑 정보는 RAM(300) 및 비휘발성 메모리(500)에 기입 또는 저장될 수 있다. 실시 예에 따라, 임계치를 초과하는 비트 에러율을 갖는 블록은 배드 블록으로 지정되어 관리될 수도 있다.

[0049]

도 2에 도시된 컨트롤러(100)의 구성들 각각은 기능 및 논리적으로 분리될 수 있음으로 나타내는 것이며, 반드시 각각의 구성이 별도의 물리적 장치로 구분되거나 별도의 코드로 작성됨을 의미하는 것은 아님을 본 발명의 기술분야의 평균적 전문가가 용이하게 추론할 수 있을 것이다.

[0050]

또한, 본 명세서에서 모듈이라 함은, 본 발명의 기술적 사상을 수행하기 위한 하드웨어 및 상기 하드웨어를 구동하기 위한 소프트웨어의 기능적, 구조적 결합을 의미할 수 있다. 예컨대, 상기 모듈은 소정의 코드와 상기 소정의 코드가 수행되기 위한 하드웨어 리소스의 논리적인 단위를 의미할 수 있으며, 반드시 물리적으로 연결된 코드를 의미하거나, 한 종류의 하드웨어를 의미하는 것이 아니다.

[0051]

도 3은 도 1에 도시된 비휘발성 메모리를 나타내는 도면이다.

[0052]

도 3를 참조하면, 비휘발성 메모리(500)는 관리 영역(510), 맵 영역(530), 및 데이터 영역(550)을 포함한다.

[0053]

관리 영역(510)에는 맵 영역(530)과 데이터 영역(550)의 관리를 위한 정보가 기록된다. 관리 영역(510)은 비휘발성 메모리의 모델, 메모리 용량, 불량 블록에 관한 정보, 할당된 맵 블록들의 정보와 같은 전반적인 정보를 포함할 수 있다.

[0054]

맵 영역(530)은 복수의 맵 블록들을 포함하고, 데이터 영역(550)은 데이터가 저장되는 복수의 데이터 블록들을 포함한다. 맵 블록들 및 데이터 블록들과 같이 비휘발성 메모리(500)에 포함된 메모리 블록들은 그 용도에 관계없이 동일한 물리적 구성을 가질 수 있다. 예컨대, 플래시 메모리의 경우 실질적으로 동일한 구성을 갖는 복수의 메모리 블록들을 포함하며, 각각이 속하는 영역에 따라 관리 블록, 맵 블록, 데이터 블록 등으로 구분될 수 있다. 복수의 메모리 블록들은 각각의 물리적 주소를 가지며 물리적 주소는 순차적으로 부여될 수 있다.

[0055]

도 4는 도 1에 도시된 메모리 시스템의 동작 방법을 설명하기 위한 흐름도이다.

[0056]

도 1 내지 도 4를 참조하면, 컨트롤러(100)에 포함된 비트 에러율 추정 모듈(110)은 수학식을 이용하여 블록의 비트 에러율(RBER)을 추정한다(S100). 비트 에러율을 추정하는 과정에서 사용되는 수학식은 수학식 1 또는 수학식 4일 수 있다.

[0057]

컨트롤러(100)의 재매핑 모듈(130)은 추정된 비트 에러율(RBER)과 임계치($RBER_{ref}$)를 비교하고, 비교 결과에 따라 블록의 재매핑 여부를 결정할 수 있다(S300). 즉, 재매핑 모듈(130)은 비트 에러율(RBER)이 임계치($RBER_{ref}$)를 초과하는 경우 블록을 재매핑하고(S500), 비트 에러율(RBER)이 임계치($RBER_{ref}$)를 초과하지 않는 경우 블록을 재매핑하지 않는다. 실시 예에 따라, 재매핑 모듈(130)은 비트 에러율(RBER)이 임계치($RBER_{ref}$)보다 크거나 같은

경우 블록을 재매핑하고, 비트 에러율(RBER)이 임계치($RBER_{ref}$)보다 작은 경우 블록을 재매핑하지 않을 수 있다. 임계치($RBER_{ref}$)는 1%일 수 있다.

[0058] 도 5는 본 발명의 다른 실시 예에 따른 메모리 시스템을 도시한다.

[0059] 도 5를 참조하면, 메모리 시스템(2000)은 호스트와 비휘발성 메모리(500) 사이의 데이터 교환을 제어하는 메모리 컨트롤러(2100) 및 비휘발성 메모리(500)를 포함한다. 도 1에 도시된 메모리 시스템(1000)의 구성과 동일한 동작을 수행하는 구성에 대하여는 동일한 참조번호가 부여되었는 바, 이에 대한 자세한 설명은 생략하기로 한다.

[0060] 메모리 컨트롤러(2100)는 플래시 컨트롤러로 불릴 수 있는 컨트롤러(100), RAM(300), 중앙처리장치(CPU, 2300), 및 인터페이스(700)를 포함한다.

[0061] CPU(2300)는 메모리 시스템(2000)의 전반적인 동작을 제어하며, RAM(300)은 데이터 메모리 그리고 워크 메모리로 사용될 수 있다. 컨트롤러(100)는 CPU(2300)의 제어 하에, 도 1에 도시된 컨트롤러와 동일한 동작을 수행할 수 있다.

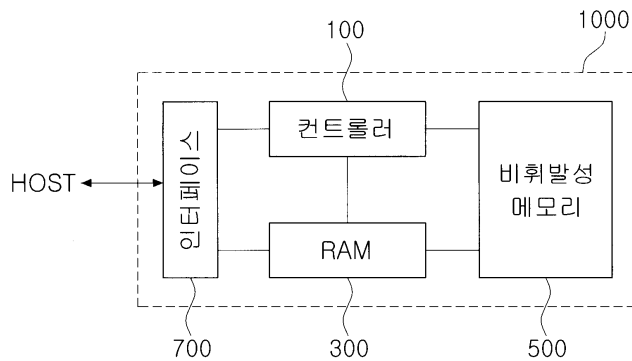
[0062] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

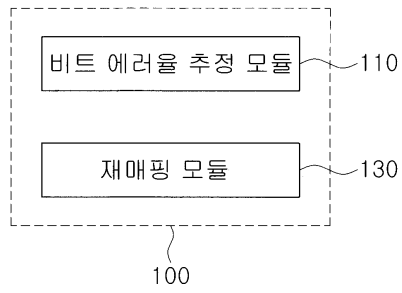
[0063] 100 : 컨트롤러
110 : 비트 에러율 추정 모듈
130 : 재매핑 모듈
300 : RAM
500 : 비휘발성 메모리
700 : 인터페이스
1000, 2000 : 메모리 장치
2100 : 메모리 컨트롤러
2300 : CPU

도면

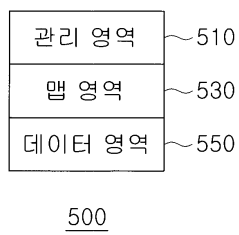
도면1



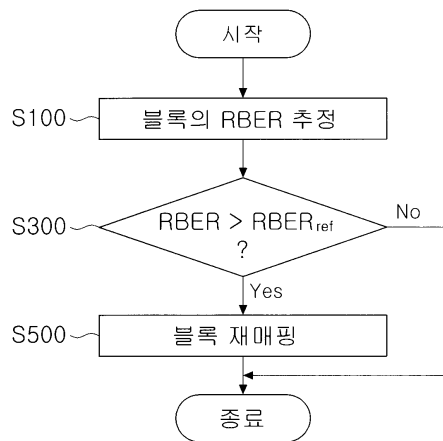
도면2



도면3



도면4



도면5

