

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年8月17日(2017.8.17)

【公表番号】特表2016-526859(P2016-526859A)

【公表日】平成28年9月5日(2016.9.5)

【年通号数】公開・登録公報2016-053

【出願番号】特願2016-525826(P2016-525826)

【国際特許分類】

H 03K 17/693 (2006.01)

H 03K 17/00 (2006.01)

H 03K 17/687 (2006.01)

H 03K 19/003 (2006.01)

【F I】

H 03K 17/693 A

H 03K 17/00 D

H 03K 17/687 G

H 03K 19/003 E

【手続補正書】

【提出日】平成29年7月5日(2017.7.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

装置であつて、

第1のp型金属酸化物半導体トランジスタを備え、前記第1のp型金属酸化膜半導体トランジスタのソースは、前記装置の入力端子に接続され、

イネーブル信号が無効化されたときに、前記装置の前記入力端子上の信号を前記第1のp型金属酸化物半導体トランジスタのゲートに伝送し、前記イネーブル信号が有効化されたときに、接地電圧を前記第1のp型金属酸化物半導体トランジスタの前記ゲートに供給するための第1の回路を備え、

前記第1の回路は、

第2のp型金属酸化物半導体トランジスタを含み、前記第2のp型金属酸化膜半導体トランジスタのソースは、前記装置の入力端子に接続され、前記第2のp型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号に接続され、

第1のn型金属酸化物半導体トランジスタを含み、前記第1のn型金属酸化物半導体トランジスタのソースは、アースに接続され、前記第1のn型金属酸化物半導体トランジスタのドレインは、前記第2のp型金属酸化物半導体トランジスタのドレインに接続され、前記第1のn型金属酸化膜半導体トランジスタのゲートは、前記イネーブル信号に接続され、

第2のn型金属酸化膜半導体トランジスタを含み、前記第2のn型金属酸化膜半導体トランジスタのゲートは、前記イネーブル信号の反転信号に接続され、前記第2のn型金属酸化物半導体トランジスタのソースは、前記装置の前記入力端子に接続され、前記第2のp型金属酸化物半導体トランジスタの前記ドレインと、前記第1のn型金属酸化物半導体トランジスタの前記ドレインと、前記第2のn型金属酸化物半導体トランジスタのドレインとは、前記第1のp型金属酸化物半導体トランジスタのゲートに接続されている、装置

。

【請求項 2】

前記第1のp型金属酸化膜半導体トランジスタの前記ソースは、前記第1のp型金属酸化物半導体トランジスタのバルク端子に短絡される、請求項1に記載の装置。

【請求項 3】

前記イネーブル信号の前記反転信号および前記アースは、同一の電圧を有する、請求項1に記載の装置。

【請求項 4】

前記装置はさらに、

第3のp型金属酸化物半導体トランジスタを備え、前記第3のp型金属酸化膜半導体トランジスタのソースは、装置の出力端子に接続され、前記第3のp型金属酸化物半導体トランジスタのドレインは、前記第1のp型金属酸化物半導体トランジスタのドレインに接続され、

前記イネーブル信号が無効化されたときに、前記装置の前記出力端子上の信号を前記第3のp型金属酸化物半導体トランジスタのゲートに伝送し、前記イネーブル信号が有効化されたときに、前記接地電圧を前記第3のp型金属酸化物半導体トランジスタのゲートに供給するための第2の回路を備える、請求項1～3のいずれか一項に記載の装置。

【請求項 5】

前記第2の回路は、

第4のp型金属酸化物半導体トランジスタを含み、前記第4のp型金属酸化膜半導体トランジスタのソースは、前記装置の前記出力端子に接続され、前記第4のp型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号に接続され、

第3のn型金属酸化物半導体トランジスタを含み、前記第3のn型金属酸化膜半導体トランジスタのソースは、アースに接続され、前記第3のn型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号に接続され、

第4のn型金属酸化物半導体トランジスタを含み、前記第4のn型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号の反転信号に接続され、前記第4のn型金属酸化膜半導体トランジスタのソースは、前記装置の前記出力端子に接続され、前記第4のp型金属酸化物半導体トランジスタのドレインと、前記第3のn型金属酸化物半導体トランジスタのドレインと、第4のn型金属酸化物半導体トランジスタのドレインとは、前記第3のp型金属酸化物半導体トランジスタの前記ゲートに接続されている、請求項4に記載の装置。

【請求項 6】

前記装置はさらに、

第5のn型金属酸化物半導体トランジスタを含み、前記第5のn型金属酸化膜半導体トランジスタのソースは、前記装置の前記入力端子に接続され、

前記イネーブル信号が無効化されたときに、前記装置の前記入力端子上の信号を前記第5のn型金属酸化物半導体トランジスタのゲートに伝送し、前記イネーブル信号が有効化されたときに、電源電圧を前記第5のn型金属酸化物半導体トランジスタの前記ゲートに供給するための第3の回路を含む、請求項1～5のいずれか一項に記載の装置。

【請求項 7】

前記イネーブル信号は、前記電源電圧と同一の電圧を有する、請求項6に記載の装置。

【請求項 8】

前記装置の前記入力端子は、前記接地電圧の電圧レベルと前記電源電圧の電圧レベルとの間の電圧を有するアナログ信号を含む、請求項6または7に記載の装置。

【請求項 9】

前記第3の回路は、

第6のn型金属酸化物半導体トランジスタを含み、前記第6のn型金属酸化膜半導体トランジスタのソースは、前記装置の前記入力端子に接続され、前記第6のn型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号の反転信号に接続され、

第5のp型金属酸化物半導体トランジスタを含み、前記第5のp型金属酸化膜半導体トランジスタのソースは、前記電源電圧に接続され、前記第5のp型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号の前記反転信号に接続され、

第6のp型金属酸化膜半導体トランジスタを含み、前記第6のp型金属酸化膜半導体トランジスタのソースは、前記入力信号に接続され、前記第6のp型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号に接続され、前記第6のn型金属酸化物半導体トランジスタのドレインと、前記第5のp型金属酸化物のドレインと、前記第6のp型金属酸化物半導体トランジスタのドレインは、前記第5のn型金属酸化物のゲートに接続されている、請求項6～8のいずれか一項に記載の装置。

【請求項10】

前記装置はさらに、

第7のn型金属酸化物半導体トランジスタを含み、前記第7のn型金属酸化膜半導体トランジスタのソースは、前記装置の出力端子に接続され、前記第7のn型金属酸化物半導体トランジスタのドレインは、前記第5のn型金属酸化物半導体トランジスタのドレインに接続され、

前記イネーブル信号が無効化されたときに、前記装置の前記出力端子上の信号を前記第7のn型金属酸化物半導体トランジスタのゲートに伝送し、前記イネーブル信号が有効化されたときに、電源電圧を前記第7のn型金属酸化物半導体トランジスタの前記ゲートに供給するための第4の回路を備える、請求項6～9のいずれか一項に記載の装置。

【請求項11】

前記第4の回路は、

第7のp型金属酸化物半導体トランジスタを含み、前記第7のp型金属酸化膜半導体トランジスタのソースは、前記電源電圧に接続され、前記第7のp型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号の前記反転信号に接続され、

第8のn型金属酸化物半導体トランジスタを含み、前記第8のn型金属酸化膜半導体トランジスタのソースは、前記装置の前記出力端子に接続され、前記第8のn型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号の前記反転信号に接続され、

第8のp型金属酸化膜半導体トランジスタを含み、前記第8のp型金属酸化膜半導体トランジスタのソースは、前記装置の前記出力端子に接続され、前記第8のp型金属酸化物半導体トランジスタのゲートは、前記イネーブル信号に接続され、前記第7のp型金属酸化物半導体トランジスタのドレインと、前記第8のp型金属酸化物半導体トランジスタのドレインと、前記第8のn型金属酸化物半導体トランジスタのドレインとは、前記第7のn型金属酸化物半導体トランジスタのゲートに接続されている、請求項10に記載の装置。

【請求項12】

前記装置はさらに、

第3のp型金属酸化物半導体トランジスタを含み、前記第3のp型金属酸化膜半導体トランジスタのソースは、前記装置の出力端子に接続され、前記第3のp型金属酸化物半導体トランジスタのドレインは、前記第1のp型金属酸化物半導体トランジスタのドレインに接続され、

前記イネーブル信号が無効化されたときに、前記装置の前記出力端子上の信号を前記第3のp型金属酸化物半導体トランジスタのゲートに伝送し、前記イネーブル信号が有効化されたときに、前記接地電圧を前記第3のp型金属酸化物半導体トランジスタのゲートに供給するための第2の回路を備える、請求項10または11に記載の装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

出力端子 154 上の電圧が 0 V であり、イネーブル信号 172 の電圧が低電圧 / 0 V である（すなわち、イネーブル信号の反転信号 174 が高電圧 / 1.8 V である）場合、NMOS トランジスタ 144 の $V_{gs} = 1.8 V - 0 V = 1.8 V$ である。よって、NMOS トランジスタ 144 は、開放 / オフされる。したがって、0 V の入力信号は、NMOS トランジスタ 144 のソースからドレインに伝送され、その後 NMOS トランジスタ 140 のゲートに伝送される。PMOS トランジスタ 146 の場合、ソースが 0 V であり、ゲートがイネーブル信号 172、すなわち 0 V であるため、 $V_{gs} = 0 V - 0 V = 0 V$ である。したがって、PMOS トランジスタ 146 は、開放 / オフされる。また、NMOS トランジスタ 140 の場合、 $V_{gs} = 0 V - 0 V = 0 V$ であり、トランジスタは、開放 / オフされる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

回路構造 188 は、出力信号が過大電圧または不足電圧である場合に、同様にうまく機能して、出力端子 154 を NMOS トランジスタ 140 のドレインから隔離する。たとえば、イネーブル信号 172 が 0 V (イネーブル信号の反転信号 174 が高電圧 / 1.8 V) であり、出力信号が 1.9 V である場合、NMOS トランジスタ 144 のゲート電圧が 1.8 V であり、ソース電圧が 1.9 V である。したがって、 $V_{gs} = 1.8 V - 1.9 V = -0.1 V$ である。 V_{gs} が負の電圧であるため、NMOS トランジスタ 144 は、開放 / オフされる。一方、PMOS トランジスタ 146 は、ゲートに 0 V のイネーブル信号 172 を有し、ソースに出力端子 154 からの 1.9 V の出力信号を有するため、 $V_{gs} = 0 V - 1.9 V = -1.9 V$ である。よって、PMOS トランジスタ 146 は、閉合 / オンされ、導通になる。したがって、ソースおよびドレインが接続され、出力端子 154 からの 1.9 V の信号を PMOS トランジスタ 146 のソース端子からドレイン端子に伝送し、その後 NMOS トランジスタ 140 のゲートに伝送する。NMOS トランジスタ 140 のゲートおよびソースが同一の電圧 1.9 V にあるため、 $V_{gs} = 0 V$ であり、NMOS トランジスタ 140 は、オフされる。したがって、過大電圧の場合においても、出力端子 154 上の信号は、NMOS トランジスタ 140 のドレインから隔離される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

イネーブル信号 172 が高電圧であり、イネーブル信号の反転信号 174 が低電圧 / 0 V である場合、NMOS トランジスタ 144 および PMOS トランジスタ 146 の両方は、開放 / オフされる。たとえば、NMOS トランジスタ 136 の場合、 $V_{gs} = 0 V - N$ である (N は、出力端子 154 上の任意の予期電圧である)。この場合、予期電圧が 0 V ~ 1.7 であるため、 V_{gs} は、常にゼロまたは負の電圧であり、NMOS トランジスタ 144 は、開放 / オフのままに維持される。また、入力端子 152 上の小さな不足電圧、たとえば -0.2 V を出力端子 154 に供給される場合、 $V_{gs} = 0 V - (-0.2 V) = 0.2 V$ である。一般的には、NMOS トランジスタをオンにするために正の電圧が必要とされるが、実際には、この電圧がトランジスタの閾値電圧 V_t を超える十分な大きさを有しなければならない。よって、閾値電圧 V_t を超えない小さな過大電圧は、NMOS トランジスタ 144 をオンにすることができない。同様に、PMOS トランジスタ 146 の場合、たとえば 1.9 V の小さな過大電圧の場合、 $V_{gs} = 1.8 V - 1.9 V = -0.1 V$ である。 V_{gs} は、負の電圧であるが、PMOS トランジスタ 146 の V_t よりも

小さい場合、PMOSトランジスタ146は、開放／オフのままに維持される。したがって、小さな過大電圧または不足電圧の場合、NMOSトランジスタ144およびPMOSトランジスタ146は、NMOSトランジスタ140のゲートに影響を与えず、NMOSトランジスタ140のドレインおよびソースが接続のままに維持される。一方、過大電圧または不足電圧の大きさがNMOSトランジスタ136またはPMOSトランジスタ146のいずれかの V_t よりも大きい場合、回路188は、NMOSトランジスタ140のドレインおよびソースを隔離し、装置の他の部分に保護措置を提供する。