[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 12/06
G06F 12/00

[12] 发明专利说明书

[21] ZL 专利号 96198473.2

[43] 授权公告日 2003 年 4 月 16 日

[11] 授权公告号 CN 1105973C

[22] 申请日 1996.10.3 [21] 申请号 96198473.2

[30] 优先权

[32] 1995.10. 3 [33] US [31] 08/538,261

[86] 国际申请 PCT/US96/15970 1996.10.3

[87] 国际公布 WO97/13204 英 1997.4.10

[85] 进入国家阶段日期 1998.5.21

[71] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 R·N·哈斯布 A·费兹 J·林
P·J·鲁思托

[56] 参考文献

EP 0392895A	1990.10.17	G06F12/00
US 5297148A	1994.03.22	G06F11/00
US 5369754A	1994.11.29	G06F12/00
WO 9423369A	1994.10.13	G06F12/02

审查员 朱世菡

[74] 专利代理机构 中国专利代理(香港)有限公司

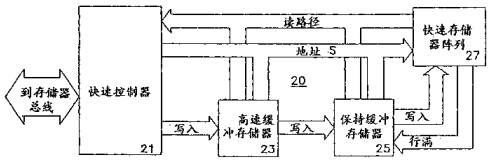
代理人 王 勇 王忠忠

权利要求书 2 页 说明书 10 页 附图 4 页

[54] 发明名称 快速电可擦除可编程只读存储器中存储数据的方法

[57] 摘要

电可擦除可编程只读存储器中存储数据的方法，包括将接收的高速缓存行存储到高速缓存器，每一高速缓存行与只读存储器的多个块的一个标识块中的一个地址相关；在高速缓冲缓存器为满时，将与一个同样标识的块相关的每一高速缓存行从缓存器拷贝到多个保持缓存器的一个同样的保持缓存器；将缓存器中的每一个所复制的高速缓存行标记为无效；将同一保持缓存器中的标识为无效的每一高速缓存行用来自同一所标识的块的一个对应的有效的高速缓存行来替换；擦除同一所标识的块；将同一保持缓存器复制到同一所标识的块。



ISSN1008-4274

1. 一种在一个快速电可擦除可编程只读存储器中存储数据的方法，包括如下步骤:

a)将所接收的高速缓存行存储到一个高速缓冲缓存器，其中每一个高速缓存行与非易失性存储器的多个块的一个所标识块中的一个地址相关;

b)在达到一个阈值的状态时，将与一个同样所标识的块相关的每一高速缓存行从该高速缓冲缓存器拷贝到多个保持缓存器的一个同样的保持缓存器;

c)将该高速缓冲缓存器中的每一个所复制的高速缓存行标记为无效;

d)将该同一保持缓存器中的标识为无效的每一高速缓存行用来自该同一所标识的块的一个对应的有效的高速缓存行来替换;

e)擦除该同一所标识的块; 以及

f)将该同一保持缓存器复制到该同一所标识的块。

2.权利要求 1 的方法，其特征在于步骤 a)还包括以下步骤:

i)以一个所选择接收的高速缓存行替换一个高速缓冲缓存器行项，如果该高速缓冲缓存器行项具有与该所选择接收的高速缓存行相同的地址和相同的所标识的块的话; 以及

ii)如果没有一个高速缓冲缓存器行项具有与该所选择接收的高速缓存行相同的地址和相同的所标识的块，将所选择接收的高速缓存行存储在一个空的高速缓冲缓存器行项中。

3.如权利要求 1 的方法，其特征在于所述的阈值状态是该高速缓冲缓存器为满的状态。

4.如权利要求 1 的方法，其特征在于所述的阈值状态是对于同一所标识的块，高速缓存行的阈值存储在高速缓冲缓存器中，其中该阈值等于该同一所标识的块的大小。

5.如权利要求 1 的方法，其特征在于所述的阈值状态是对于同一所标识的块，高速缓存行的阈值存储在高速缓冲缓存器中，其中该阈值等于该同一保持缓存器的大小。

6.如权利要求 1 的方法，其特征在于该高速缓冲缓存器包括随机存取存储器。

7.如权利要求 1 的方法，其特征在于该高速缓冲缓存器是一个全相联高速缓存。

快速电可擦除可编程只读存储器中存储数据的方法

本发明涉及计算机系统，特别涉及将一个快速 EEPROM 存储器阵列用作计算机系统中的主存储器的方法和装置。

近来，快速电可擦可编程只读存储器（EEPROM）存储设备作为一种新型的永久存储器已被应用到存储器阵列中。一个快速 EEPROM 存储器阵列由大量的浮栅金属-氧化物-硅场效应晶体管器件构成，这些器件利用在不同的存储器状态下访问单个单元并设置那些单元的存储器晶体管的电路，以典型的行和列形式排列成存储器单元。这种晶体管可通过在浮栅上存储电荷而被编程。当该阵列被断电时，该电荷被保持。在读取该器件时可检测该电荷的有（一个“0”或被编程状态）或无（一个“1”或擦除状态）。

这些阵列被设计成用于完成以前由数字系统，特别是计算机系统中的其它形式的存储器完成的多种操作。例如，快速存储器正被用于取代计算机系统的各种只读存储器，如基本输入输出启动（BIOS）存储器。适当编程快速存储器的能力提供了优于大多数现有 EPROM 存储器的优点。最近，快速存储器已被用于提供更小更轻而功能上等同于一个机电硬盘驱动器的存储器。由于快速存储器读取速度更快而且对于物理损伤不象机电硬盘驱动器那样敏感，从而使其非常有用。在空间非常宝贵且重量尤其重要的便携式计算机中，快速硬盘驱动存储器尤为重要。

通常，一个快速 EEPROM 存储器阵列被分成多个相互连接的数据块，以使存储器单元的每个数据块可被同时擦除。这种擦除将数据块中的所有单元置为被擦除状态。此后，一个单元可单独被编程以存储数据。由于一个存储器阵列数据块的所有晶体管是为了被同时擦除而连在一起的，所以一个被编程状态下的单元不能被转换到擦除状态，直到该阵列的整个数据块被擦除为止。然而，一个机电硬盘驱动器典型地将信息存储在磁盘的第一区域并在该信息发生变化时重写该盘的同一区域，对于一个快速 EEPROM 存储器阵列来说，不擦除与无效信息一起保存在该数据块中的所有有效信息是不可能的。因此，在现有技术中，当数据项的信息发生变化时，新信息被写到一个

新的存储器区域，而不是盖写在旧数据上；并且将该旧数据标记为无效。然后，在一个数据块的足够多的部分被标记为无效并且只有在保留在该数据块中的所有有效信息被写到新的存储器区域之后，才可以擦除整个数据块。

通常，可以以与动态随机存取存储器（DRAM）相同的速率和大于机电硬盘驱动器的速率来读快速存储器，因为对一个行列阵列的访问要比访问一个旋转磁盘快得多。但是，由于对一个快速设备进行写操作所需的电平非常大，所以即使是写到快速存储器的一个空数据块上所花费的时间也比写到 DRAM 上花费的时间长。而且，由于变化的数据没有直接覆盖一个快速存储器数据块中的无效数据，而是被写到一个新的区域，旧数据被无效掉，且带有无效数据的数据块最终被擦除，所以写到快速存储器的平均时间要比写到 DRAM 的平均时间长得多。

这样，虽然快速存储器在计算机系统中已被用于实现多种功能，但是还没有被用作主存储器，尽管它不需要刷新周期和附带的功率消耗并提供了数据的永久存储。人们认为用于快速存储器写操作的时间太长以致于不能将快速存储器用作主存储器。

人们希望在计算机系统中将快速存储器用作主存储器。

因此，本发明的一个目的是提供在计算机系统中用于将快速存储器用作主存储器的装置和方法。

根据本发明，一种在一个快速电可擦除可编程只读存储器中存储数据的方法，包括如下步骤：

a)将所接收的高速缓存行存储到一个高速缓冲缓存器，其中每一个高速缓存行与非易失性存储器的多个块的一个所标识块中的一个地址相关；

b)在达到一个阈值的状态时，将与一个同样所标识的块相关的每一高速缓存行从该高速缓冲缓存器拷贝到多个保持缓存器的一个同样的保持缓存器；

c)将该高速缓冲缓存器中的每一个所复制的高速缓存行标记为无效；

d)将该同一保持缓存器中的标识为无效的每一高速缓存行用来自该同一所标识的块的一个对应的有效的高速缓存行来替换；

e)擦除该同一所标识的块；以及

f)将该同一保持缓存器复制到该同一所标识的块。

通过参照下列附图的详细说明，可以更好地理解本发明的目的和特征。在这几个图中，相似的元件用相似的标记来表示。

图 1 是依据本发明设计的计算机系统的方框图。

图 2 是依据本发明而设计的、用作图 1 所示系统的主存储器的快速存储器阵列的方框图。

图 3 是用于说明依据本发明而设计的快速存储器阵列中的数据存储的示意图。

图 4 是用于说明依据本发明的方法的流程图。

下面的部分详细描述中使用了符号标记来表示对一个计算机存储器中数据位的操作。这些描述和表示方法是数据处理领域的技术人员用来向本领域其他技术人员表达其工作实质内容的最有效的方法。所述的操作是那些需要物理量的物理控制的操作。尽管不是必然的，但这些物理量通常采用能被存储、传送、组合、比较及进行其它操作的电或磁信号的形式。主要是常用的缘故，将这些信号作为位（BIT）、数值（VALUE）、元素（ELEMENT）、符号（SYMBOL）、字符（CHARACTER）、项（TERM）、数字（NUMBER）等已证明是很方便的。但是，应当记住所有这些及相似的项是与适当的物理量相关的，并且它们只是为方便地应用这些物理量而采用的标记。

而且，所执行的操作通常是针对项（TERM）的，如相加或比较，它们通常与操作员所进行的思维操作有关。在这里描述的构成本发明的一部分的操作中，在大多数情况下不需要或不希望加入了操作员的因素；这些操作是机器操作。用于执行本发明操作的有用机器包括通用的数字计算机或其它类似的设备。应当记住在所有情况下操作计算机的方法操作与计算方法本身之间的区别。本发明涉及一种用于操作计算机以在处理电或其它（如机械，化学）物理信号的过程中产生其他所需的物理信号的方法和装置。

现参照图 1，说明依据本发明的一个实施例而配置的计算机系统 10。所示的系统 10 包括一个执行各种指令以控制系统 10 的操作的中央处理单元 11。中央处理单元 11 通常通过一条处理器总线与一个桥接电路 14 相连接，该桥接电路控制对一个适用于在系统 10 各种部件之间传送信息的输入/输出总线 12 的访问。在图 1 中，总线 12 最好是外围部件互连（PCI）总线或其它尤其适于提供数据快速传送的局

部总线。在图 1 选择这种总线的目的只是为了进行说明。在一个典型的系统 10 中，各种不同的输入/输出设备被连接到总线 12 上，作为总线主控器和总线受控器电路。例如，在本示例中，永久存储器 15 可被连接到 PCI 总线 12 上作为一个总线受控器电路。其他的输入/输出设备，如声音板（SOUND BOARDS）、帧缓冲存储器等也可连接到总线 12 上。

桥接电路 14 也可由一条存储器总线通过一个次级 高速 缓冲存储器 16（通常称作 L_2 高速缓冲存储器）而被连接到主存储器 13。主存储器 13 一般由动态随机存取存储器（DRAM）按照本领域技术人员所公知的方式排列构成，以在向系统 10 提供电源期间存储信息。在本发明中，主存储器 13 是一个依据本发明而设计的快速 EEPROM 存储器阵列。

图 2 是一个快速 EEPROM 存储器模块 20 的方框图，该存储模块 20 可用作图 1 所示的主存储器 13。该模块 20 通过一个快速控制器 21 与存储器总线相连。快速控制器 21 从存储器总线向 高速缓冲存储器 23、从 高速缓冲存储器 23 向保持缓冲存储器 25 以及从保持缓冲存储器 25 向快速存储器阵列 27 写入数据。快速控制器 21 还从快速存储器阵列 27 向保持缓冲存储器 25 中写入数据。除了写操作以外，控制器 21 还对 高速缓冲存储器 23、保持缓冲存储器 25 和快速存储器阵列 27 按照这种顺序对其中的每一个进行读操作。

为了完成其操作，快速控制器 21 可包括多个部件电路，在现有技术中已经详细描述了这些电路。例如，控制器 21 可利用一个微处理器和局部缓冲存储器来执行与局部只读存储器或固件控制下的模块相关的操作。可选择地，控制器 21 也可以包括一个微控制器和用于执行与该模块相关的各种功能的状态机。该控制器能够执行的功能包括访问 高速缓冲存储器 23、保持缓冲存储器 25 和快速存储器阵列 27 中的每一个；一旦进行访问，就对 高速缓冲存储器 23、保持缓冲存储器 25 和快速存储器阵列 27 中的每一个进行读操作；一旦进行访问，就对 高速缓冲存储器 23、保持缓冲存储器 25 和快速存储器阵列 27 中的每一个进行写操作。控制器 21 还能够以一种后面将要描述的方式擦除快速存储器阵列的多个数据块中的每一个。此外，控制器 21 还包括以完成每个功能所需的各个步骤的逻辑（无论是以软

件、固件还是硬件形式）．后面将详细描述这些步骤。

图 3 是用于说明数据被存入图 2 所示的模块 20 的 高速缓冲存储器 23、保持缓冲存储器 25 和快速存储器阵列 27 中的方式的示图。可以看到，模块 20 包括一个用于在较佳实施例中存储数据行的超高速缓冲存储器 23。在一个基于 INTEL 微处理器，如 PENTIUM ®处理器的系统中，主存储器 13 可以被用来接收从第二级（L_2） 高速缓冲存储器发送的等于 32 字节的数据行。尽管从一个 L_2 高速缓冲存储器提供数据不是必须的，但本发明的一个实施例仍采用此方案。在任何特定下，所提供的数据行的大小可以改变，如果是这样，则高速缓冲存储器 23 的每个数据行的大小也会发生变化以使得 高速缓冲存储器数据行的大小等于所述实施例中的一行数据。

本实施例中所示的 高速缓冲存储器 23 是一个完全相联的 DRAM 高速缓冲存储器，使得向主存储器发送的一行数据可被放在任何可用存储位置上。一个已写入数据的存储位置其中包括一个有效位，一个作为快速 EEPROM 存储器的一个数据块内的偏移量的标记地址，一个块地址和数据。在 高速缓冲存储器 23 中，一个用于一行数据的存储位置是可用的，并且如果对于已存入 高速缓冲存储器的一行数据来说其标记地址与块地址相匹配或是一个 高速缓冲存储器数据行为无效，则可以通过控制器 21 对该位置进行写操作。

如图 3 所示，模块 20 在阵列 27 中包括 4 个单独的快速 EEPROM 存储器块 27a-27d．在任一个现实的阵列 27 中，可能会提供大量的快速 EEPROM 块，其数量足以应付系统使用的任意大小的主存储器；此处所示的数量只是为了进行说明．在任何情况下，都可以看到（从 BLK 项） 高速缓冲存储器 23 存储了来自 4 个数据块 0-3 的每一个的数据行；这些块可能是所述的 4 个快速存储器阵列块 27a－27d 中的任意一个。如图 3 所述的实施例所示， 高速缓冲存储器 23 是一个完全相联的 高速缓冲存储器，使得 高速缓冲存储器的任一数据行都能保持被写到任何地址的数据。在示例中（参看 高速缓冲存储器 23 中的 V 或有效项），在 高速缓冲存储器中除了一个数据行以外都是有效的。因此，寻址到该标记地址的数据以及在任何有效行的数据块可以被存到 高速缓冲存储器 23 中。这样，对块 0 中标记地址 00000000 的写入将使要存入的数据代替了当前存在 高速缓冲存

储器 23 中最高数据行的数据位置中的数据。同样，控制器 21 对图中行的左侧 V 项位置中前缀 1 的任一个标记地址和块地址的写入被称为一次 高速缓冲存储器命中，并且将使要被存入所寻址行的数据代替了当前存在该行位置上的数据。为了更好地理解模块 20 的操作，我们将参考图 4 的流程图。

在控制器 21 尝试将数据写入 高速缓冲存储器 23 失中的情况下，举例说明了一个能够写入的数据行， 高速缓冲存储器 23 的倒数第四个数据行左侧 V 项位置的前缀为 0，表明当前存在该位置上的数据是无效的。

一旦 高速缓冲存储器 23 中存满了有效数据，控制器 21 就将那些 高速缓冲存储器 23 中被寻址到该 高速缓冲存储器中具有最大行数的数据块的数据行写入多个保持缓冲存储器 25a、25b 和 25c 中的一个中，这些保持缓冲存储器一起组成了图 2 所示的保持缓冲存储器 25. 象 高速缓冲存储器 23 一样，这些保持缓冲存储器也可以是 DRAM. 如快速存储器的数据块一样，保持缓冲存储器的个数随各个系统而变；此处的个数 3 只是为了举例说明. 但是，应当注意每个保持缓冲存储器的大小与快速存储器的数据块的大小相同（包含相同的行数）. 在较佳实施例中，控制器 21 被设计成将要存入快速存储器阵列的一个数据块中的数据写入一个不包含数据或包含无效数据的各个保持缓冲存储器中的一个中. 这些数据被写入下一个可用的空保持缓冲存储器中. 由于这些数据都被编址指向一个快速存储器数据块，所以在任何时间任一个保持缓冲存储器都存储只指向一个数据块的数据.

在 高速缓冲存储器 23 中存满了有效数据而且达到了一个快速存储器数据块的行数阈值时，所设计的用于控制从 高速缓冲存储器 23 向保持缓冲存储器 25 写入数据的算法开始进行写. 作为一条一般规则，阈值等于可以存入一个快速存储器数据块的数据行数. 为了允许执行该算法以便于选择在 高速缓冲存储器被填满时的每数据块的最大行数或在 高速缓冲存储器被填满之前的阈值，控制器 21 包括一个存储器 30，对于快速存储器阵列中的每个数据块，该存储器用于存储当前存在 高速缓冲存储器 23 中的有效数据行数。该存储器可以是局部存储器中的一个数据结构，一组寄存器，或用于存储在

执行这样的一个过程中所用的数据的任何装置。一个特定数据块的行数用计数存储器 30 来表示，可以通过在将该数据块的一行新数据存入 高速缓冲存储器 23 时就增加该特定数据块的值来设置行数。

保持缓冲存储器 25a、25b 和 25c 中的每一个都被设计成保存其行数和一个快速存储器数据块的行数相等的一个数。在从 高速缓冲存储器 23 向一个保持缓冲存储器写入数据行时，保持缓冲存储器被标记为有效（参看保持缓冲存储器 25a 的左上角），表示有效数据行被存入缓冲存储器中；并且该数据所寻址的快速存储器数据块的标识被存入保持缓冲存储器中（参看保持缓冲存储器 25a 最上行的 BLK#）。在每个数据行被写到保持缓冲存储器中时，该数据行被标记为有效；并且此次写操作所对应的 高速缓冲存储器 23 的数据行被标记为无效，计数存储器 30 中为该数据块所保存的数减 1。这样就允许保留适当的读命令。根据该命令，只要在 高速缓冲存储器中该数据行保持有效，对一个指向主存储器模块 20 的特定地址的读操作就将从 高速缓冲存储器 23 中读出数据并停止操作。如果 高速缓冲存储器数据行是无效的，则在保持缓冲存储器中试着对被寻址的数据块进行读操作；如果发现了有效数据行，则该操作是成功的，并在保持缓冲存储器级上停止该操作。如果 高速缓冲存储器和保持缓冲存储器在该地址都不包含有效数据行，则读取快速存储器阵列的所寻址块。以这种方式，总是对最新的数据进行读操作。

一旦 高速缓冲存储器 23 中具有最大行数的数据块的所有有效数据行已从 高速缓冲存储器 23 写入了保持缓冲存储器并被标记为有效，在 高速缓冲存储器 23 中就将这些被写的数据行标记为无效，并且对于快速存储器的该数据块计数存储器 30 数值递减为 0，控制器 21 测试保持缓冲存储器中的无效数据行。如果在保持缓冲存储器中存在一些无效数据行（例如，图 3 中缓冲存储器 25 a 的第 7 行为无效），则控制器 21 读取被寻址的快速存储器数据块 27a（或 27b,27c,27d）中的那些无效数据行并将从那些数据行中读出的数据写入保持缓冲存储器中的同一无效数据行中。以这种方式，保持缓冲存储器中存满了有效数据。

一旦保持缓冲存储器的所有数据行中都已存满了有效数据，控制器 21 就利用软件、固件或硬件等适当的处理过程来擦除这些数据所

指向的快速存储器数据块。保持缓冲存储器一直将指向快速存储器数据块的数据保持到擦除该数据块为止。一旦控制器 21 完成了对快速存储器数据块 27 的擦除，控制器 21 就将数据从保持缓冲存储器写到空的数据块中。在将每个数据行从保持缓冲存储器写到快速存储器数据块中时，快速存储器数据块中的该数据行被标记为有效而保持缓冲存储器中的该数据块被标记为无效。当保持缓冲存储器中的所有数据行都被标记为无效时，该保持缓冲存储器被标记为无效且可以用来存储来自指向任何快速存储器数据块的 高速缓冲存储器 23 的数据。

在本发明的较佳实施例中，在将一个保持缓冲存储器的数据写到所寻址的快速存储器数据块中之前，控制器检测 高速缓冲存储器 23 以确定存在保持缓冲存储器中的任一有效数据行在 高速缓冲存储器中是否也有效。由于 高速缓冲存储器中的数据行在被写入保持缓冲存储器之后即被标记为无效，现在存在于 高速缓冲存储器中的任何有效数据行一定比保持缓冲存储器中该地址的数据新。如果是这样，那些数据行被从 高速缓冲存储器写到保持缓冲存储器中，保持缓冲存储器中的该数据行被标记为有效，且在数据被写到快速存储器数据块中之前， 高速缓冲存储器中的该数据行被标记为无效，使得最新数据（而不是旧数据）最终被存入快速存储器数据块中。

在任何时候，可针对主存储器模块 20 中的一个地址进行读取。控制器首先在 高速缓冲存储器 23 中尝试读操作。如果在 高速缓冲存储器 23 中发现了具有该地址的有效数据行，则从 高速缓冲存储器 23 中读出该数据并将其放至存储器总线上。即使该数据行中的数据刚刚被写到保持缓冲存储器中并在保持缓冲存储器中被标记为有效，如果在 高速缓冲存储器 23 中该数据行还没有被标记为无效，那么也要从 高速缓冲存储器 23 中读出该数据行。由于在 高速缓冲存储器和保持缓冲存储器的所寻址的数据行中存有相同的数据，所以该数据保持有效；并且读操作的执行时间（LATENCY）保持在尽可能短的时间内。如果在 高速缓冲存储器 23 中这种搜索失中，则控制器通过读取保持缓冲存储器而继续工作。控制器首先查找一个标记为有效的数据块地址。如果找到了，则控制器检查对应于被读出的数据行地址的标记。如果发现了一个有效的所寻址的数据行，则读取该数据行并将其放至存储器总线上。如果在保持缓冲存储器中

的读操作失中，则控制器继续在所寻址的快速存储器数据块27a,27b,27c 或 27d 中进行读操作。当满足匹配条件时，就从快速存储器数据块中读出该数据行。

应当注意在擦除任何一个快速存储器数据块和从保持缓冲存储器向该数据块写入数据的过程中，还可能发生该模块的其它操作。例如，由控制器 21 运行的某些进程可能被重复以致于也可能对于另一个快速存储器数据块发生第二个擦除过程。在 高速缓冲存储器 23 级中可能出现读和写操作，而保持缓冲存储器和快速存储器数据块并没有参与该擦除和重写过程。

正如本领域技术人员所理解的，由于这里所述的独特配置，一个包括一快速存储器阵列 27 的模块 20 能够响应在当前中央处理单元所能够操作的范围之内的读操作和写操作。该读操作以同于 DRAM 主存储器的操作速度被执行。因为最初的写操作是直接针对 DRAM 高速缓冲存储器 23 的，所以在 高速缓冲存储器 23 完全填满之前可以以同于 DRAM 主存储器的速度执行写操作。其它能够快写的存储器可被用来代替 DRAM 作为 高速缓冲存储器。利用一个在保持缓冲存储器和快速存储器块的大小相对较大的 高速缓冲存储器，响应一个要达到的数据块大小的临界值时，相比于其变为空的情况该 高速缓冲存储器被填满的可能性越小。因此，从 高速缓冲存储器 23 向保持缓冲存储器 25 写数据通常作为一个不会减慢读或写 高速缓冲存储器的速度的后台过程。

而且，如本领域技术人员所注意到的，对保持缓冲存储器的写过程被设计成删除，故在擦除该快速存储器块之前要求从快速存储器块向保持缓冲存储器回写有效数据行是可能的。如果该数据块的阈值触发了从 高速缓冲存储器向保持缓冲存储器的写操作，则由于所选择的阈值等于填满一个快速存储器阵列数据块或一个保持缓冲存储器所需的数据行数，所以该保持缓冲存储器中存满了有效数据行并且不需要从快速存储器块回写。

但是，既使在 高速缓冲存储器被填满而使得对 高速缓冲存储器的写操作占用了控制器 21 时，其总速度仍足以跟得上个人计算机的中央处理单元。这是由于从 高速缓冲存储器 23 的写操作是直接指向可进行快写的第二级 DRAM 缓冲存储器的。最后，对快速

EEPROM 数据块的写操作只在后台进行以致这些操作通常不会减慢进程的速度。

尽管已经以较佳实施例的形式详细描述了本发明，但是应该理解，本领域的技术人员在不偏离本发明构思和范围的情况下对本发明作出各种修改和改进是可能的。因此，本发明的保护范围应限定在下述的权利要求书的范围内。

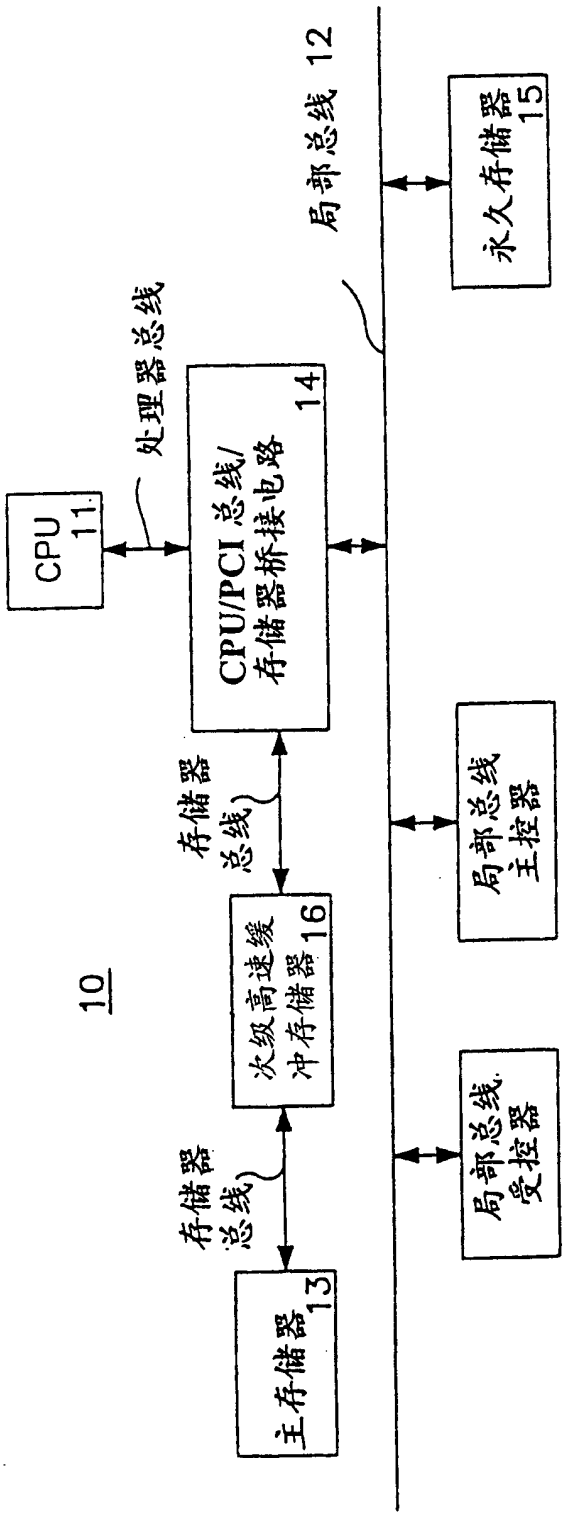

10
CPU 11
处理器总线
CPU/PCI 总线/存储器桥接电路 14
局部总线 12
永久存储器 15
存储器总线
次级高速缓冲存储器 16
局部总线主控器
存储器总线
主存储器 13
局部总线受控器

图 1

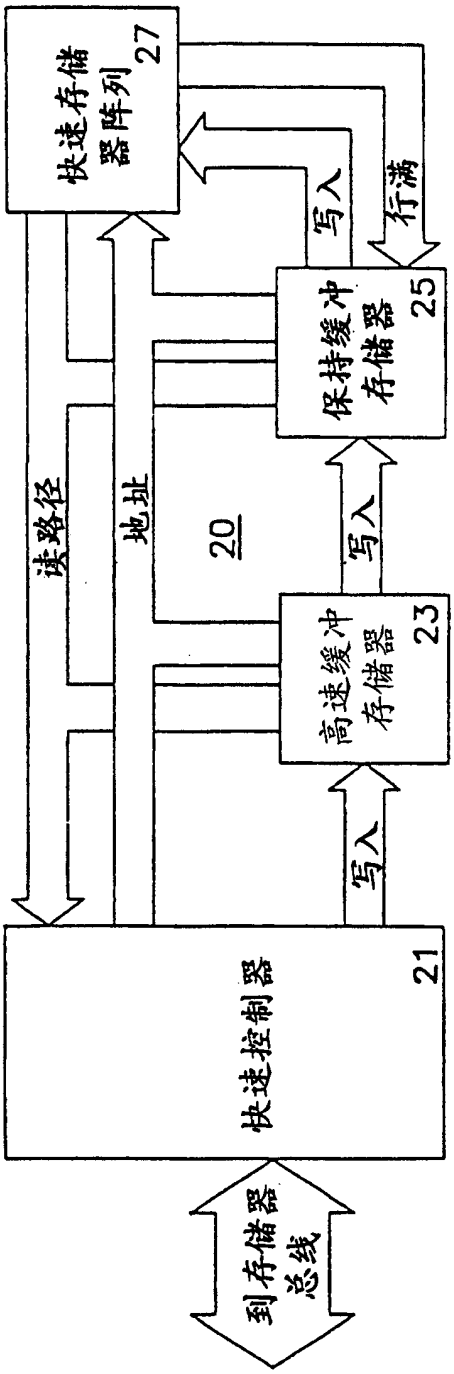

快速存储器阵列
27
写入
行满
保持缓冲存储器
25
读路径
地址
20
写入
高速缓冲存储器
23
写入
快速控制器
21
到存储器总线

图 2

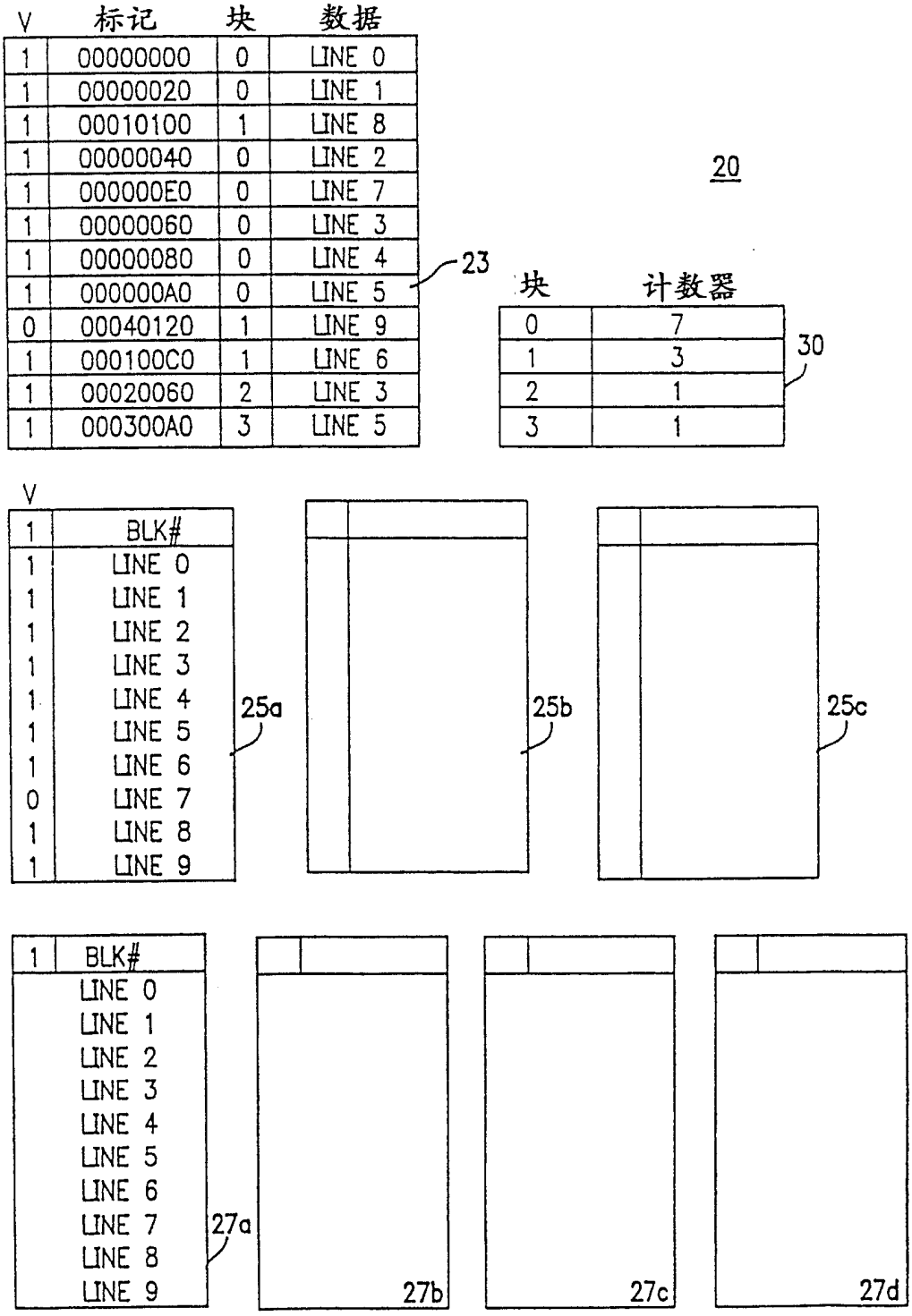

V
标记
块
数据
1 00000000 0 LINE 0
1 00000020 0 LINE 1
1 00010100 1 LINE 8
1 00000040 0 LINE 2
1 000000E0 0 LINE 7
1 00000060 0 LINE 3
1 00000080 0 LINE 4
1 000000A0 0 LINE 5
0 00040120 1 LINE 9
1 000100C0 1 LINE 6
1 00020060 2 LINE 3
1 000300A0 3 LINE 5
23
20
块
计数器
0 7
1 3
2 1
3 1
30
V
1 BLK#
1 LINE 0
1 LINE 1
1 LINE 2
1 LINE 3
1 LINE 4
1 LINE 5
1 LINE 6
0 LINE 7
1 LINE 8
1 LINE 9
25a
25b
25c
1 BLK#
LINE 0
LINE 1
LINE 2
LINE 3
LINE 4
LINE 5
LINE 6
LINE 7
LINE 8
LINE 9
27a
27b
27c
27d

图 3

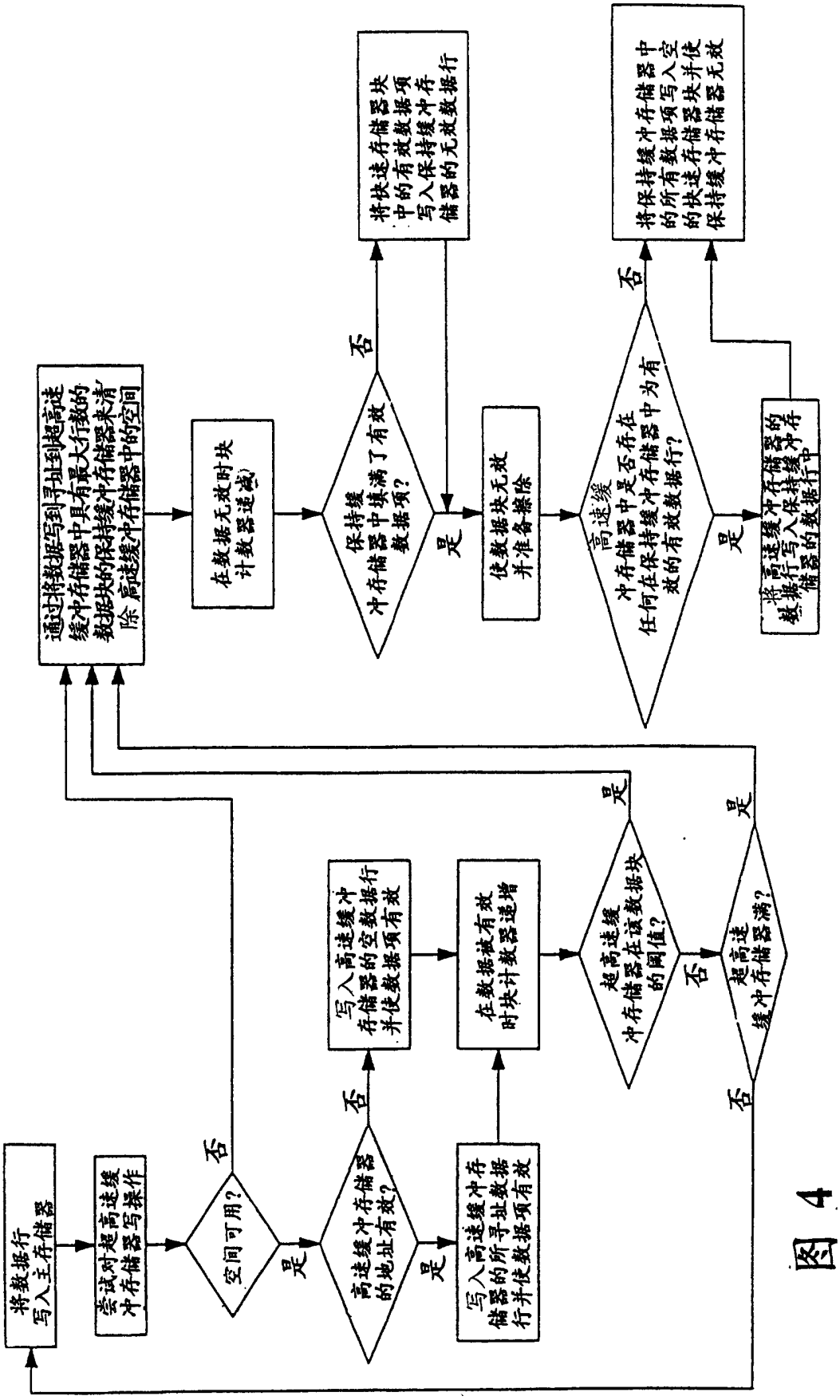

将数据行写入主存储器
尝试对超高速缓冲存储器写操作
空间可用?
否
是
高速缓冲存储器的地址有效?
否
是
写入高速缓冲存储器的所寻址数据行并使数据项有效
写入高速缓冲存储器的空数据行并使数据项有效
在数据被有效时块计数器递增
超高速缓冲存储器在该数据块的阈值?
是
否
超高速缓冲存储器满?
是
否
通过将数据写到寻址到超高速缓冲存储器中具有最大行数的数据块的保持缓冲存储器来清除高速缓冲存储器中的空间
在数据无效时块计数器递减
保持缓冲存储器中填满了有效数据项?
否
是
将块速存储器块中的有效数据项写入保持缓冲存储器的无效数据行
使数据块无效并准备擦除
高速缓冲存储器中是否存在任何在保持缓冲存储器中为有效的有效数据行?
否
是
将保持缓冲存储器中的所有数据项写入空的快速存储器块并使保持缓冲存储器无效
将高速缓冲存储器的数据行写入保持缓冲存储器的数据行中

图 4