



(12)发明专利

(10)授权公告号 CN 103123806 B

(45)授权公告日 2016.08.03

(21)申请号 201110369979.6

(22)申请日 2011.11.20

(73)专利权人 复旦大学

地址 200433 上海市杨浦区邯郸路220号

(72)发明人 解玉凤 林殷茵

(74)专利代理机构 上海元一成知识产权代理事
务所(普通合伙) 31268

代理人 吴桂琴

(51)Int.Cl.

G11C 11/4063(2006.01)

(56)对比文件

CN 101523500 A,2009.09.02,

US 5596539 A,1997.01.21,

CN 101874271 A,2010.10.27,

审查员 刘雨章

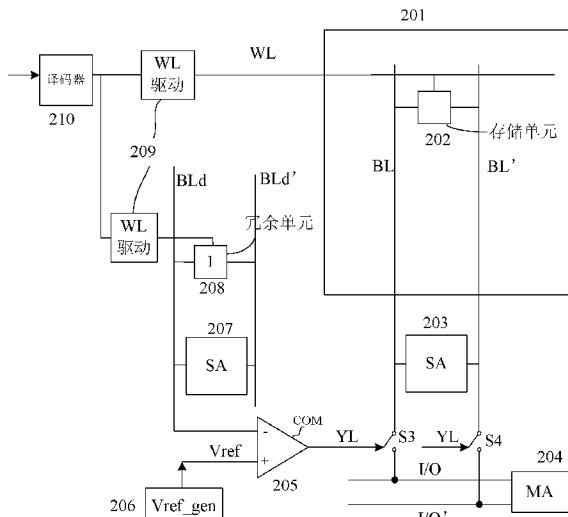
权利要求书1页 说明书5页 附图2页

(54)发明名称

DRAM的列选择信号的控制电路及包括其的
存取存储器

(57)摘要

本发明属动态随机存取存储器技术领域，涉及一种动态随机存取存储器的列选择信号的控制电路。所述控制电路包括列选择信号生成电路，还包括：与所述动态随机存取存储器的存储单元相应的冗余单元、以及冗余字线驱动模块；其中，当所述冗余单元的放大读出电压与预置的电压阈值相匹配时，所述列选择信号生成电路生成列选择信号。该动态随机存取存储器，其包括存储阵列、存储阵列中的存储单元的读通路，其特征在于，所述存储阵列中还包括冗余单元，所述动态随机存取存储器还包括该列选择信号的控制电路。该动态随机存取存储器在保证读可靠性的同时，提高读操作速度。



1. 一种动态随机存取存储器的列选择信号的控制电路，所述控制电路包括列选择信号生成电路，其特征在于，所述控制电路还包括：与所述动态随机存取存储器的存储单元相应的冗余单元、以及冗余字线驱动模块；

其中，当所述冗余单元的放大读出电压与预置的电压阈值相匹配时，所述列选择信号生成电路生成列选择信号；

所述列选择信号生成电路还包括比较器，所述比较器用于比较所述冗余单元的放大读出电压与所述预置的电压阈值；

其中，当所述冗余单元的放大读出电压与所述预置的电压阈值的差值小于所述比较器的最小灵敏范围时，所述冗余单元的放大读出电压与所述预置的电压阈值相匹配；

所述控制电路还包括用于生成所述预置的电压阈值的电压生成电路；所述电压生成电路用于生成可调节的所述预置的电压阈值。

2. 如权利要求1所述的动态随机存取存储器的列选择信号的控制电路，其特征在于，所述冗余单元在读操作过程中始终存储“0”或始终存储“1”。

3. 一种动态随机存取存储器，其包括存储阵列、存储阵列中的存储单元的读通路，其特征在于，所述存储阵列中还包括冗余单元，所述动态随机存取存储器还包括如权利要求1至2中任一项所述的列选择信号的控制电路。

4. 如权利要求3所述的动态随机存取存储器，其特征在于，所述存储单元和所述冗余单元在所述动态随机存取存储器的存储阵列中同时制备形成。

DRAM的列选择信号的控制电路及包括其的存取存储器

技术领域

[0001] 本发明属于DRAM(Dynamic Random Access Memory, 动态随机存取存储器)技术领域, 涉及DRAM的列选择信号的控制电路, 尤其涉及一种包括冗余单元的列选择信号的控制电路。

背景技术

[0002] DRAM已经被广泛地应用于计算机等电子产品中, 其技术发展周期较长, 相对成熟。但是, 由于DRAM是基于电荷来存储信息的存储器, 其读操作相对较慢。随着对DRAM的速度的要求越来越高, 当前的主要手段是通过对DRAM不断地按比例缩小(scaling down)来提高读速度。

[0003] 通常地, DRAM包括存储阵列以及外围电路(用于实现读、写和刷新等操作的控制), 存储阵列同样是由多个存储单元按行和列的形式排列组成, 每个存储单元被设置于相应耦合的位线和字线之间的交叉处。具体地, 存储单元通常包括一个存取晶体管T(具有选通作用)和用于存储电荷的电容C。外围电路依据外部命令、通过对所选中的位线和字线偏置相应电信号, 以实现对其中某一地址的存储单元的操作。

[0004] 其中, DRAM的外围电路包括译码器(例如行译码器和列译码器)、位线驱动模块、位线驱动模块、逻辑控制模块以及读出放大器(例如灵敏放大器, SA), 读出放大器耦合至存储阵列上, 其用于执行从/向被选择的存储单元读出/写入操作。读出放大器的输出同时还耦合至DRAM的I/O缓冲器中。在读操作过程中, 读出放大器是否开始工作, 由其使能控制信号来控制; 读出放大器何时将其输出耦合至DRAM的I/O缓冲器中, 则由对应的列选择信号YL来控制。

[0005] 图1所示为现有技术的DRAM列选通控制方式示意图。在该实例中, 读出放大器为常规的SA(Sense Amplifier, 灵敏放大器), 列选择信号YL是单独提供的, 为了能读出正确信息, YL在读出放大器的使能控制信号SA_en激活后被激活, 使读出放大器的输出耦合至DRAM的I/O缓冲器MA中。图1所示的DRAM列选通控制方式主要有如下缺点: 如果YL激活得太早, 则可能使得位线上的电压被I0线上的大电容迅速拉低, 低到无法被SA重新放大, 导致读错误。因此, 在现有技术中, 通常采用最坏情况下所需的延迟, 即YL较晚被激活, 但这带来额外的读延迟, 影响了读速度。

[0006] 有鉴于此, 有必要针对DRAM的列选通方式提出一种新型的控制电路以产生列选择信号, 以在保证DRAM的读可靠性的同时, 提高其读操作速度。

发明内容

[0007] 本发明要解决的技术问题是, 提高DRAM的读操作速度。

[0008] 按照本发明的一方面, 提供一种动态随机存取存储器的列选择信号的控制电路, 所述控制电路包括列选择信号生成电路, 其特征在于, 所述控制电路还包括: 与所述动态随机存取存储器的存储单元相应的冗余单元、以及冗余字线驱动模块;

[0009] 其中,当所述冗余单元的放大读出电压与预置的电压阈值相匹配时,所述列选择信号生成电路生成列选择信号。

[0010] 按照本发明提供读出放大器的控制电路的优选实施例,其中,所述列选择信号生成电路还包括比较器,所述比较器用于比较所述冗余单元的放大读出电压与所述预置的电压阈值。

[0011] 较佳地,当所述冗余单元的放大读出电压与所述预置的电压阈值的差值小于所述比较器的最小灵敏范围时,所述冗余单元的放大读出电压与所述预置的电压阈值相匹配。

[0012] 按照本发明提供读出放大器的控制电路的又一优选实施例,其中,所述控制电路还包括用于生成所述预置的电压阈值的电压生成电路。

[0013] 较佳地,所述电压生成电路用于生成可调节的所述预置的电压阈值。

[0014] 按照本发明提供读出放大器的控制电路的再一优选实施例,其中,所述冗余单元在读操作过程中始终存储“0”或始终存储“1”。

[0015] 按照本发明的另一方面,提供一种动态随机存取存储器,其包括存储阵列、存储阵列中的存储单元的读通路,其特征在于,所述存储阵列中还包括冗余单元,所述动态随机存取存储器还包括如权利要求1至10中任一项所述的列选择信号的控制电路。

[0016] 较佳地,所述存储单元和所述冗余单元在所述动态随机存取存储器的存储阵列中同时制备形成。

[0017] 本发明的技术效果是,通过在存储单元的列选择信号的控制电路中增加冗余单元,从而,通过冗余单元的放大读出电压来匹配于预置的电压阈值,控制列选择信号与存储单元的读通路的外围电路的延迟相匹配。因此,一方面,控制电路的延迟能有效跟踪存储单元的读通路的延迟,并且能随时跟踪工艺波动所导致的读通路的延迟的变化;另一方面,一旦存储单元的放大读出电压达到可被正确读出的程度(某个预定电压,可以是VDD或某个略低于VDD的电压Vini),即可立即生成列控制信号,以将读出放大器的输出耦合至DRAM的I/O缓冲器MA中。从而,在保证DRAM的读可靠性的同时,提高其读操作速度。

附图说明

[0018] 从结合附图的以下详细说明中,将会使本发明的上述和其它目的及优点更加完全清楚,其中,相同或相似的要素采用相同的标号表示。

[0019] 图1是现有技术中DRAM列选通控制方式示意图;

[0020] 图2是按照本发明一实施例提供的DRAM的列选择信号的控制电路的基本结构示意图;

[0021] 图3是图2所示DRAM的列选择信号的控制电路的又一实例信号时序示意图。

具体实施方式

[0022] 下面介绍的是本发明的多个可能实施例中的一些,旨在提供对本发明的基本了解,并不旨在确认本发明的关键或决定性的要素或限定所要保护的范围。容易理解,根据本发明的技术方案,在不变更本发明的实质精神下,本领域的一般技术人员可以提出可相互替换的其它实现方式。因此,以下具体实施方式以及附图仅是对本发明的技术方案的示例性说明,而不应当视为本发明的全部或者视为对本发明技术方案的限定或限制。

[0023] 图2是按照本发明一实施例提供的DRAM的列选择信号的控制电路的基本结构示意图。如图2所示,该列选择信号的控制电路,所述控制电路包括列选择信号生成电路,其中,所述控制电路还包括与所述动态随机存取存储器的存储单元相应的冗余单元208、以及冗余字线驱动模块209;其中,当所述冗余单元的放大读出电压与预置的电压阈值Vref相匹配时,所述列选择信号生成电路生成列选择信号。例如,假设冗余单元208中存1。WL驱动激活存储单元202的同时也激活冗余单元208。冗余位线BLd的电位升高,位线对的电压差被SA207放大后输出加到比较器COM 205的“-”端,比较器COM的“+”端连接到参考电压Vref,由参考电压生成器Vref_gen 206提供。比较器205的输出信号为YL,激活列选择开关,将存储单元202的存储内容经BL和SA203输出到I/O线和I/O'线上,再经过主放大器MA 204放大,最终输出数据。在此,本实施例用冗余单元读通路跟踪实际存储单元读通路,使得实际存储单元的SA输出电压一旦达到一个预定的值Vref(可以是VDD,或某个可以被正确读出的电压Vini)后再经过一个比较器的过程,即激活YL。因而可以及时开启YL,在保证读可靠性的同时,提高读速度。优选地,SA 203和SA 207结构完全相同,且同时启动。冗余单元208、冗余位线对BLd和BLd',与实际存储单元202和实际位线BL和BL',完全相同。

[0024] 优选地,该列选择信号生成电路还包括比较器COM205,所述比较器用于比较所述冗余单元的放大读出电压与所述预置的电压阈值Vref。具体地,比较器COM205比较冗余单元208的放大读出电压和预置的电压阈值Vref,当所述冗余单元的放大读出电压与预置的电压阈值Vref相匹配时,如两者相等或差值小于一定的电压差范围,所述列选择信号生成电路生成列选择信号。接上例,冗余单元208的电位位线对的电压差被SA207放大后输出加到比较器COM 205的“-”端,比较器COM的“+”端连接到参考电压Vref,由参考电压生成器Vref_gen 206提供。比较器205的输出信号为YL,激活列选择开关,将存储单元202的存储内容经BL和SA203输出到I/O线和I/O'线上,再经过主放大器MA 204放大,最终输出数据。

[0025] 更优选地,当所述冗余单元的放大读出电压与所述预置的电压阈值的差值小于所述比较器的最小灵敏范围时,所述冗余单元的放大读出电压与所述预置的电压阈值相匹配。例如,当Vref为VDD-deltV时(deltV是比较器COM 205的最小灵敏范围,即使得比较器中的反相器能发生翻转的最小电压幅度),一旦BLd的电压被放大到VDD,比较器COM 205工作,产生YL激活信号。此时实际存储单元202的存储数据经BL和SA203放大后,经YL被输出到I/O线对(I/O和I/O')上。其中的总延迟时间:SA 207放大BLd到VDD的延迟+比较器COM 205的延迟。因为有比较器COM 205的延迟,此时读速度仍然稍慢。再如,当Vref为VDD-deltV-Vx时,Vx为微小的电压差,可使得BLd在达到VDD-Vx时就开始让比较器工作,Vx的设置应当使得:SA放大到VDD-Vx的延迟加上比较器COM 205的延迟,正好是SA将BL电压差放大到VDD的延迟。此时提前考虑了比较器的延迟,可以使得BL的电压一旦被放大到VDD,即可激活YL输出数据。又如,如果实际存储器不需要BL达到VDD即可经YL传输到I0线上且不会出现读错误,则可用所需的位线放大后电压Vini代替VDD,即参考电压设为Vb1-deltV,或者Vb1-deltV-Vx,则BLd的电压达到Vb1或者Vb1-Vx时即可激活YL。

[0026] 优选地,该列选择信号的控制电路还包括用于生成所述预置的电压阈值的电压生成电路206。具体地,该电压生成电路206生成预置的电压阈值Vref,并将其提供给该控制电路,以用于与所述冗余单元的放大读出电压相匹配比较,当两者匹配时,所述列选择信号生成电路生成列选择信号。

[0027] 更优选地,该电压生成电路用于生成可调节的所述预置的电压阈值,如Vdd-deltV或Vdd-deltV-x,其中x很微小。在此,deltV是SA(或者比较器COM)的最小灵敏电压范围,这样的COM,使得只有到BLd的电压达到Vdd时,YL才开启。对于设计的DRAM,BL电压不会超过Vdd,所以电压为Vdd的BL一定可以正确被读出,所以此处只需保证BL电压为Vdd,但是一旦YL开启,BL电压会降低,YL还会开启吗?只要还满足SA的灵敏范围,就可以被放大到VDD。但是刚才开启之后,YL的电压已经到了MA可以读出的程度,不需要BL再重复放大了。进一步的说明:Vref可以是Vdd-deltV。可以是Vdd-deltV-x,x很微小,以考虑COM的工作延迟。或者要提前一点,则考虑进一步减小Vref。Vref的大小取决于I0线的电容和dummy BL电容的实际大小。

[0028] 图3是图2所示DRAM的列选择信号的控制电路的又一实例信号时序示意图。结合图3,进一步阐述本实施例的工作原理如下:

[0029] 1)结合图2中结构,当BL和BL'的电压差达到SA可工作的幅度时,SA_en有效,SA 203开始工作,当BL和BL'上的电压一旦被放大到VDD和0V时,YL立刻开启,将数据输出到I/O线对上。(此图对应着Vref=VDD-deltV-Vx时的情况)

[0030] 2)当Vref=VDD-deltV时,YL的开启要比图3中晚一段时间,这段时间等于比较器COM 205的延迟。

[0031] 3)当Vref=Vini-deltV-Vx时,其中Vini小于等于VDD,一旦BL被放大到Vini(还未达到VDD),YL即被开启。

[0032] 4)当Vref=Vini-deltV时,其中Vini小于等于VDD,一旦BL被放大到Vini(还未达到VDD),在经过一段比较器COM 205的延迟,YL即被开启。

[0033] 优选地,所述冗余单元208在读操作过程中始终存储“0”或始终存储“1”。

[0034] 一种动态随机存取存储器,其包括存储阵列、存储阵列中的存储单元的读通路,其特征在于,所述存储阵列中还包括冗余单元,所述动态随机存取存储器还包括如前述实施例所描述的列选择信号的控制电路。该实施例的DRAM包括存储阵列,存储阵列中的每个存储单元的具体结构形式不是限制性的,例如,其可以为1T1C结构的存储单元。多个存储单元按行和列的形式排列,在该实例中,若干个存储单元按行和列的形式排列形成存储块(block),多个块然后排列形成存储阵列。在该实施例中,存储阵列中还包括冗余单元,冗余单元与存储单元包括同样的器件单元,二者是相同的单元并可以同时制备并一起排列形成存储阵列。在具体应用中,也可以指定某一列或某一行的存储单元为冗余单元。在图2所示实例中,仅示意性地给出了存储阵列中的其中一个存储单元202以及该存储单元202所对应的一个冗余单元208,需要说明的是每个冗余单元并不需要与具体的每个存储单元一一对应,多个存储单元可以对应于一个冗余单元。存储单元202、冗余单元208的具体数量不是限制性的,换而言之,存储阵列的存储容量大小不是限制性的;同时,存储阵列中仅示意性地给出了存储单元202所对应连接或耦接的位线对BL和BL'、字线WL,冗余单元208所对应连接或耦接的冗余字线WLr、冗余位线对BLr和BLr'。

[0035] 该实施例的DRAM同样地包括外围电路,外围电路可以依据外部输入命令、通过对所选中的位线和字线偏置相应电信号,以实现对其中某一地址的存储单元的操作(写操作、读操作和刷新操作等)。在该发明中,由于其目的主要是为了提高读操作的速度,为使本领域技术人员了解该发明的改进之处,对其它操作所对应的、本领域技术人员所公知的外围

电路的部件或电路模块不再一一列出。外围电路至少地包括读出放大器203,以存储单元202的读操作为例,其位线对BL和BL'的电压差信号将可以输入至读出放大器203,然后经过读出放大器203输出至外围电路的I/O缓存器。存储单元203的存储电荷使其所耦接的位线对BL和BL'的电压差达到可以让SA正常工作的幅度(即 ΔV)需要一定时间,也即存在延迟,其通常地表示为存储单元的位线延迟。在该实施例中,读出放大器203具体地为灵敏放大器(Sense Amplifier, SA), SA是否开始工作由其使能控制信号来控制。优选地, SA为交叉耦合型SA。

[0036] 以上例子主要说明了本发明的列选择信号的控制电路及包括该控制电路的DRAM。尽管只对其中一些本发明的实施方式进行了描述,但是本领域普通技术人员应当了解,本发明可以在不偏离其主旨与范围内以许多其它的形式实施。因此,所展示的例子与实施方式被视为示意性的而非限制性的,在不脱离如所附各权利要求所定义的本发明精神及范围的情况下,本发明可能涵盖各种的修改与替换。

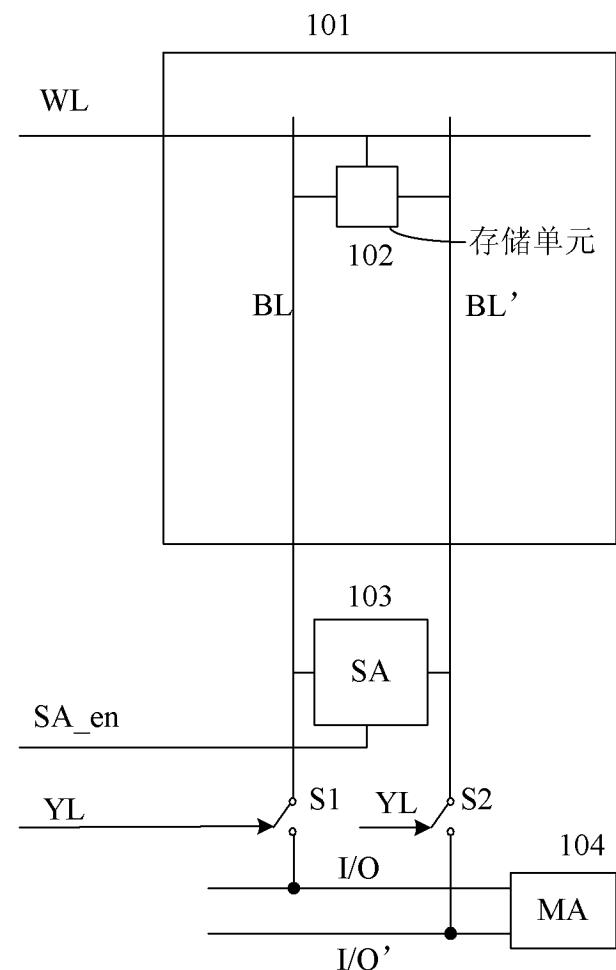


图1

201

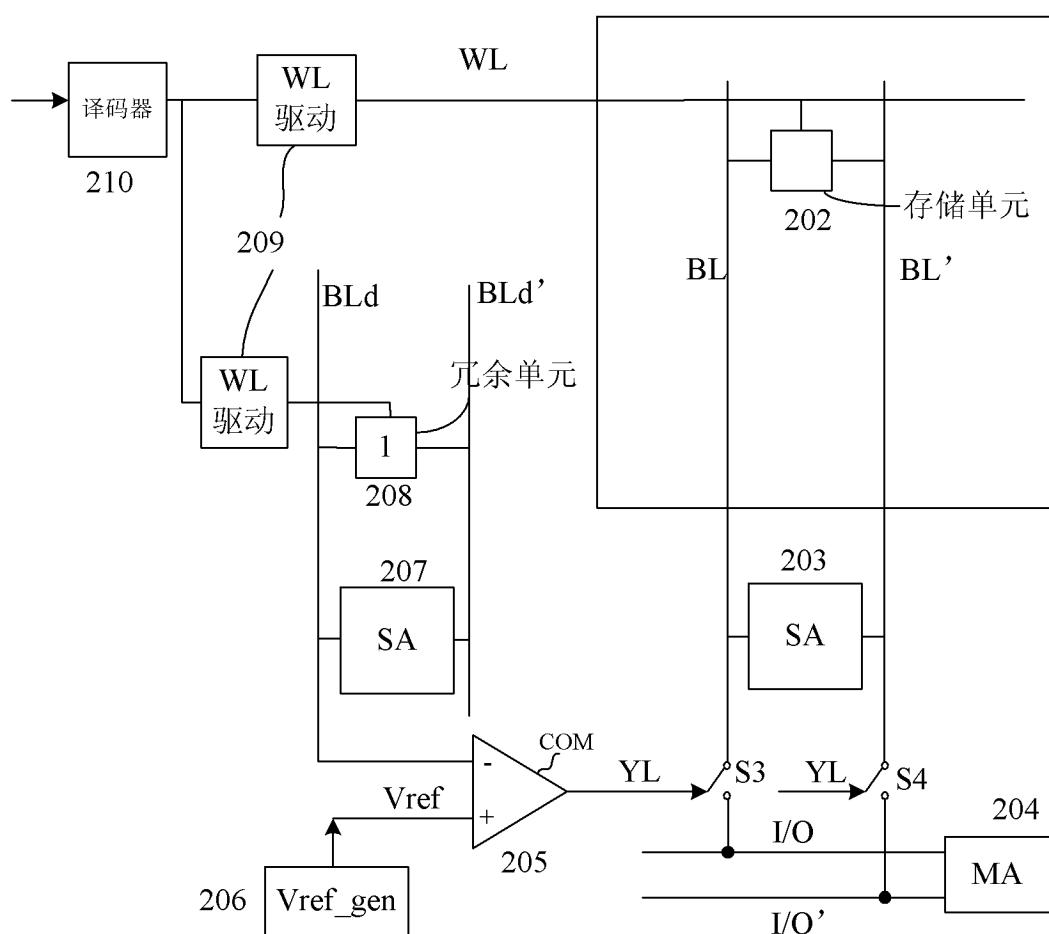


图2

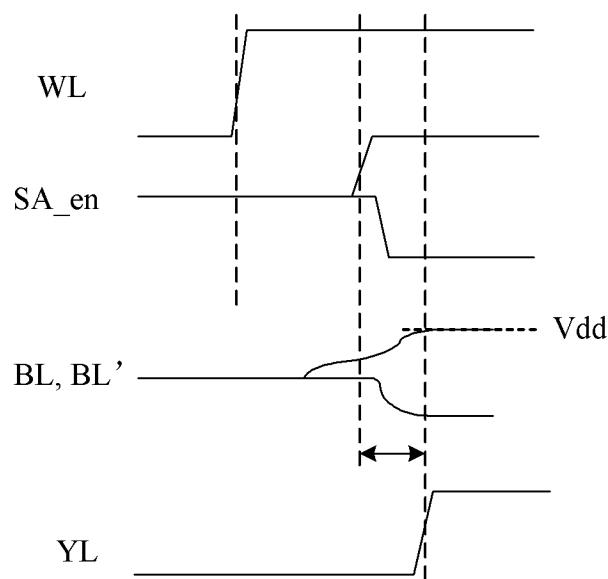


图3