

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 790099

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 09.11.78 (21) 2681274/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.12.80. Бюллетень № 47

Дата опубликования описания 25.12.80

(51) М. Кл.³

H 03 B 19/00

(53) УДК 621.374
(088.8)

(72) Автор
изобретения

Ю. Н. Цыбин

(71) Заявитель

Ленинградский ордена Ленина электротехнический
институт им. В. И. Ульянова (Ленина)

(54) ЦИФРОВОЙ УМНОЖИТЕЛЬ ЧАСТОТЫ
СЛЕДОВАНИЯ ИМПУЛЬСОВ

1

Изобретение относится к автоматике и контрольно-измерительной технике и может способствовать, в частности увеличению девиации в системах контроля.

Известен умножитель частоты, выполненный на основе аналоговой техники и состоящий из линейного интегратора, двух нуль-органов и элемента ИЛИ. Входной синусоидальный сигнал поступает на входы первого нуль-органа и линейного интегратора. На вход второго нуль-органа поступает сигнал с выхода линейного интегратора с фазой $\varphi = \pi/2$ относительно входного сигнала.

Нуль-органы формируют узкие импульсы в момент прохождения сигналами соответственно через нулевые точки. Выходы нуль-органов соединены с элементом ИЛИ. Выходной сигнал логического элемента ИЛИ имеет частоту в четыре раза больше, чем частота входного сигнала [1].

Недостатком данного устройства является нестабильность работы и низкая точность.

2

Наиболее близким по технической сущности является цифровой умножитель частоты следования импульсов, выполненный на основе цифровой техники и состоящий из генератора первой опорной частоты, соединенного последовательно с первым счетчиком импульсов, первым входом блока сравнения кодов, буферным устройством и из генератора второй опорной частоты, соединенного последовательно с вторым счетчиком импульсов, устройством памяти и со вторым входом схемы сравнения кодов, входы синхронизации второго счетчика импульсов и устройства памяти соединены со входной шиной, а выход буферного устройства соединен с входом установки в ноль первого счетчика импульсов [2].

Недостатком этого устройства является то, что частота выходного сигнала формируется с ошибкой, определяемой дискретностью измерения периода входного сигнала во втором счетчике импульсов. Величина этой ошибки, приведенная

ко времени следования импульсов, может составлять π периодов частоты генератора первой опорной частоты за период частоты сигнала, подлежащего умножению.

Целью изобретения является повышение точности умножения частоты.

Поставленная цель достигается тем, что в цифровой умножитель частоты следования импульсов, содержащий генератор опорной частоты, первый выход которого соединен со входом первого счетчика импульсов, блок памяти, вход которого соединен с выходом второго счетчика импульсов, а выход — через блок сравнения кодов, второй вход которого подключен к выходу первого счетчика импульсов, со входом буферного устройства, введены делитель частоты, вход которого соединен со вторым выходом генератора опорной частоты, а выход — со входом второго счетчика импульсов, два элемента И, третий счетчик импульсов, вход которого соединен с выходом делителя частоты, счетный вход — с выходом первого элемента И и входом установки минус единицы первого счетчика импульсов, вход установки в нуль которого подключен к выходу второго элемента И, и дешифратор, вход которого соединен с выходом третьего счетчика импульсов, а прямой и инверсный выход — с первыми входами соответственно первого и второго элементов И, вторые входы которых подключены к выходу буферного устройства.

На чертеже схематически изображен цифровой умножитель частоты следования импульсов.

Он состоит из генератора 1 опорной частоты, первого счетчика 2 импульсов, блока 3 сравнения кодов, буферного устройства 4, второго счетчика 5 импульсов, блока 6 памяти, делителя 7 частоты, третьего счетчика 8 импульсов, дешифратора 9, первого и второго элементов И 10, 11.

Генератор 1 опорной частоты соединен последовательно с первым счетчиком 2 импульсов, первым входом блока 3 сравнения кодов, буферным устройством 4. Второй счетчик 5 импульсов соединен последовательно с блоком 6 памяти, со вторым входом блока 3 сравнения кодов. Входы синхронизации второго счетчика 5 импульсов, блока 6 памяти, делителя 7 частоты соединены со входной шиной. Генератор 1 опорной частоты соединен также с делителем 7 частоты, первый выход

которого соединен с вторым счетчиком 5 импульсов, а второй — с третьим счетчиком 8 импульсов. Выход третьего счетчика 8 импульсов соединен с дешифратором 9, прямой и инверсный выходы которого соединены соответственно с первыми входами элементов И 10, 11. Выход буферного устройства 4 соединен со вторыми входами элементов И 10, 11, выходы которых соединены с входом установки в ноль и входом установки минус единицы первого счетчика 2 импульсов соответственно. Вход установки минус единицы первого счетчика 2 импульсов соединен со счетным входом третьего счетчика 8 импульсов.

Работа предлагаемого устройства осуществляется следующим образом.

На вход устройства поступают сигналы в виде узких импульсов, при этом обнуляется второй счетчик 5 импульсов, делитель 7 частоты, а также происходит перенос кода, содержащегося до поступления этого импульса во второй счетчике 5, в блок 6 памяти, а кода, содержащегося в делителе 7 частоты — в третий счетчик импульсов 8. Для этого делитель 7 частоты должен быть выполнен на основе цифрового счетчика импульсов с переполнением. Код из блока 6 памяти поступает на один вход блока 3 сравнения кодов, на второй вход которого поступает код с первого счетчика 2 импульсов, заполняемого импульсами генератора 1 опорной частоты, которые поступают также на делитель 7 частоты. Сигнал, проходящий через делитель 7 частоты, от генератора опорной частоты 1 до второго счетчика 5 импульсов служит для образования в последнем кода, пропорционального периоду входной частоты, подлежащей умножению. Блок 3 сравнения кодов вырабатывает импульсный сигнал в момент равенства кодов на его входах. Этот сигнал поступает через буферное устройство 4 на входы элементов И 10, 11. При наличии не нулевого кода, пропорционального ошибке измерения периода вторым счетчиком 5 импульсов, в третьем счетчике 8 импульсов с дешифратора 9 поступает разрешающий потенциал на вход элемента И 11. При этом выходной сигнал буферного устройства 4 поступает на вход установки первого счетчика 2 импульсов, устанавливая последний в состояние минус единица, и на вход третьего счетчика 8 импульсов, работа которого организована на вычитание. Таким образом, происходит увеличение периода сигнала с

выхода буферного устройства 4 на один такт частоты генератора 1 опорной частоты и уменьшение кода в третьем счетчике 8 на единицу до тех пор, пока в третьем счетчике 8 импульсов не сформируется код равный нулю. При этом решающий потенциал образуется на другом выходе дешифратора 9 и сигнал с выхода буферного устройства 4 поступает на вход установки в ноль первого счетчика 2 импульсов через элемент И 10. По поступлении очередного импульса входной частоты, подлежащей умножению — процесс повторяется. Выходной сигнал буферного устройства 4 является также выходным сигналом устройства. Коэффициент умножения частоты определяется коэффициентом деления частоты делителем 7 частоты.

Предлагаемый умножитель частоты обеспечивает по сравнению с известными повышение точности преобразования частоты, обусловленное коррекцией периода выходного сигнала, причем продолжительность коррекции определяется величиной погрешности измерения периода частоты входного сигнала.

Ф о р м у л а и з о б р е т е н и я

Цифровой умножитель частоты следования импульсов, содержащий генератор опорной частоты, первый выход которого

соединен со входом первого счетчика импульсов, блок памяти, вход которого соединен с выходом второго счетчика импульсов, а выход — через блок сравнения кодов, второй вход которого подключен к выходу первого счетчика импульсов, со входом буферного устройства, отличающийся тем, что, с целью повышения точности умножения частоты, в него введены делитель частоты, вход которого соединен со вторым выходом генератора опорной частоты, а выход — со входом второго счетчика импульсов, два элемента И, третий счетчик импульсов, вход которого соединен с выходом делителя частоты, счетный вход — с выходом первого элемента И и входом установки минус единицы первого счетчика импульсов, вход установки в ноль которого подключен к выходу второго элемента И, и дешифратор, вход которого соединен с выходом третьего счетчика импульсов, а прямой и инверсный выходы — с первыми входами соответственно первого и второго элементов И, вторые входы которых подключены к выходу буферного устройства.

Источники информации,

- 30 принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 429501, кл. Н 03 В 19/00, 1972.
2. Патент США № 3798564, кл. 331-1А, 1974.

