



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I863343 B

(45) 公告日：中華民國 113 (2024) 年 11 月 21 日

(21) 申請案號：112121844

(22) 申請日：中華民國 112 (2023) 年 06 月 12 日

(51) Int. Cl. : H10B69/00 (2023.01)

H01L27/105 (2023.01)

H10B12/00 (2023.01)

G11C16/06 (2006.01)

(30) 優先權：2022/06/10 世界智慧財產權組織 PCT/JP2022/023426

(71) 申請人：新加坡商新加坡優尼山帝斯電子私人有限公司 (新加坡) UNISANTIS ELECTRONICS SINGAPORE PTE. LTD. (SG)

新加坡

(72) 發明人：各務正一 KAKUMU, MASAKAZU (JP) ; 作井康司 SAKUI, KOJI (JP) ; 原田望 HARADA, NOZOMU (JP)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

TW 201814902A

JP 7057632B1

US 9378962B2

US 2019/0267381A1

審查人員：朱啓信

申請專利範圍項數：7 項 圖式數：4 共 34 頁

(54) 名稱

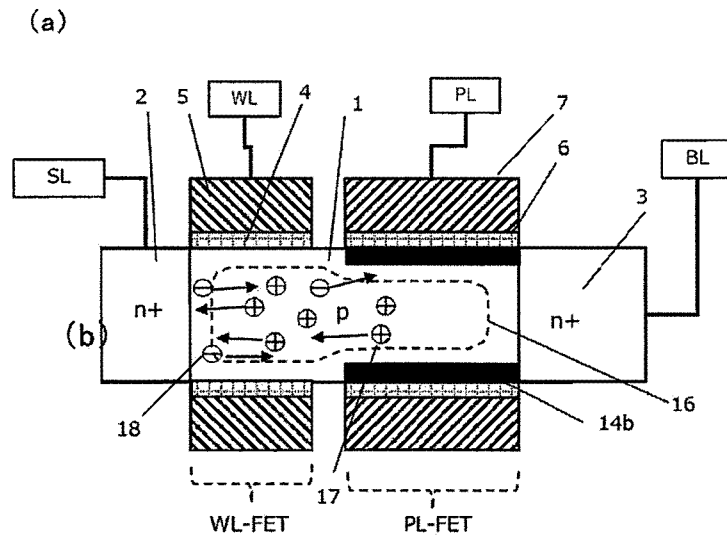
半導體記憶裝置

(57) 摘要

一種動態快閃記憶體，係具有半導體基體 p 層 1，具有朝一側延伸的 n+層 2，且在其相反側具有與 p 層 1 接觸的 n+層 3，更具有將 p 層 1 的一部分以閘極絕緣層 4 予以覆膜，更具有與該閘極絕緣層 4 接觸的第一閘極導體層 5，且以閘極絕緣層 6 將與閘極絕緣層 4 接觸之與 p 層 1 的一部分予以覆膜，且具有與閘極導體層 5 電性分離之第二閘極導體層 7，其中，n+層 2、n+層 3、閘極導體層 5、7 係分別連接於源極線、位元線、字元線、板線，於記憶體的抹除時施加於各端子的電壓恆常地為 0V 以上，例如對於板線施加 2V，對於位元線施加 0.6V。

This disclosure provides a dynamic flash memory, which has a semiconductor substrate p-layer 1 having an n+layer 2 extending towards one side and an n+layer 3 in contact with the p-layer 1 on the opposite side thereof, further has one portion of the p-layer 1 coated with a gate insulating layer 4 as a film, further has a first gate conductor layer 5 in contact with the gate insulating layer 4, and one portion of the p-layer 1 in contact with the gate insulating layer 4 coated with a gate insulating layer 6 as a film, and has a second gate conductor layer 7 electrically separated from a gate conductor layer 5, wherein the n+layer 2, the n+layer 3, the gate conductor layers 5 and 7 are connected to a source line, a bit line, a character line, and a board line, respectively. The voltage applied to each terminal of erasing the memory is constantly at 0V or more, for example, 2V is applied to the board line and 0.6 is applied to the bit line.

指定代表圖：



符號簡單說明：

1:p 層

2:第一雜質層、n+層
(連接於 SL)

3:第二雜質層、n+層
(連接於 BL)

4:第一閘極絕緣層

5:第一閘極導體層(連接於 WL)

6:第二閘極絕緣膜(連接於 PL)

7:第二閘極導體層

14b:反轉層

16:空乏層

17:剩餘電洞

18:所注入的電子

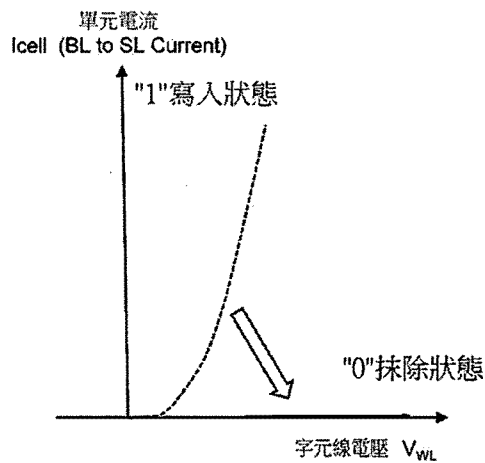
BL:位元線

PL:板線

SL:源極線

WL:字元線

(b)



【圖3】

公告本

【發明摘要】

【中文發明名稱】 半導體記憶裝置

【英文發明名稱】 SEMICONDUCTOR MEMORY DEVICE

【中文】

一種動態快閃記憶體，係具有半導體基體 p 層 1，具有朝一側延伸的 n+層 2，且在其相反側具有與 p 層 1 接觸的 n+層 3，更具有將 p 層 1 的一部分以閘極絕緣層 4 予以覆膜，更具有與該閘極絕緣層 4 接觸的第一閘極導體層 5，且以閘極絕緣層 6 將與閘極絕緣層 4 接觸之與 p 層 1 的一部分予以覆膜，且具有與閘極導體層 5 電性分離之第二閘極導體層 7，其中，n+層 2、n+層 3、閘極導體層 5、7 係分別連接於源極線、位元線、字元線、板線，於記憶體的抹除時施加於各端子的電壓恆常地為 0V 以上，例如對於板線施加 2V，對於位元線施加 0.6V。

【英文】

This disclosure provides a dynamic flash memory, which has a semiconductor substrate p-layer 1 having an n+layer 2 extending towards one side and an n+layer 3 in contact with the p-layer 1 on the opposite side thereof, further has one portion of the p-layer 1 coated with a gate insulating layer 4 as a film, further has a first gate conductor layer 5 in contact with the gate insulating layer 4, and one portion of the p-layer 1 in contact with the gate insulating layer 4 coated with a gate insulating

layer 6 as a film, and has a second gate conductor layer 7 electrically separated from a gate conductor layer 5, wherein the n+layer 2, the n+layer 3, the gate conductor layers 5 and 7 are connected to a source line, a bit line, a character line, and a board line, respectively. The voltage applied to each terminal of erasing the memory is constantly at 0V or more, for example, 2V is applied to the board line and 0.6 is applied to the bit line.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

1:p 層

2:第一雜質層、n+層(連接於 SL)

3:第二雜質層、n+層(連接於 BL)

4:第一閘極絕緣層

5:第一閘極導體層(連接於 WL)

6:第二閘極絕緣膜(連接於 PL)

7:第二閘極導體層

14b:反轉層

16:空乏層

17:剩餘電洞

18:所注入的電子

BL:位元線

PL:板線

SL:源極線

WL:字元線

【特徵化學式】 無。

【發明說明書】

【中文發明名稱】 半導體記憶裝置

【英文發明名稱】 SEMICONDUCTOR MEMORY DEVICE

【技術領域】

【0001】 本發明係關於一種半導體記憶裝置。

【先前技術】

【0002】 近年來，在 LSI(Large Scale Integration，大型積體電路)技術開發上，有記憶元件的高積體化、高性能化、低消耗電力化和高功能化的需求。

【0003】 記憶元件的高密度化和高性能化正在進展。有使用 SGT(Surrounding Gate Transistor(環繞閘極電晶體)，參照專利文獻 1、非專利文獻 1)作為選擇電晶體，而有如連接有電容器之 DRAM(Dynamic Random Access Memory(動態隨機存取記憶體)，例如參照非專利文獻 2)、連接有電阻變化元件的 PCM(Phase Change Memory(相變化記憶體)，例如參照非專利文獻 3)、RRAM(Resistive Random Access Memory(電阻式隨機存取記憶體)，例如參照非專利文獻 4)、藉由電流使磁自旋的方向變化而使電阻變化的 MRAM(Magneto-resistive Random Access Memory(磁阻式隨機存取記憶體)，例如參照非專利文獻 5)等。

【0004】 此外，有由不具有電容器之一個 MOS 電晶體所構成的 DRAM 記憶單元(參照非專利文獻 6 至非專利文獻 10)等。例如使藉由 N 通道 MOS

電晶體之源極、汲極間電流而在通道內藉由撞擊游離化現象所產生之電洞、電子群中之電洞群的一部分或全部保持於通道內而進行邏輯記憶資料“1”寫入。再者，從通道內去除電洞群而進行邏輯記憶資料“0”寫入。在此記憶單元中，其課題為改善因為浮體(floating body)通道電壓變動所致之動作裕度之降低，以及改善因去除積存於通道之屬於信號電荷之電洞群之一部分所致之資料保持特性之降低。

【0005】此外，在 SOI(Silicon on Insulator，絕緣層覆矽)層上，有使用二個 MOS 電晶體來形成一個記憶單元而成的 Twin-Transistor MOS 電晶體記憶元件(例如參照專利文獻 2、3、非專利文獻 11)。在此等元件中，係以區分二個 MOS 電晶體的浮體通道之成為源極或汲極之 N⁺層接觸位於基板側之絕緣層之方式形成。在此記憶單元中，由於屬於信號電荷之電洞群會積存於一個 MOS 電晶體的通道，故其課題與前述之由一個 MOS 電晶體所構成的記憶單元同樣地為改善動作裕度之降低，或改善因去除積存於通道之屬於信號電荷之電洞群之一部分所致之資料保持特性之降低。

【0006】此外，具有圖 4 所示之不具有電容器之由 MOS 電晶體所構成的記憶體(參照專利文獻 2、非專利文獻 12)。如圖 4(a)所示，在 SOI 基板的 SiO₂ 層 101 上具有浮體半導體基體 102。在浮體半導體基體 102 的兩端具有連接於源極線 SL 的 n⁺層 103 和連接於位元線 BL 的 n⁺層 104。再者，具有與 n⁺層 103 相連而且覆蓋浮體半導體基體 102 的第一閘極絕緣層 109a，以及與 n⁺層 104 相連而且覆蓋浮體半導體基體 102 的第二閘極絕緣層 109b。再者，具有覆蓋第一閘極絕緣層 109a 而與板線 PL 相連的第一閘極導體層 105a，具有覆蓋第二閘極絕緣層 109b 而與字元線 WL 相連

的第二閘極導體層 105b。再者，在第一閘極導體層 105a 與第二閘極導體層 105b 之間具有絕緣層 110。藉此，形成 DFM 的記憶單元 111。另外，亦可源極線 SL 連接於 n+層 104，且位元線 BL 連接於 n+層 103。

【0007】再者，如圖 4(a)所示，例如，對於 n+層 103 施加零電壓，對於 n+層 104 施加正電壓，使由被第一閘極導體層 105a 包圍之浮體半導體基體 102 所構成的第一 N 通道 MOS 電晶體區域在飽和區域動作，且使由被第二閘極導體層 105b 包圍之浮體半導體基體 102 所構成的第二 N 通道 MOS 電晶體區域在線形區域動作。結果，在第二 N 通道 MOS 電晶體區域中，不存在夾止點(pinch off)而於接觸第二閘極絕緣層 109 的表面整體形成反轉層 107b。在該字元線 WL 所連接之第二閘極導體層 105b 之下側所形成的反轉層 107b，係作為具有第一 N 通道 MOS 電晶體區域之實質的汲極而產生作用。結果，在第一 N 通道 MOS 電晶體區域與第二 N 通道 MOS 電晶體區域之間之通道區域的交界區域，電場成為最大，在此區域產生撞擊游離化現象。再者，如圖 4(b)所示，將因為撞擊游離化現象所產生之電子、電洞群內之電子群從浮體半導體基體 102 予以去除，再藉由將電洞群 106 之一部分或全部保持於浮體半導體基體 102，以進行記憶體寫入操作。

【0008】再者，如圖 4(c)所示，例如對於板線 PL 施加正電壓，對於字元線 WL 和位元線 BL 施加零電壓，對於源極線 SL 施加負電壓，而將電洞群 106 從浮體半導體基體 102 予以去除以進行抹除操作。此狀態成為邏輯記憶資料“0”。再者，在資料讀取中，藉由將對於與板線 PL 相鄰之第一閘極導體層 105a 施加的電壓，設定為比邏輯記憶資料“1”時的臨限值電壓更高，而且設定為比邏輯記憶資料“0”時的臨限值電壓更低，可如圖 4(d)所示

即使在邏輯記憶資料“0”讀取中將字元線 WL 的電壓設為較高亦獲得電流不流動的特性。藉由此特性，相較於記憶單元可謀求更大幅地擴大動作裕度。在此記憶單元中，第一、第二 N 通道 MOS 電晶體區域係以與板線 PL 相連之第一閘極導體層 105a 及與字元線 WL 相連之第二閘極導體層 105b 作為閘極，藉由該第一、第二 N 通道 MOS 電晶體區域的通道在浮體半導體基體 102 相連，而大幅地抑制選擇脈衝電壓被施加於字元線 WL 時之浮體半導體基體 102 的電壓變動。藉此，大幅地改善在前述的記憶單元中成為問題之動作裕度的降低，或是因積存於通道之屬於信號電荷之電洞群之一部分被去除所致之資料保持特性之降低的問題。今後，對於本記憶元件有更進一步的特性改善之需求。

[先前技術文獻]

[專利文獻]

【0009】

專利文獻 1：日本特開平 2-188966 號公報

專利文獻 2：US2008/0137394A1

專利文獻 3：US2003/0111681A1

專利文獻 4：日本特許第 7057032 號公報

[非專利文獻]

【0010】

非專利文獻 1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio

Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非專利文獻 2 : H.Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor(VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非專利文獻 3 : H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)

非專利文獻 4 : T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama : “Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非專利文獻 5 : W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1-9 (2015)

非專利文獻 6 : M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T CT DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非專利文獻 7 : J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非專利文獻 8 : Takashi Ohasawa and Takeshi Hamamoto, "Floating Body Cell -a Novel Body Capacitorless DRAM Cell", Pan Stanford Publishing (2011).

非專利文獻 9 : T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: "Floating Body RAM Technology and its Scalability to 32nm Node and Beyond," IEEE IEDM (2006).

非專利文獻 10 : E. Yoshida: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE IEDM (2006).

非專利文獻 11 : F. Morishita, H. Noda, I. Hayashi, T. Gyohten, M. Okamoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto: "Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI," IEICE Trans. Electron., Vol. E90-c., No.4 pp.765-771 (2007)

非專利文獻 12 : K.Sakui, N. Harada,” Dynamic Flash Memory with Dual Gate Surrounding Gate Transistor (SGT),”Proc. IEEE IMW, pp.72-75(2021)

非專利文獻 13 : J.Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, May 2006.

非專利文獻 14 : N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, June 2017.

非專利文獻 15 : H. Jiang, N. Xu, B. Chen, L. Zeng¹, Y. He, G. Du, X. Liu and X. Zhang: “Experimental investigation of self heating effect (SHE) in multiple-fin SOI FinFETs,” Semicond. Sci. Technol. 29 115021 pp.7 (2014).

【發明內容】

[發明所欲解決的課題]

【0011】本發明之目的為提供一種屬於記憶裝置之動態快閃記憶體之穩定之記憶資訊的抹除方法。

[用以解決問題的手段]

【0012】為了達成上述目的，本發明之使用半導體元件的記憶裝置係具有：

半導體基體，係在基板上朝水平方向或垂直方向延伸；

第一雜質層和第二雜質層，係與前述半導體基體的兩端相連；

第一閘極絕緣層，係覆蓋前述半導體基體；

第一閘極導體層，係覆蓋前述第一閘極絕緣層；

第二閘極絕緣層，係與前述第一閘極絕緣層相連，且覆蓋前述半導體基體；及

第二閘極導體層，係以不會接觸前述第一閘極導體層之方式覆蓋前述第二閘極絕緣層；

在該記憶裝置中，以可在前述第一雜質層和前述第二雜質層產生電位差之方式施加電壓，而且對於前述第一閘極導體層和前述第二閘極導體層的任一方施加包含 0V 之從 0V 至臨限值電壓之間的電壓，對於另一方的閘極導體層則施加相同極性而且絕對值為臨限值之絕對值以上的電壓，使殘存於前述半導體基體之屬於多數載子的電洞或電子的任一者減少，以進行記憶體抹除操作(第一發明)。

【0013】 在上述的第一發明中，於前述第一雜質層中係連接有源極線，於前述第二雜質層中係連接有位元線，前述第一閘極導體層和前述第二閘極導體層的一方係連接於字元線，另一方係連接於板線，對於前述源極線、前述位元線、前述板線、前述字元線的各者施加電壓，以進行記憶體寫入操作、記憶體讀取操作和前述記憶體抹除操作，以進行動態快閃記憶體動作(第二發明)。

【0014】 在上述的第二發明中，於前述動態快閃記憶體的前述抹除操作時，當前述半導體基體的多數載子為電洞的情形下，對於前述第一雜質

層、前述第二雜質層、前述第一閘極導體層和前述第二閘極導體層施加的電壓為 0V 或正的電位(第三發明)。

【0015】 在上述的第二發明中，於前述動態快閃記憶體的前述抹除時操作中，當前述半導體基體的多數載子為電子的情形下，對於前述第一雜質層、前述第二雜質層、前述第一閘極導體層和前述第二閘極導體層施加的電壓為 0V 或負的電位(第四發明)。

【0016】 在上述的第二發明中，於前述動態快閃記憶體的前述記憶體抹除時操作中，前述源極線、或前述位元線的任一方為 0V(第五發明)。

【0017】 在上述的第二發明中，於前述動態快閃記憶體的前述記憶體寫入操作中，對於前述字元線，施加具有由前述第一閘極絕緣層和前述第一閘極導體層所構成之第一 MOS 電晶體區域之臨限值之絕對值以上的絕對值而且與臨限值相同極性的電壓，對於前述板線，施加具有由前述第二閘極絕緣層和前述第二閘極導體層所構成之第二 MOS 電晶體區域之臨限值之絕對值以上的絕對值而且與臨限值相同極性的電壓，對於前述位元線，施加於寫入時使前述半導體基體之最大電場會引起撞擊游離化的電壓，前述源極線係施加 0V，且藉由流動於前述第一雜質層與前述第二雜質層之間的電流產生撞擊游離化現象，而使得使電子群和電洞群產生於前述半導體基體和前述第一雜質層，使所產生之前述電子群和前述電洞群中之屬於在前述半導體基體中之多數載子之前述電子群或前述電洞群之任一者的一部分或全部殘存於前述半導體基體(第六發明)。

【0018】 在上述的第二發明中，在前述動態快閃記憶體之前述記憶體抹除操作時流動於前述位元線之電流的絕對值係比在前述動態快閃記憶體

之前述記憶體寫入操作時流動於前述位元線之電流的絕對值低(第七發明)。

【0019】 在上述的第二發明中，在前述動態快閃記憶體的前述記憶體寫入操作和前述記憶體抹除操作時，施加於前述板線、前述字元線、前述源極線和前述位元線的電壓為 0V 或均為相同的極性(第八發明)。

【圖式簡單說明】

【0020】

圖 1A 係顯示第一實施型態之使用半導體元件之記憶裝置之剖面構造的圖。

圖 1B 係顯示第一實施型態之使用半導體元件之記憶裝置之剖面構造的圖。

圖 2 係用以說明第一實施型態之使用半導體元件之記憶裝置之寫入操作時之電洞載子之蓄積、單元電流的圖。

圖 3 係用以說明第一實施型態之使用半導體元件之記憶裝置之抹除操作的圖。

圖 4 係顯示習知例之動態快閃記憶體裝置之剖面構造、操作的圖。

【實施方式】

【0021】 以下參照圖式來說明本發明一實施型態之使用半導體元件之記憶裝置的構造、驅動方式、蓄積載子的動作。

【0022】 (第一實施型態)

茲使用圖 1 至圖 3(以下亦將圖 1A 和圖 1B 合稱為圖 1)來說明本發明之第一實施型態之使用半導體元件之記憶單元的構造和動作機制。茲使用圖 1 來說明本實施型態之使用半導體元件之記憶體的單元構造。茲使用圖 2 來說明使用半導體元件之記憶單元之寫入機制和載子的動作，茲使用圖 3 來說明資料抹除機制。

【0023】圖 1A、1B 係顯示本發明之第一實施型態之使用半導體元件之記憶體的構造。圖 1A 之(a)係顯示俯視圖，(b)係顯示沿著(a)之 X-X'線的垂直剖面圖。圖 1A 之(c)係顯示沿著 Y1-Y1'線的剖面圖，(d)係顯示沿著 Y1-Y1'線之剖面圖之(c)的追加例。圖 1B 之(e)係顯示沿著圖 1A 之(a)之 Y2-Y2'線的剖面圖，圖 1B 之(f)係顯示沿著 Y2-Y2'線之剖面圖之(e)的追加例。亦可取代圖 1A 之(c)的構造而設為如(d)的構造，亦可取代圖 1B 之(e)的構造而設為如(f)的構造。

【0024】在基板 20(申請專利範圍之「基板」的一例)上，設有具有包含受體雜質之 p 型或 i 型(本徵型)之導電型之屬於矽半導體基體之 p 層 1(申請專利範圍之「半導體基體」的一例)。在 p 層 1 之水平方向的一側具有 n+層 2(以下將含有高濃度供體雜質的半導體區域稱為「n+層」)(申請專利範圍之「第一雜質層」的一例)。在 n+層 2 的相反側具有 n+層 3(申請專利範圍之「第二雜質層」的一例)。覆蓋 p 層 1 而且接觸 n+層 2 或在其附近具有閘極絕緣層 4(申請專利範圍之「第一閘極絕緣層」的一例)。第一閘極導體層 5(申請專利範圍之「第一閘極導體層」的一例)包圍閘極絕緣層 4 之一部分或整體且接近 n+層 2。此外，具有為 p 層 1 之表面的一部分，而且以接觸 n+層 3 之方式或在其附近所形成之閘極絕緣層 6(申請專利範圍之「第

二閘極絕緣層」的一例)。此外，第二閘極導體層 7(申請專利範圍之「第二閘極導體層」的一例)係在不接觸第一閘極導體層 5 下，包圍閘極絕緣層 6 且接近 n+層 3。藉此，藉由 p 層 1、n+層 2、n+層 3、閘極絕緣層 4、第一閘極導體層 5、閘極絕緣層 6、第二閘極導體層 7 而形成一個動態快閃記憶體的單元。

【0025】再者，n+層 2 係連接於屬於配線導電體的源極線 SL(申請專利範圍之「源極線」的一例)，閘極導體層 5 係連接於屬於配線導電體的字元線 WL(申請專利範圍之「字元線」的一例)，閘極導體層 7 係連接於屬於配線導電體的板線 PL(申請專利範圍之「板線」的一例)。此外，n+層 3 係連接於屬於配線導電體的位元線 BL(申請專利範圍之「位元線」的一例)。透過分別操作源極線、位元線、板線、字元線的電位，進行動態快閃記憶體的操作。在本實施型態的記憶裝置中，上述的複數個動態快閃記憶體的單元配置複數個成二維狀或三維狀。

【0026】另外，如圖 1A 之(d)所示，即使為閘極導體層 7 或閘極絕緣層 6 被分割於 p 層 1 的上下且僅包圍著 p 層 1 之一部分的構造，亦可構成動態快閃記憶體。此外，如圖 1B 之(f)所示，關於第一閘極導體層 5 或閘極絕緣層 4，即使為分割於 p 層 1 的上下且僅包圍著 p 層 1 之一部分的構造，亦可構成動態快閃記憶體。

【0027】此外，於閘極絕緣層 4、6，亦可使用例如 SiO₂ 膜、SiON 膜、HfSiON 膜或 SiO₂/SiN₂ 的層積膜等，在通常的 MOS 製程中所使用之任何的絕緣膜。

【0028】此外，在圖 1A 中，p 層 1 雖設為 p 型的半導體，但在雜質的濃度中亦可存在設定檔(profile)。此外，在 n+層 2、n+層 3 之雜質的濃度中亦可存在設定檔。此外，亦可在 p 層 1、與 n+層 2、3 之間設置 LDD(Lightly Doped Drain，輕摻雜汲極)。

【0029】當以電洞為多數載子的 p+層(以下將包含高濃度受體雜質的半導體區域稱為「p+層」)形成 n+層 2 和 n+層 3 時，若將 p 層 1 設為 n 型半導體則將寫入的載子設為電子，而藉此進行動態快閃記憶體的操作。

【0030】此外，若第一閘極導體層 5 為隔著閘極絕緣層 4，或第二閘極導體層 7 為隔著閘極絕緣層 6 而使記憶單元之一部分的電位變化者，則可為 W、Pd、Ru、Al、TiN、TaN、WN 之類的金屬、金屬的氮化物或其合金(包含矽化物)，例如 TiN/W/TaN 之類的層積構造，亦可由被摻雜為高濃度的半導體來形成。

【0031】此外，雖已說明了在圖 1A 中記憶單元相對於(a)的紙面垂直的剖面構造為矩形的型態，但亦可為梯形或多角形，而且記憶單元本體亦可為圓柱的形狀。

【0032】此外，在圖 1A 之(d)中，雖於 p 層 1 之上下的兩側，第二閘極導體層 7 分別存在於二處，但即使為任一方亦可進行動態快閃記憶體的操作。此點在第一閘極導體層 5 中亦復相同。

【0033】此外，在圖 1A、B 中，雖顯示了在記憶單元中，第一閘極導體層 5、第二閘極導體層 7 分別成為一體，但在水平方向或垂直方向上，亦可為由分割的導體層所構成。分割第一閘極導體層 5 且隔著第二閘極導體層 7，使一方鄰接於 n+層 2，另一方鄰接於連接於位元線 BL 的 n+層 3，

亦可進行上述動態快閃記憶體的操作。第一閘極導體層 5 的上述態樣，針對第二閘極導體層 7 亦可同樣地實施。此外，亦可將第一閘極導體層 5 和第二閘極導體層 7 以不同的導體材料層來形成。此外，亦可將閘極絕緣層 4 和閘極絕緣層 6 以不同的絕緣材料層來形成。

【0034】茲使用圖 2 來說明本發明之第一實施型態之動態快閃記憶體之寫入操作時之載子動作、蓄積、單元電流。另外，已顯示 WL-FET(與字元線 WL 相連之電場效應 MOS 電晶體區域)作為將具有第一閘極導體層 5 之部分設為閘極的第一 MOS 電晶體區域，並且，顯示 PL-FET(與板線 PL 相連之電場效應 MOS 電晶體區域)作為具有第二閘極導體層 7 的第二 MOS 電晶體區域。此外，將 WL-FET 的臨限值標示為 V_{th-WL} ，將 PL-FET 的臨限值標示為 V_{th-PL} 。

【0035】如圖 2(a)所示，首先說明 n+層 2 和 n+層 3 的多數載子為電子，例如，在與字元線 WL 相連的第一閘極導體層 5 和與板線 PL 相連的第二閘極導體層 7 使用 n+poly(以下將含有高濃度供體雜質的 poly Si 稱為「n+poly」，且使用 p 型半導體作為 p 層 1 的情形。當在動態快閃記憶體中要進行寫入時，必須在 WL-FET 或 PL-FET 的部分產生充分的撞擊游離化。為了滿足上述情況，對於上述之位元線 BL、源極線 SL、字元線 WL、板線 PL 施加的電壓條件，係施加於位元線的電壓，例如將比較高的 V_{th-PL} 之電壓高出 10% 以上的電壓供予板線，且在 PL-FET 的第二閘極絕緣層 6 和 p 層 1 之界面的一部分或整面形成反轉層，而將位元線的電位傳遞至 PL-FET 的通導整體，以及例如將比 $WL-V_{th}$ 更高的電壓供予字元線，而使

電流從位元線流動至源極線。此外，對於供予位元線的電壓，係必須施加用以使撞擊游離化產生的最大電場會成為例如 10^5V/cm 以上的電壓。

【0036】依據上述的內容，將記憶體之寫入時之施加電壓的一例記述如下。在此，當 $V_{th-WL}=V_{th-PL}=0.8\text{V}$ 時，對於連接於 n+層 2 的源極線 SL 例如輸入 0V ，對於連接於 n+層 3 的位元線 BL 例如輸入 1.0V ，對於連接於閘極導體層 7 的板線 PL 例如輸入 1.5V ，對於連接於字元線 WL 的閘極導體層 5 例如輸入 1.2V 。

【0037】在此電壓施加狀態下，於閘極導體層 7 的正下方係整面地形形成有反轉層 14b。再者，在閘極絕緣層 4 的正下方係於一部分形成有反轉層 14a。反轉層 14a 消滅的夾止點 15 係存在於閘極絕緣層 4 的正下方，在此電場成為最大。在此例中，最大電場成為 $4\times 10^5\text{V/cm}$ 左右。再者，電子從 n+層 2 朝向 n+層 3 的方向流動。結果，在夾止點 15 附近區域產生撞擊游離化現象。藉由此撞擊游離化現象，從源極線 SL 所連接之 n+層 2 朝向位元線 BL 所連接之 n+層 3 加速的電子與 Si 晶格撞擊，且因為該運動能量而產生電子、電洞對。所產生之電子的一部分雖流動於閘極導體層 5，但大半部分係流動於與位元線 BL 連接的 n+層 3。

【0038】圖 2(b)係顯示於剛寫入之後所有偏壓成為 0V 時之位於 p 層 1 的電洞群 17。所產生的電洞群 17 係 p 層 1 的多數載子，暫時地蓄積於被空乏層 16 所包圍的 p 層 1，且在非平衡狀態下係實質地將屬於 WL-FET 或 PL-FET 之基板的 p 層 1 充電為正偏壓。結果，具有閘極導體層 5 之 WL-FET 的臨限值電壓和具有閘極導體層 7 之 PL-FET 的臨限值電壓，係因為由於暫時蓄積於 p 層 1 之電洞所致之正的基板偏壓效應而從初始狀態變

低。當對於 PL 施加比該已變低之臨限值電壓更高的電壓時，PL-FET 即導通，且 WL-FET 作為 MOS 電晶體而動作。藉此，如圖 2(c)所示，具有字元線 WL 所連接之閘極導體層 5 的 WL-FET，其具有 WL 之電壓依存性的電流即從 n+層 3 流動至 n+層 2。將此寫入狀態分配給邏輯記憶資料“1”。

【0039】除了上述之例外，例如上述之對於位元線 BL、源極線 SL、字元線 WL、板線 PL 施加的電壓條件，亦可為 1.0V(BL)/0V(SL)/2V(PL)/2.0V(WL)，或 1.5V(BL)/0V(SL)/3V(PL)/1V(WL)、1.0V(BL)/0V(SL)/1.2V(PL)/2.0V(WL)等的組合。惟，當對於位元線 BL 施加 1.0V、對於源極線 SL 施加 0V、對於字元線 WL 施加 2V、對於板線 PL 施加 1.2V 時，夾止點 15 的位置雖會朝閘極導體層 7 的方向偏移，但會引起相同的現象。

【0040】接著，使用圖 3 來說明第一實施型態之動態快閃記憶體的抹除操作機制。當在動態快閃記憶體要抹除資訊的情形下，所蓄積之電洞與電子短時間地再結合，而且此再結合的電子必須從記憶體所連接的電極補充。為了滿足上述情況，上述之對於位元線 BL、源極線 SL、字元線 WL、板線 PL 施加的電壓條件，必須將比 V_{th-PL} 之電壓更高的電壓供予板線而於 PL-FET 之閘極絕緣層 6 與 p 層 1 的界面形成反轉層 14b，使蓄積於 p 層 1 的電洞與電子的再結合面積增加，以及將比 $WL-V_{th}$ 更低的電壓或 0V 供予字元線而在 WL-FET 的下方形成空乏層，以於板線之正下方的整面形成反轉層。此外，供予位元線的電壓，只要為施加可使從源極注入的電子藉由漂移而移動至位元線之例如賦予 $10^4V/cm$ 以上之最大電場的電壓即可。

【0041】茲使用圖 3 來說明圖 1 所示之第一實施型態之動態快閃記憶體之抹除操作的一例。從圖 2(b)所示的狀態，對於位元線 BL 的電壓施加 0.6V，對於源極線 SL 施加 0V，對於板線 PL 施加 2V，對於字元線 WL 施加 0V 的電壓。結果，由於蓄積於 p 層 1 之電洞 17 的濃度充分高於 n+層 2 的電洞濃度，故電洞會因為該濃度梯度而藉由擴散而流入至 n+層 2。反之，由於 n+層 2 的電子濃度比 p 層 1 的電子濃度高，故電子 18 會因為濃度梯度而藉由擴散而流入至 p 層 1。流入於 p 層 1 的電子係在 p 層 1 之中與電洞再結合而消滅。然而，所注入的電子 18 並未全部消滅，未消滅的電子 18 係藉由位元線 BL 與源極線 SL 之電位梯度所致的漂移而通過空乏層 16，且流入至 n+層 3。電子係從源極線 SL 逐漸地被供給，故過剩的電洞在極短時間內與電子再結合，且返回初始的狀態。在此所消耗的電力係源於自源極線 SL 流入的電子者，遠比寫入時的消耗電力小。藉此，如圖 3(b)所示，該具有字元線 WL 所連接之閘極導體層 5 的 WL-FET 或具有閘極導體層 7 的 PL-FET 係返回原來的臨限值。如圖 3(b)所示，具有字元線 WL 所連接之閘極導體層 5 的 WL-FET，即使增高 WL 的電壓，電流亦不流動。此記憶元件的抹除狀態係成為邏輯記憶資料“0”。

【0042】在上述中，遠比寫入時之消耗電力更小的理由在於，相較於寫入時，流動於位元線 BL 與源極線 SL 間的電流更低。此外，亦由於施加於位元線 BL 的電壓亦比寫入時低。在圖 1 至 3 之例中，雖已說明了具備 n+層 2、3 之寫入的多數載子為電洞的情形，但當將 n+層換成 p+層，且寫入的多數載子為電子的情形下，抹除時的消耗電力亦同樣地會因為相同的理由比寫入時更小。惟，電流會因為流動的方向會成為正或負，故高、低

的表現會因為情形不同而變得不正確。因此，正確的表現方式為「記憶體抹除操作時流動於位元線 BL 之電流的絕對值，比記憶體寫入操作時流動於位元線之電流的絕對值低」。

【0043】另外，若施加於位元線的電壓，其位元線與源極線之間的最大電場為 10^4V/cm 以上，則足以使載子藉由漂移移動。因此，即使比上述所示之 0.6V 更高或更低，只要施加足以使電子的漂移在空乏層 16 內產生的電壓即可。

【0044】此外，施加字元線之 $V_{th}\text{-WL}$ 之 1.5 倍以上的電壓，而使反轉層形成，而且對於板線電壓則施加電壓 0V 或比 $V_{th}\text{-PL}$ 更低的電壓而使反轉層不形成，亦同樣地可抹除。

【0045】在上述中，雖已說明了具備 $n+$ 層 2、3 之寫入之多數載子為電洞的情形。相對於此，當將 $n+$ 層換成 $p+$ 層，且寫入的多數載子為電子的情形下，應記述為「對於板線施加 0V 電壓或比 $V_{th}\text{-PL}$ 更高的電壓」。如此，依據 MOS 電晶體的種類，臨限值較高、較低的表現會因為情形不同而變得不正確。因此，將臨限值藉由「臨限值的絕對值與正、負的極性」來表現，才是更正確的表現。若使用此表現，茲舉一例，將會成為「施加具有 MOS 電晶體區域之臨限值之絕對值以上的絕對值而且與臨限值相同極性的電壓」。

【0046】此外，在本實施型態的說明中，與 $n+$ 層 2 鄰接的第一閘極導體層 5 係連接於字元線 WL，再者與 $n+$ 層 3 鄰接的第二閘極導體層 7 係連接於板線 PL。相對於此，即使使連接於板線 PL 的第二閘極導體層 7 鄰接

於 n+層 2，再使連接於字元線 WL 的第一閘極導體層 5 鄰接於 n+層 3，亦可進行本發明的記憶體抹除操作。

【0047】此外，作為所列舉以外之資料的抹除方法，上述之施加於位元線 BL、源極線 SL、字元線 WL、板線 PL 的電壓條件，亦可為 0.6V(BL)/0V(SL)/2V(PL)/0V(WL)、0V(BL)/0.6V(SL)/0V(PL)/2V(WL)、0.6V(BL)/0V(SL)/2V(PL)/0.2V(WL)、1.5V(BL)/0V(SL)/2V(PL)/0V(WL) 等的組合，上述之對於位元線 BL、源極線 SL、字元線 WL、板線 PL 施加的電壓條件，係用以進行記憶體抹除操作的一例，亦可為可進行記憶體抹除操作的其他操作條件。

【0048】此外，在 PL-FET 或 WL-FET 為 p 型通道形態時 p 層 1 係成為 n 型半導體，供體濃度成為多數載子，供予位元線、字元線、板線之電位的極性係均從例示的正電位變為負電位。

【0049】此外，如本實施型態的說明所示，本動態快閃記憶體單元只要是符合藉由撞擊游離化現象所產生之電洞群 17 被保持於 p 層 1 之條件的構造即可。因此，p 層 1 係與基板 20 分離的浮體構造即可。藉此，即使例如使用屬於 SGT 之一者的 GAA(Gate All Around(閘極全環繞))，例如參照非專利文獻 13)技術、Nanosheet(耐米片)技術(例如參照非專利文獻 11、12)而將 p 層 1 相對於基板 20 水平地形成，亦可進行前述之動態快閃記憶體動作。此外，亦可為使用 SOI(silicon on insulator，絕緣層覆矽)的元件構造(例如參照非專利文獻 7 至 10)。在此元件構造中，通道區域的底部與 SOI 基板的絕緣層接觸，而且包圍著其他通道區域，且被閘極絕緣層和元件分離絕緣層所包圍。在此構造中，通道區域亦成為浮體構造。如此，在

本實施型態所提供的動態快閃記憶體元件中，係滿足通道區域為浮體構造的條件即可。此外，即使為將 Fin 電晶體(例如參照非專利文獻 13)形成於 SOI 基板的構造，若通道區域為浮體構造，則亦可進行本動態快閃記憶體動作。

【0050】本實施型態係具有下列特徵。

(特徵一)

在本實施型態的記憶體抹除操作中，係可藉由小的消耗電力而進行記憶體抹除操作。如圖 3 所示，本發明的特徵係在於，於記憶體抹除操作期間中，與 n+層 3 相連而在 PL-FET 的 p 層 1 形成反轉層 14b。在記憶體保持時，蓄積於記憶單元內的電洞和電子再結合的面積係由 n+層 3 和 p 層 1 所接觸的部分決定，相對於此，在記憶體抹除時，形成於閘極絕緣層 6 之正下方的反轉層 14b 整面會電性接觸 n+層 3，電洞和電子之再結合的面積可較記憶體保持時更增大，而增加了電子-電洞再結合現象所產生的機會。再者，此時 WL-FET 非為導通狀態，故電流不會從位元線 BL 流動至源極線 SL。因此，在 p 層 1 內不會發生阻礙抹除操作的撞擊游離化。如此不僅可進行確實的記憶體抹除操作，還有助於穩定的記憶體操作。再者，在本記憶體抹除操作中，由於只有補充與產生了電子-電洞再結合現象相應程度的電子從源極線 SL 注入，故只有極微小的電流流動，藉由小的消耗電力即可進行記憶體抹除操作。

(特徵二)

在本實施型態中，係可藉由小的消耗電力而進行記憶體抹除操作，藉此在整體的操作中，當 PL-FET、WL-FET 為 N 通道型 MOS 電晶體操作的

情形下，不需要負電位，以正電位為 0V 即可動作。藉此，可謀求周邊之偵測電路、驅動電路的簡單化、小面積化。

【0051】(特徵三)

在本發明之第一實施型態的動態快閃記憶體中，於記憶體抹除操作時，不需對於源極線 SL、字元線 WL、板線 PL、位元線 BL 施加逆極性的電壓。藉此，可防止因為對於 PL-FET 的閘極氧化膜施加大的電場所導致之氧化膜之可靠性的降低。

【0052】此外，本發明在不脫離本發明之廣義的精神與範圍下，亦可進行各種實施型態及變更。此外，上述的實施型態，係用以說明本發明之一實施例者，非限定本發明的範圍。上述實施例及變形例係可任意地組合。再者，即使視需要扣除上述實施型態之構成要件的一部分，亦均屬本發明之技術思想的範圍內。

[產業上的可利用性]

【0053】若使用本發明之半導體元件，可提供比習知更高密度而且更高速，而且動作裕度更高的半導體記憶裝置。

【符號說明】

【0054】

1:p 層

2:第一雜質層,n+層

3:第二雜質層,n+層

4:第一閘極絕緣層

- 5:第一閘極導體層
- 6:第二閘極絕緣層
- 7:第二閘極導體層
- 14a,14b:反轉層
- 15:夾止點
- 16:空乏層
- 17:電洞,電洞群
- 18:電子
- 20:基板
- 101:SiO₂ 層
- 102:半導體基體
- 103:n+層
- 104:n+層
- 105a:第一閘極導體層
- 105b:第二閘極導體層
- 106:電洞群
- 107a,107b:反轉層
- 108:夾止點
- 109a:第一閘極絕緣層
- 109b:第二閘極絕緣層
- 110:絕緣層
- 111:動態快閃記憶體單元

BL:位元線

PL:板線

SL:源極線

WL:字元線

【發明申請專利範圍】

【請求項1】 一種使用半導體元件的記憶裝置，係具有：

半導體基體，係在基板上朝水平方向或垂直方向延伸；

第一雜質層和第二雜質層，係與前述半導體基體的兩端相連；

第一閘極絕緣層，係覆蓋前述半導體基體；

第一閘極導體層，係覆蓋前述第一閘極絕緣層；

第二閘極絕緣層，係與前述第一閘極絕緣層相連，且覆蓋前述半導體基體；及

第二閘極導體層，係以不會接觸前述第一閘極導體層之方式覆蓋前述第二閘極絕緣層；

前述第一雜質層係與源極線連接，前述第二雜質層係與位元線連接，前述第一閘極導體層和前述第二閘極導體層之中的一方係與字元線連接，另一方係與板線連接；

在動態快閃記憶體的記憶體寫入操作和記憶體抹除操作時，施加於前述板線、前述字元線、前述源極線和前述位元線的電壓為 0V 或均為相同的極性；在該記憶裝置中，對於前述第一閘極導體層和前述第二閘極導體層的任一方施加包含 0V 之從 0V 至臨限值電壓之間的電壓，對於另一方的閘極導體層則施加相同極性而且絕對值為臨限值之絕對值以上的電壓，而且以可藉由相同極性在前述第一雜質層和前述第二雜質層產生電位差之方式施加電壓，使殘存於前述半導體基體之屬於多數載子的電洞或電子的任一者減少，以進行前述記憶體抹除操作。

【請求項2】如請求項 1 所述之使用半導體元件的記憶裝置，其中，對於前述源極線、前述位元線、前述板線、前述字元線的各者施加電壓，以進行前述記憶體寫入操作、記憶體讀取操作和前述記憶體抹除操作，以進行動態快閃記憶體動作。

【請求項3】如請求項 1 或 2 所述之使用半導體元件的記憶裝置，其中，於前述動態快閃記憶體的前述抹除操作時，當前述半導體基體的多數載子為電洞的情形下，對於前述第一雜質層、前述第二雜質層、前述第一閘極導體層和前述第二閘極導體層施加的電壓為 0V 或正的電位。

【請求項4】如請求項 1 或 2 所述之使用半導體元件的記憶裝置，其中，於前述動態快閃記憶體的前述記憶體抹除操作中，當前述半導體基體的多數載子為電子的情形下，對於前述第一雜質層、前述第二雜質層、前述第一閘極導體層和前述第二閘極導體層施加的電壓為 0V 或負的電位。

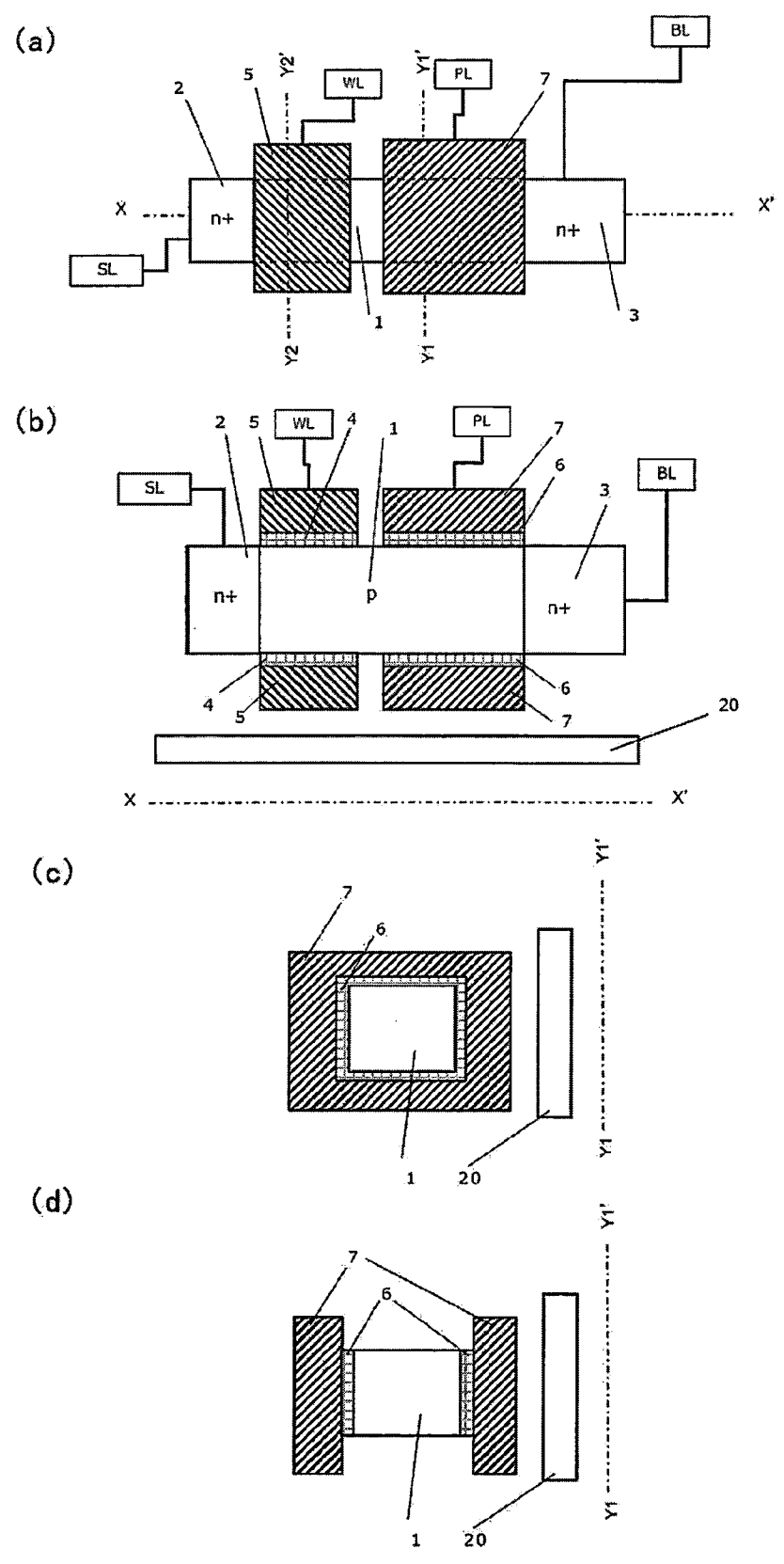
【請求項5】如請求項 1 或 2 所述之使用半導體元件的記憶裝置，其中，於前述動態快閃記憶體的前述記憶體抹除時操作中，前述源極線、或前述位元線的任一方為 0V。

【請求項6】如請求項 1 或 2 所述之使用半導體元件的記憶裝置，其中，於前述動態快閃記憶體的前述記憶體寫入操作中，對於前述字元線，施加具有由前述第一閘極絕緣層和前述第一閘極導體層所構成之第一 MOS 電晶體區域之臨限值之絕對值以上的絕對值而且與臨限值相同極性的電壓，對於前述板線，施加具有由前述第二閘極絕緣層和前述第二閘極導體層所構成之第二 MOS 電晶體區域之臨限值之絕對值以上的絕對值而且與臨限值相同極性的電壓，對於前述位元線，施加於寫入時使前述半導體基體之

最大電場會引起撞擊游離化的電壓，前述源極線係施加 0V，且藉由流動於前述第一雜質層與前述第二雜質層之間的電流產生撞擊游離化現象，而使得使電子群和電洞群產生於前述半導體基體和前述第一雜質層，使所產生之前述電子群和前述電洞群中之屬於在前述半導體基體中之多數載子之前述電子群或前述電洞群之任一者的一部分或全部殘存於前述半導體基體。

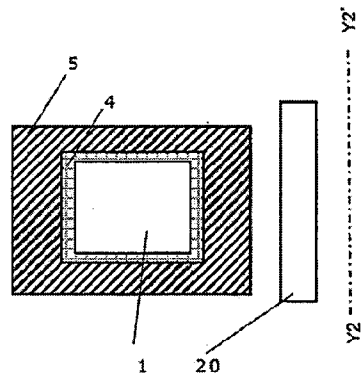
【請求項7】如請求項 1 或 2 所述之使用半導體元件的記憶裝置，其中，在前述動態快閃記憶體之前述記憶體抹除操作時流動於前述位元線之電流的絕對值係比在前述動態快閃記憶體之前述記憶體寫入操作時流動於前述位元線之電流的絕對值低。

【發明圖式】

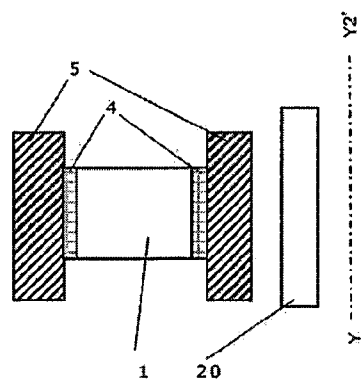


【圖1A】

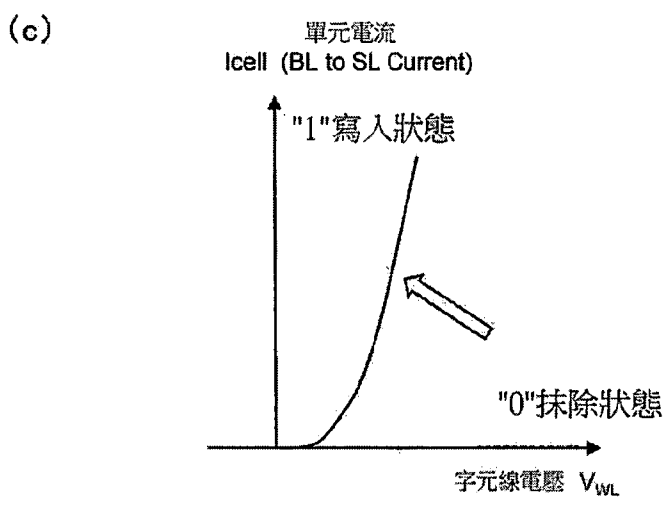
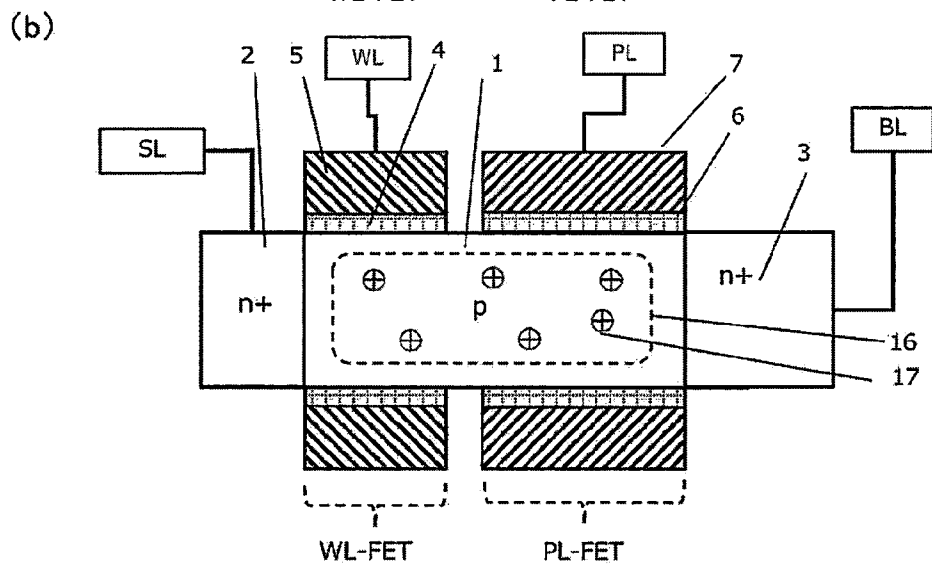
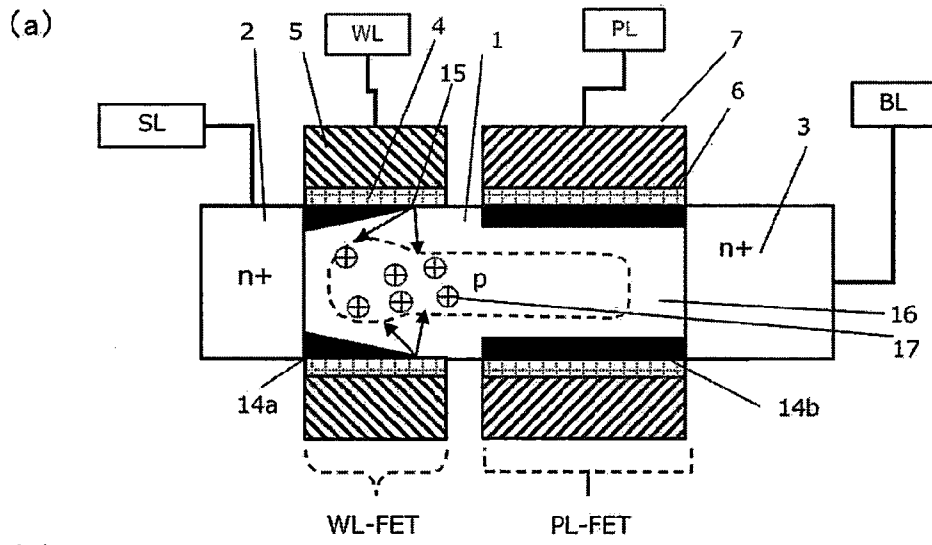
(e)



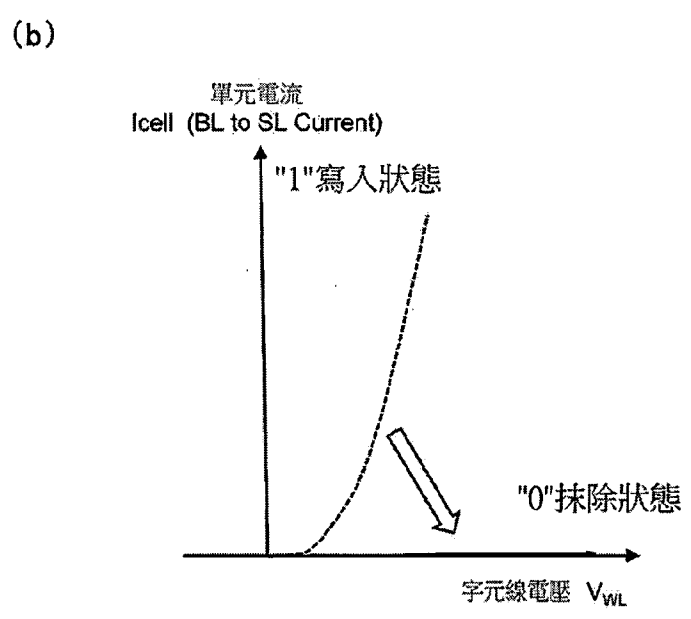
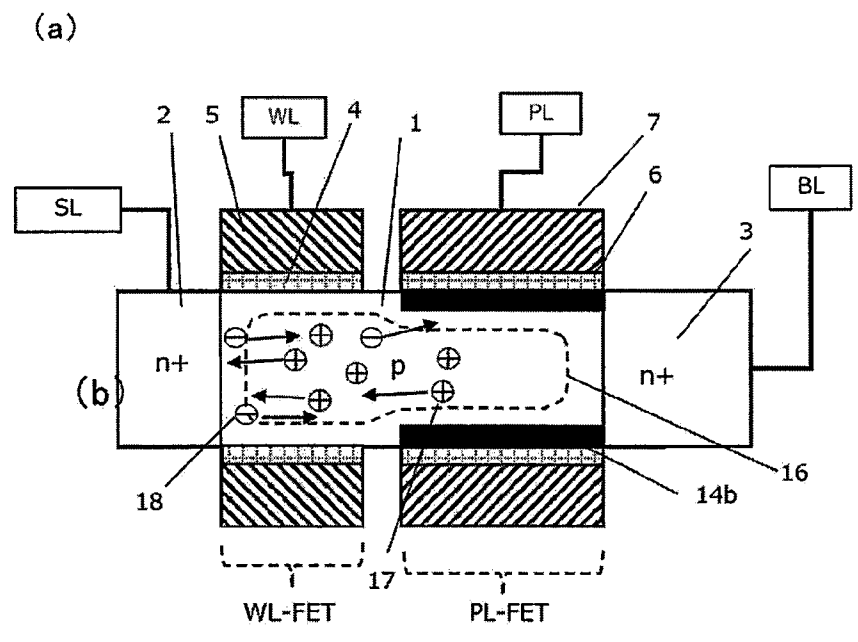
(f)



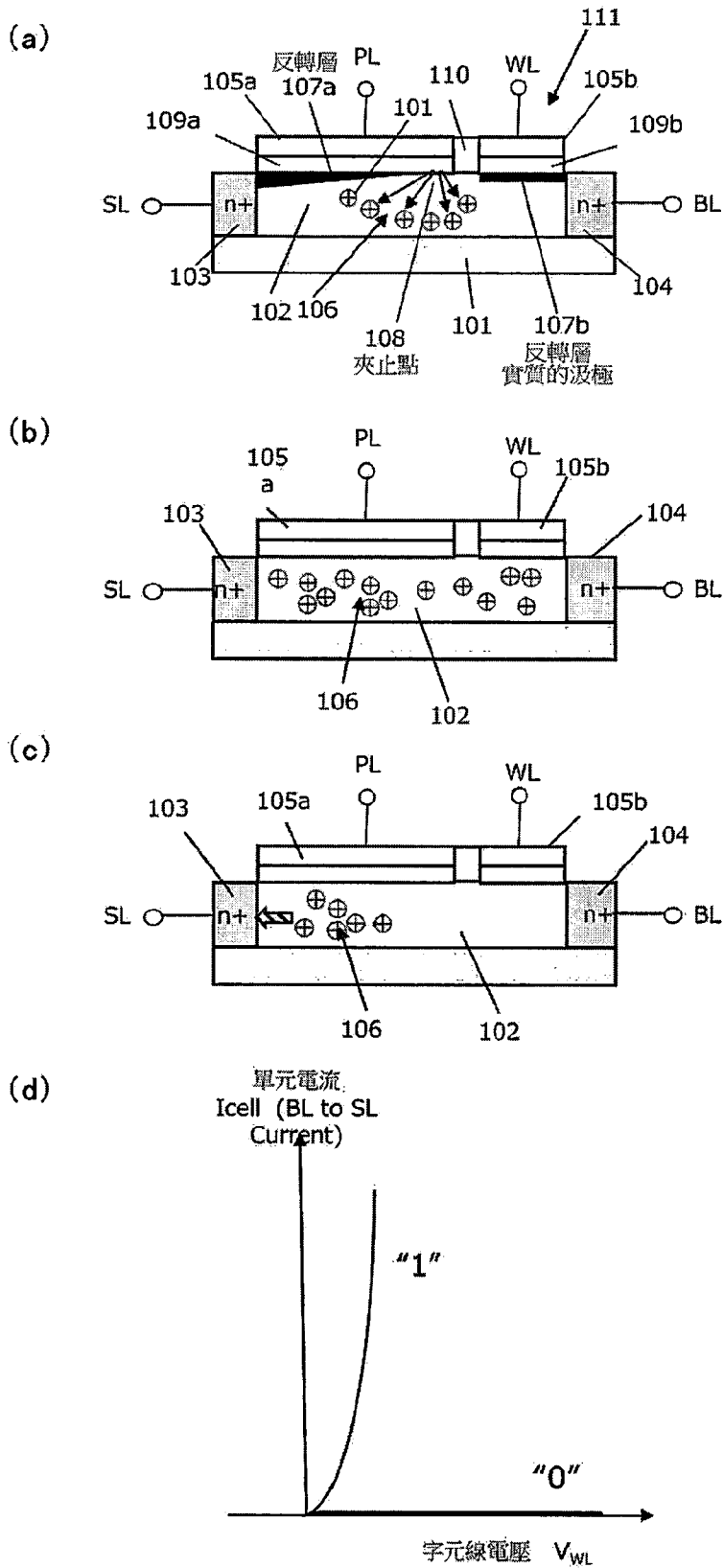
【圖1B】



【圖2】



【圖3】



【圖4】