

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>5</sup> H01L 29/68	(11) 공개번호 특1992-0015623	(43) 공개일자 1992년08월27일
(21) 출원번호	특1992-0000667	
(22) 출원일자	1992년01월18일	
(30) 우선권주장	9100094 1991년01월21일 네덜란드(NL)	
(71) 출원인	엔.브이.필립스 글로아이라펜파브리켄 프레데릭 얀 스미트 네덜란드왕국, 아인드호펜, 그로네보드세베그 1	
(72) 발명자	헤르마누스 레오나르두스 페크 네덜란드왕국, 아인드호펜, 그로네보드세베그 1	
(74) 대리인	이병호, 최달용	

심사청구 : 없음

(54) 반도체 소자 및 그 제조방법

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

반도체 소자 및 그 제조방법

[도면의 간단한 설명]

제1도는 래스터 전사형의 전하 결합 화상 센서에 대한 선도, 제2도는 본 발명에 따른 클록 라인 및 클록 전극간에 도해적으로 표시된 접속과 제1도에 그려진 소자의 부분 도시도, 제3도는 제2도에 따른 장치의 일부분에 대한 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

한 표면에서 적어도 2개의 전도 영역을 지닌 하나 또는 몇개의 회로 요소를 가진 반도체 본체를 포함하며, 그 표면이 절연 층 내의 접촉 윈도우에 의하여 전도 영역과 상호 접속하고 적어도 실제적으로 그 자체의 전체 두께 이상으로 절연 층 속으로 오목 들어간 전도체 트랙이 제공되는 절연층으로 코팅된 반도체 소자에 있어서, 에칭 스톱퍼 층은 전도 영역 사이의 삽입된 영역에 제공하고, 상기 층은 절연층의 아래 부분과 전도체 트랙을 분리시키고 절연 층에 관하여 선택적으로 에칭 할 수 있는 물질을 포함하며, 에칭 스톱퍼 층이 공통 층으로부터 제조된 일부분의 층 패턴을 형성하는 동안, 상기 패턴은 소자내의 어떤 다른 곳에 또한 부분을 에칭 스톱퍼 층 가까이 포함하는 것을 특징으로 하는 반도체소자.

청구항 2

제1항에 있어서, 상기 에칭 스톱퍼 층은 금속 또는 반도체 물질, 특히 다결정 실리콘을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 3

선행항 중 어느 한 항에 있어서, 상기 2개의 전도 영역은 서로 나란히 놓여진 게이트 전극의 범위로 하여, 전하 결합 소자의 게이트 전극을 형성하고 공통 배선 층의 일부를 형성하는 것을 특징으로 하는 반도체 소자.

청구항 4

제3항에 있어서, 상기 게이트 전극은 다결정 실리콘의 제1층으로부터 제조되는 것과, 에칭 스톱퍼 층은 절연층의 삽입된 부분에 의해 제1층과 전기적으로 분리된 제2다결정 실리콘 층으로부터 제조되며, 제2다

결정 실리콘 층의 두께는 제1다결정 실리콘 층의 것보다 두껍게 하는 것을 특징으로 하는 반도체 소자.

**청구항 5**

한 표면에서 적어도 2개의 전도 영역을 지닌 하나 또는 몇개의 회로 요소를 가진 반도체 본체를 포함하며, 그 표면이 절연 층 내의 접촉 윈도우에 의하여 전도 영역과 상호 접촉하고 적어도 실제적으로 그 자체의 전체 두께이상으로 절연 층속으로 오목 들어간 전도체 트랙이 형성되는 절연층으로 코팅된 반도체 소자를 제조하는 방법에 있어서, 전도 영역이 제공되어 진 후, 절연 층은 그 자체의 두께의 제1부분 위에 형성되며, 절연 층에 관하여 선택적으로 에칭할 수 있는 전도 물질의 에칭 스톱퍼 층은 전도 영역 사이에 놓여진 중간 영역내의 상기 부분상에 형성되며, 그 뒤에 절연 층은 그 자체의 두께의 제2부분상에 제공되며, 그리고 그 절연 층은 형성될 전도 트랙의 영역에서 에칭 처리되어지며, 그동안 상기 중간 영역에서 에칭 스톱퍼 층에 이르기 까지와 접촉 윈도우의 영역에서 전도 영역에 이르기 까지 제거되며, 그리고 그와 같은 형태가 얻어진 후 전도 층으로 덮여지며, 그로부터 오목 들어간 전도 트랙은 다시 에칭함으로써 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

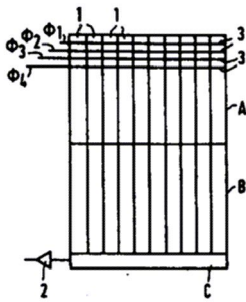
**청구항 6**

제5항에 있어서, 접촉 윈도우의 중간 영역 및 영역에서 절연 층을 제거하기 위한 에칭 처리는 이방성적으로 수행되는 것을 특징으로 하는 반도체 소자의 제조방법.

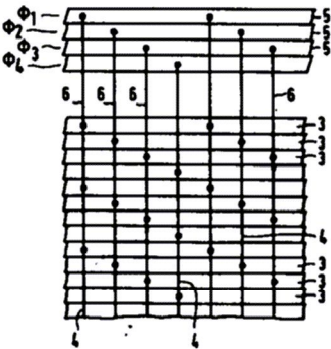
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면1**



**도면2**



**도면3**

