



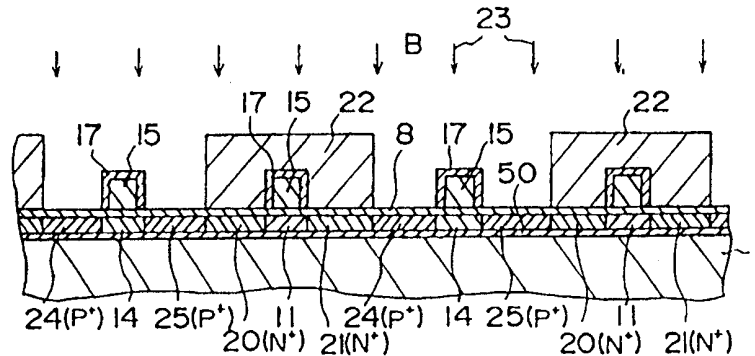
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H01L 21/205</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/01005</p> <p>(43) 国際公開日 2000年1月6日(06.01.00)</p>
<p>(21) 国際出願番号 PCT/JP99/03522</p> <p>(22) 国際出願日 1999年6月30日(30.06.99)</p> <p>(30) 優先権データ 特願平10/184468 1998年6月30日(30.06.98) JP 特願平11/8511 1999年1月14日(14.01.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 矢元久良(YAMOTO, Hisayoshi)[JP/JP] 山中英雄(YAMANAKA, Hideo)[JP/JP] 佐藤勇一(SATOU, Yuichi)[JP/JP] 矢木 肇(YAGI, Hajime)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p>	<p>(74) 代理人 弁理士 藤島洋一郎(FUJISHIMA, Youichiro) 〒160-0022 東京都新宿区新宿1丁目9番5号 大台ビル2階 Tokyo, (JP)</p> <p>(81) 指定国 KR, US, 欧州特許 (DE, FR, GB)</p> <p>添付公開書類 国際調査報告書</p>	

(54) Title: METHOD FOR FORMING MONOCRYSTALLINE SILICON LAYER, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称 単結晶シリコン層の形成方法及び半導体装置の製造方法、並びに半導体装置



(57) Abstract

Monocrystalline silicon is deposited by a catalyst CVD method by using a crystalline sapphire layer (50) formed on an insulating substrate (1) as the seeds, and a silicon epitaxial layer (7) is formed. P-type impurity ions are implanted into a monocrystalline silicon layer, and then N-type impurity ions are implanted to make a P-channel MOS transistor portion a monocrystalline silicon layer (14). In a monocrystalline silicon layer (11), an N⁺ source region (20) and drain region (21) of an N-channel MOS transistor are formed. Thus, a silicon layer is epitaxially grown uniformly at low temperature.

(57)要約

絶縁基板(1)に形成した結晶性サファイア層(50)をシードにして、触媒CVD法によって単結晶シリコンを堆積させ、シリコンエピタキシャル層(7)を形成する。単結晶シリコン層にP型不純物イオンを打ち込み、次に、N型不純物イオンを打ち込み、PチャンネルMOSトランジスタ部を単結晶シリコン層(14)とする。単結晶シリコン層(11)にNチャンネルMOSトランジスタのN⁺型ソース領域(20)及びドレイン領域(21)を形成する。低温で均一にシリコン層をエピタキシャル成長させることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサオ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア			TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダッド・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュー・ジーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明細書

単結晶シリコン層の形成方法及び半導体装置の製造方法、並びに半導体装置

技術分野

本発明は、単結晶シリコン層の形成方法及び半導体装置の製造方法、並びに半導体装置に関し、特に絶縁基板上にエピタキシャル成長させた単結晶シリコン層を能動領域に用いる絶縁ゲート型電界効果トランジスタなどの半導体装置の製造に好適な方法と、その半導体装置に関する。

背景技術

従来、基板上に形成した単結晶シリコン層を用いたM O S F E T (Metal-oxide-semiconductor field effect transistor)であるT F T (Thin Film Transistor, 薄膜トランジスタ)は、多結晶シリコン層を用いたものと比べて、数倍も大きい電子移動度を有し、高速動作に好適であることが知られている(文献, R. P. Zingg et al, "First MOS transistors on Insulator by Silicon Saturated Liquid Solution Epitaxy". IEEE ELECTRON DEVICE LETTERS, VOL. 13, NO. 5, MAY 1992 p294-6.、特公平4-57098号公報、松村 正清、"薄膜トランジスタ" 応用物理、第65巻 第8号(1996)pp842-848, 参照)。

こうした半導体素子において、単結晶シリコン層を基板上に形成するために、以下の種々の成膜技術(1)～(5)が知られている。

(1) 温度約800～1200℃、水素雰囲気、100～760 Torrで、シラン、ジクロルシラン、トリクロルシラン、四塩化シリコンを分解させて単結晶シリコンを成長させる。

(2) 単結晶シリコン基板をシードにして、920～930℃に加熱されたインジウム・シリコン溶液又はインジウム・ガリウム・シリコン溶液から、冷却処理によりシリコンエピタキシャル成長層を形成し、この層の上にシリコン半導体層を作成する(文献1, Soo Hong Lee, "VERY-LOW-TEMPERATURE LIQUID-PHASE EPITAXIAL GROWTH OF SILICON". MATERIALS LETTERS. Vol. 9, No. 2, 3(Jan., 1990)pp5

3-56. 文献2, R. Bergmann et al, "MOS transistors with epitaxial Si, laterally grown over SiO₂ by liquid phase epitaxy." J. Applied Physics A, vol. A54, no. 1 p. 103-5. 文献3, R. P. Zingg et al, "First MOS transistors on Insulator by Silicon Saturated Liquid Solution Epitaxy." IEEE ELECTRON DEVICE LETTERS .VOL. 13, NO. 5, MAY 1992 p294-6.)。

(3) サファイア基板の上にシリコンをエピタキシャル成長させる (文献4, G. A. Garcia, R. E. Reedy, and M. L. Burger, "High-quality CMOS in thin (100nm) silicon on sapphire," IEEE ELECTRON DEVICE LETTERS. VOL. 9, pp32-34, Jan. 1988.)。

(4) 酸素イオン注入法により、絶縁基板の上にシリコン層を形成する (文献5, K. Izumi, M. Doken, and H. Ariyoshtl, "CMOS device fabrication on buried SiO₂ layers formed by oxygen implantation into silicon," Electron. Lett., vol. 14, no. 18, pp593-594, Aug. 1978.)。

(5) 石英基板の上にステップを形成し、この上に多結晶シリコン層を形成し、次にこれをレーザー光やストリップヒータで1400℃以上に加熱する。加熱された多結晶シリコン層は、石英基板の上に形成されたステップを核にして、エピタキシャル成長層を形成する (文献6, 古川 静二郎, "グラフォエピタキシー"、電子通信学会誌、Vol. 66, No. 5, pp486-489. (1983. May). 文献7, Geis, M. W., et al. : "Crystallographic orientation of silicon on an amorphous substrate using an artificial-relief grating and laser crystallization", Appl. Phys. Letter, 35, 1, pp71-74(July 1979). 文献8, Geis, M. W., et al. : "Silicon graphoepitaxy", Jpn. J. Appl. Phys., Suppl. 20-1, pp. 39-42(1981).)。

しかしながら、これまでの公知技術においては、化学反応/単結晶成長に要するエネルギーは、全て熱エネルギー (加熱) の形で供給されているので、エピタキシャル成長温度を800℃、特に700℃から大幅に低下させることができないという問題があった。そのため、シリコン基板等を低温にしてエピタキシャル成長を行うことができず、或いは、歪点が比較的 low、しかも大型のガラス板上に、シリコンエピタキシャル成長層を形成できる技術は存在しない。また、ガラス板上にステップを形成し、これをエピタキシャル成長の核にしてシリコンを成長させる技術において、シリコンを低温でかつ均一にエピタキシャル成長させる

ことはできない。

発明の開示

本発明はかかる問題点に鑑みてなされたもので、その目的は、歪点が比較的低い大型のガラス基板であっても低温で均一に単結晶シリコン層をエピタキシャル成長させ、高速で大電流密度の半導体素子を作り込むことのできる単結晶シリコン層の形成方法及び半導体装置の製造方法、並びに半導体装置を提供することにある。

本発明による単結晶シリコン層の形成方法は、単結晶シリコン層と格子整合する物質層上に、触媒CVD (Chemical Vapor Deposition)法 (触媒を用いた化学的気相成長法) によって単結晶シリコン層を形成するものである。

また、本発明による他の単結晶シリコン層の形成方法は、単結晶シリコン基板上に、触媒CVD法によって単結晶シリコン層を形成するものである。

更に、本発明による半導体装置の製造方法は、上記の単結晶シリコン層を形成する工程に加えて、その後に、単結晶シリコン層に所定の処理を施して半導体素子を作製する工程を含むものである。

本発明による半導体装置は、絶縁基板上に単結晶シリコンと格子整合する物質層が形成され、この物質層上に単結晶シリコン層が形成され、この単結晶シリコン層が半導体素子を構成しているものである。

本発明によれば、単結晶シリコンと格子整合する物質層 (例えば結晶性サファイア層) 又はバルクの単結晶シリコン基板をシードにして触媒CVD法によって単結晶シリコンの堆積 (エピタキシャル成長) を行っているため、次の (A) ~ (H) に示す顕著な作用効果を得ることができる。

(A) 上記したシリコンエピタキシャル成長の核となる物質層は、減圧CVD法 (減圧下での化学的気相成長: 基板温度 500~600℃) で形成でき、かつこの物質層又は単結晶シリコン基板上に、単結晶シリコン層を触媒CVD法 (基板温度 100~700℃、特に 200~600℃) という低温成膜技術で形成できるから、基板上に低温で単結晶シリコン層を均一に形成することができる。特に、結晶性サファイア層などの上記物質層や単結晶シリコン基板などを採用する

ため、単結晶シリコンと、特に格子定数が一致することにより格子整合が良く、シリコンエピタキシャル成長が容易になる。

(B) 従って、下地の基板として石英ガラスは勿論、歪点の比較的低いガラス基板やセラミックス基板、或いはバルクの単結晶シリコン基板などの入手し易く、低コストで物性も良好な基板を用いることができ、また基板の100m以上の長尺化、1m²以上の大型化も可能となる。従って、ガラス基板を幅広、かつ長尺のロール状とし、連続して単結晶シリコン層を形成することも可能になる。

(C) 単結晶シリコンの低温成長が可能となるため、不純物のオートドーピングを防ぐことができ、工程を簡略化できる（すなわち、高濃度基板の裏面をシールする工程が不要となる）。

(D) シリコンエピタキシャル層の品質を向上させることができる。具体的には、不純物の拡散量が減少するので、シリコンエピタキシャル層の濃度および厚さの制御精度が向上する。特に、サファイア基板上にシリコンエピタキシャル層を形成する場合には、熱歪が低減でき、更に、アルミニウムのオートドーピングを抑制することができる。

(E) 基板温度が低い（従来は1000～1200℃、この触媒CVD法では100～700℃）ため、加熱電源が小電力になる。また、冷却機構が簡単になるので、シリコンエピタキシャル装置が安価になる。

(F) シラン等の反応ガスの反応効率が大きい（従来のCVD法では数%以下、この触媒CVD法では数十%）ため、省資源で環境への負荷が小さく、コストを低減することができる。

(G) 結晶性サファイア層などの上記物質層は、様々な原子の拡散バリエーションになるため、ガラス基板、その他の基板からの不純物の拡散を抑制することができる。

(H) ガラス基板等の上に低温で形成した単結晶シリコン層の電子移動度は、 $540 \text{ cm}^2 / \text{v} \cdot \text{sec}$ （前述の文献3）であって、単結晶シリコン基板並の大きな値が得られるため、高速で大電流密度のトップゲート型、ボトムゲート型、デュアルゲート型のLCD（Liquid Crystal Display；液晶表示装置）用TFTをはじめ、EL（Electro luminescence；エレクトロルミネセンス素子）、FE

D (Field Emission Display ; 電界放出型表示素子) 用のトランジスタや、高性能のダイオード、太陽電池、キャパシタ、抵抗等の半導体素子、或いはこれらを集積した電子回路をガラス基板等の上に作成することができる。

図面の簡単な説明

第 1 A 図, 第 1 B 図は、本発明の第 1 の実施の形態による半導体装置の製造プロセスを工程順に表す断面図である。

第 2 A 図～第 2 C 図は、第 1 B 図に続く製造プロセスを工程順に表す断面図である。

第 3 A 図～第 3 D 図は、第 2 C 図に続く製造プロセスを工程順に表す断面図である。

第 4 A 図～第 4 C 図は、第 3 D 図に続く製造プロセスを工程順に表す断面図である。

第 5 図は、本発明の第 1 の実施の形態による半導体装置の製造に用いる触媒 CVD 装置の概略図である。

第 6 A 図～第 6 C 図は、本発明の第 2 の実施の形態による半導体装置の製造プロセスを工程順に表す断面図である。

第 7 A 図～第 7 C 図は、第 6 C 図に続く製造プロセスを工程順に表す断面図である。

第 8 A 図～第 8 C 図は、第 7 C 図に続く製造プロセスを工程順に表す断面図である。

第 9 A 図～第 9 D 図は、第 8 C 図に続く製造プロセスを工程順に表す断面図である。

第 10 A 図, 第 10 B 図は、非晶質基板上的シリコン結晶成長の状況を説明するための概略斜視図である。

第 11 A 図～第 11 F 図は、グラフォエピタキシャル技術における各種段差形状とシリコン成長結晶方位を示す概略断面図である。

第 12 図は、本発明の第 4 の実施の形態による基板上の単結晶シリコン層を表す写真である。

第 1 3 図は、同じく本発明の第 4 の実施の形態による基板上の単結晶シリコン層を表す写真である。

第 1 4 図は、同じく本発明の第 4 の実施の形態による基板上の単結晶シリコン層を表す写真である。

発明を実施するための最良の形態

本実施の形態の単結晶シリコン層の形成方法においては、単結晶シリコン層を触媒 CVD 法（基板温度約 100～700℃、特に 200～600℃）によって形成する。この触媒 CVD 法によって単結晶シリコン層を形成する際には、水素化ケイ素を主成分とするガスを 800～2000℃、例えば 1600～1800℃（融点未満）に加熱された触媒体に接触させて分解することにより、基板上に単結晶シリコン層を堆積させることが好ましい。

水素化ケイ素としては、シラン（例えば、モノシラン、ジシラン、トリシラン）を使用し、また、触媒体としては、タングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも 1 種の材料を使用する。

本実施の形態においては、基板として、絶縁基板、特に歪点の低いガラス基板を用いることができ、面積 1 m² 以上の大型ガラス基板上に半導体結晶層を作成することが可能である。触媒 CVD を行うときの基板温度は上記したように低いため、ガラス基板として、歪点が 470～670℃と低いガラスを用いることができる。この種のガラスは、安価で、かつ、薄板化が容易であり、長尺ロール化されたガラス板を作製できる。このような長尺ロール化されたガラス板上に、本実施の形態の方法を用いて、薄いエピタキシャル成長層を連続して又は非連続に作製することが可能になる。

また、本実施の形態では、物質層を結晶性サファイア、スピネル構造体及びフッ化カルシウムからなる群より選ばれた物質、又は単結晶シリコンで形成することができる。この物質層は、例えばガラス基板等の絶縁基板上に薄膜として形成することができるが、バルク状の基板自体を兼ねていてもよい。

この場合、単結晶シリコンからなる物質層又はシリコン基板の表面の自然酸化膜などの酸化膜を除去した後に、単結晶シリコン層を形成することが好ましい。例えば、本実施の形態の触媒CVD法によって単結晶シリコン層を形成する前に、加熱された触媒体に水素ガスを接触させ、これによって活性化された水素原子をエッチャントとして自然酸化膜をエッチングして除去することができる。

また、上記した物質層又は単結晶シリコン基板などをシードとして単結晶シリコン層を堆積させた後に、単結晶シリコン層に所定の処理を施すことにより半導体素子を作製することができる。

なお、単結晶シリコン層の成膜時に、周期表3族又は5族元素（B、P、Sb、Asなど）を B_2H_6 や PH_3 などとして供給し、適量ドーピングしておけば、成長するシリコンエピタキシャル層の不純物種及び／又はその濃度、即ち、単結晶シリコン層のP型、N型等の導電型及び／又はキャリア濃度を任意に制御することができる。

本実施の形態では、上述のように基板上にエピタキシャル成長した単結晶シリコン層を絶縁ゲート型電界効果トランジスタのチャンネル領域、ソース領域及びドレイン領域に適用し、これら各領域の不純物種及び／又はその濃度を制御することもできる。

なお、上記物質層は単結晶シリコン層のエピタキシャル成長時のシードとして作用するが、これに加えて、絶縁基板等の基板上に、エピタキシャル成長のシードとなる段差をリアクティブイオンエッチングなどのドライエッチングで形成し、この段差を含む基板上に物質層を形成するようにすれば、段差も単結晶シリコン層のエピタキシャル成長の核となる。このような段差は、物質層に形成することもできる。或いは、単結晶シリコン基板又はサファイア基板、ゲルマニウム基板自体に同様の段差を形成し、この段差を含む基板上に単結晶シリコン層をエピタキシャル成長させるようにしてもよい。

次に、本発明の好ましい実施の形態について具体的に説明する。

<第1の実施の形態>

まず、第1図～第5図を参照して本発明の第1の実施の形態を説明する。

本実施の形態は、絶縁基板上に形成した結晶性サファイア層をシードとして触

媒CVD法により単結晶シリコン層を低温でエピタキシャル成長させるものである。

まず、第1A図に示したように、石英ガラス、結晶化ガラスなどの絶縁基板1（特に、歪点が約470～1400℃、更には470～670℃、厚さ50ミクロン～数mm）の一主面に、結晶性サファイア層（薄膜）（厚さ5～200nm）50を形成する。この結晶性サファイア層50は、公知の減圧CVD法、高密度プラズマCVD法や、触媒CVD法（特開昭63-40314号公報参照）により、トリメチルアルミニウムガスを酸化性ガス（酸素・水分）で酸化し、結晶化させて作成する。

次いで、第1B図に示したように、結晶性サファイア層50上に、特開昭63-40314号公報などにも示されている触媒CVD法（基板温度200～800℃）によって、全面に単結晶シリコン層7を数 μm ～0.005 μm （例えば0.1 μm ）の厚みにエピタキシャル成長させる。

この触媒CVDは、図5に示した触媒CVD装置を用いて行うことができる。この触媒CVD装置では、水素化ケイ素（例えばモノシラン）ガス40（及び必要に応じて水素や、 B_2H_6 や PH_3 などのドーピングガスを含む。）は供給導管から堆積室41へ導入される。堆積室41の内部には、基板1を支持するためのサセプタ42と、このサセプタ42に対向配置されたコイル状の触媒体43とがそれぞれ配置されている。基板1は外部加熱手段44（例えば電熱手段）で加熱され、また触媒体43は例えば抵抗線として融点以下（特に800～2000℃、例えば1600～1800℃、タングステンの場合は約1800℃）に加熱して活性化される。

具体的なプロセスとしては、まず、ロードロックチャンバを経由して、結晶性サファイア層を形成したガラス基板1を、チャンバ41内の温度制御ができる基板42（通常SiCコートグラファイトサセプタ、温度200℃）上に搭載する。

次いで、チャンバ内を、 $1\sim 2 \times 10^{-6}\text{Pa}$ 程度まで減圧し、特にチャンバ内に持ち込まれた水分/酸素を排気する（約5分）。続いて、チャンバ内に水素を流し、流量と圧力、サセプタ温度を所定の値に制御する。

チャンバ内圧力：0.1～15 Pa. 程度（ここでは、1.0 Pa. に設定）
サセпта温度：100～700℃（ここでは、200℃に設定）
水素流量：90 sccm/min. に設定

次いで、触媒体（例えばタングステン細線）43の温度を上げる。触媒温度は、約1600～1800℃程度（ここでは、触媒温度を1800℃に設定）とし、この状態で10分間保持する。

次に、SiH₄用MFC（マスフローコントローラ）に流れていた水素をSiH₄に切り替えて、所定の厚さの単結晶シリコン層を堆積させる。この場合、単結晶シリコン層の厚みは0.1 μmであるから、166秒間だけ、下記反応ガスをチャンバに流す。

水素流量：90 sccm/min.

SiH₄ 流量：9 sccm/min.（100%シラン）

成膜速度：600 Å/min.

成長が終了した後、SiH₄ 流量をゼロにし、5分後に触媒への電力供給を遮断して、その温度を下げる。

次いで、水素流量をゼロにして、1～2 x 10⁻⁶ Pa. 程度まで減圧し、特にチャンバー内に導入したSiH₄を排気する（約5分）。その後、単結晶シリコン層を結晶性サファイア膜上に形成したガラス基板を、ロードロックチャンバを経由して大気圧の外部に取り出す。

このようにして、触媒体43による触媒反応または熱分解反応によって、高エネルギーをもつシリコン原子又はシリコン原子の集団（更には、水素原子又は水素原子の集団）を形成し、しかもシードとなる結晶性サファイア層50上に堆積させるので、通常の熱CVD法における堆積可能温度より著しく低い低温の領域で単結晶シリコン層を堆積させることができる。

本実施の形態による触媒CVD法では、シリコンエピタキシャル層を形成するために必要なエネルギーを、2段階で供給することができる。第1段階では、高温（例えば1600～1800℃）の触媒体43と反応ガス（シランガスからのエピタキシャル成長の場合は、例えばシランと水素）を接触させて、反応ガスを活性化させ、高エネルギーを持つシリコン原子や水素原子又は分子（場合によっ

てはこれらの集団（クラスタ）を形成する。第2段階では、高エネルギーを持つシリコン原子や水素原子又は分子（場合によっては、これらの集団（クラスタ））と衝突する基板の温度を上記範囲で比較的高温にすることによって、特にシリコン原子が基板側の結晶方位に沿って整列するために必要なエネルギーを供給する。従来のCVD法では、基板温度を高温にすることによってのみエネルギーを供給していたので、基板温度を最低でも700～800℃程度であり、それ以下にはできなかったが、本実施の形態による触媒CVD法では、200～600℃でもシリコンエピタキシャル層を形成することができる。

このようにして、シリコンは、結晶性サファイア層50をシード（種）として第1B図に示したようにヘテロエピタキシャル成長し、厚さ例えば0.1μm程度の単結晶シリコン層7として析出する。この場合、結晶性サファイア層は、単結晶シリコンと格子定数が殆んど同じであるので、シリコンは結晶性サファイア層50上に例えば（100）面がエピタキシャルに成長する。

このように、基板1上に（100）面の単結晶シリコン層7を析出させた後、単結晶シリコン層7をチャンネル領域とするMOSトランジスタ（TFET）の作製を行う。

即ち、第2A図に示したように、酸化処理（950℃）によって単結晶シリコン層7の表面に厚さ350Åのゲート酸化膜8を形成する。次いで、第2B図に示したように、NチャンネルMOSトランジスタ用のチャンネル領域の不純物濃度制御のために、PチャンネルMOSトランジスタ部をフォトレジスト9でマスクし、P型不純物イオン（例えばB⁺）10を例えば10kVで 2.7×10^{11} atoms/cm²のドーズ量で打ち込み、単結晶シリコン層7の導電性をP型化した単結晶シリコン層11とする。

次いで、第2C図に示したように、PチャンネルMOSトランジスタ用のチャンネル領域の不純物濃度制御のために、今度はNチャンネルMOSトランジスタ部をフォトレジスト12でマスクし、N型不純物イオン（例えばP⁺）13を例えば10kVで 1×10^{11} atoms/cm²のドーズ量で打ち込み、単結晶シリコン層7のP型を補償した単結晶シリコン層14とする。

次に、第3A図に示したように、ゲート電極材料としてのリンドープ多結晶

シリコン層15を例えばCVD法(温度620°C)によって厚さ4000Åに堆積させる。その後、第3B図に示したように、フォトレジスト16を所定パターンに形成し、これをマスクにして多結晶シリコン層15をゲート電極形状にパターニングする。更に、フォトレジスト16を除去した後に、第3C図に示したように、例えば900°Cで60分間、O²中での酸化処理でゲート多結晶シリコン層15の表面に酸化膜17を形成する。

次いで、第3D図に示したように、PチャンネルMOSトランジスタ部をフォトレジスト18でマスクし、N型不純物である例えばAs⁺イオン19を例えば20kVで 5×10^{15} atoms/cm²のドーズ量でイオン注入し、950°Cで40分間、N²中でのアニールによって、NチャンネルMOSトランジスタのN⁺型ソース領域20及びドレイン領域21をそれぞれ形成する。

続いて、第4A図に示したように、NチャンネルMOSトランジスタ部をフォトレジスト22でマスクし、P型不純物である例えばB⁺イオン23を例えば10kVで 5×10^{15} atoms/cm²のドーズ量でイオン注入し、900°Cで5分間、N²中でのアニールによって、PチャンネルMOSトランジスタのP⁺型ソース領域24及びドレイン領域25をそれぞれ形成する。

次に、第4B図に示したように、全面にCVD法によって、SiO₂膜26を例えば750°Cで500Åの厚みに、SiN膜27を例えば420°Cで2000Åの厚みに積層し、更に、ボロン及びリンドープドシリケートガラス(BPSG)膜28をリフロー膜として例えば450°Cで6000Åの厚みに形成し、このBPSG膜28を例えば900°CでN²中でリフローする。

次いで、第4C図に示したように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料をスパッタ法等で150°Cで1μmの厚みに堆積し、これをパターニングして、PチャンネルMOSTFT及びNチャンネルMOSTFTのそれぞれのソース又はドレイン電極29(S又はD)とゲート取出し電極又は配線30(G)を形成し、各MOSトランジスタを完成する。

本実施の形態によれば、次のような顕著な作用効果が得られる。

(a) 触媒CVD法により、結晶性サファイア層50をシードとして、200

～600℃の低温で、ガラス基板1上に単結晶シリコン層7を均一に形成することができる。

(b) 従って、低歪点ガラス基板のみならず、セラミック基板などの絶縁基板上に、単結晶シリコン層を形成できるため、歪点が低く、低コストで物性も良好な基板材質を任意に選択でき、また、基板の長尺化(100m以上で例えば50μm厚)、大型化(1m²以上)も可能となる。

(c) 単結晶シリコンの低温成長が可能となるため、不純物のオートドーピングを防ぐことができ、工程を簡略化できる。

(d) 単結晶シリコン層7の品質を向上させることができる。具体的には、不純物の拡散量が減少するので、単結晶シリコン層の濃度/厚さの制御精度が向上する。また、特にサファイア層上に単結晶シリコン層を形成するようにすれば、熱歪が低減できる。

(e) 基板温度が低い(従来は1000～1200℃、この触媒CVD法では100～700℃)ため、加熱電源が小電力になり、また冷却機構が簡単であるので、シリコンエピタキシャル装置が安価になる。

(f) シラン等の反応ガスの反応効率が大きい(従来のCVD法では数%以下、この触媒CVD法では数十%)ため、省資源で環境への負荷が小さく、コストを低減することができる。

(g) 結晶性サファイア層50は、ガラス基板1から単結晶シリコン層7への原子の拡散を抑制するバリアとして作用する。

(h) ガラス基板等の上に形成した単結晶シリコン層7の電子移動度は、540cm²/v・secと単結晶シリコン基板並の大きな値が得られるため、高速で大電流密度のトランジスタを作成することができる。トランジスタ以外にも、ダイオード、キャパシタ、抵抗等や、これらを集積した電子回路をガラス基板上に作成することができる。なお、MOSトランジスタ等のシリコン半導体素子を形成するプロセスは、従来公知の多結晶シリコンTFTの作製プロセスと殆んど変わらない。

<第2の実施の形態>

次に、第6図～第11図を参照して、本発明の第2の実施の形態を説明する。

本実施の形態では、絶縁基板に単結晶シリコンのエピタキシャル成長のシードとなる段差を設け、この段差を含めた表面に上述の結晶性サファイア層を形成し、この結晶性サファイア層の作用に段差の作用を加えて、単結晶シリコン層を低温でエピタキシャル成長させるものである。

まず、第6A図に示したように、石英ガラス、結晶化ガラスなどの絶縁基板1の一主面に、フォトレジスト2を所定パターンに形成し、これをマスクとして例えばCF₄プラズマのF⁺イオン3を照射し、リアクティブイオンエッチング(RIE)によって基板1に段差4を複数個形成する。段差4は、後述の単結晶シリコンのエピタキシャル成長時のシードとなるものであり、例えば深さd = 0.1 μm、幅w = 1.5 ~ 1.9 μmである。

次いで、第6B図に示したように、フォトレジスト2を除去した後に、上述の第1の実施の形態で述べたと同様に、公知の減圧CVD法、触媒CVD法(基板温度約500~650℃)や高密度プラズマCVD法によって、段差4を含む全面に結晶性サファイア層50を5~200 nmの厚みに堆積させる。

更に、第6C図に示したように、上述した第1の実施の形態において説明したと同様に、結晶性サファイア層50上に触媒CVD法で、単結晶シリコン層7を基板温度200~600℃で数μm~0.005 μm(例えば0.1 μm)の厚みに堆積させる。

このようにして、シリコンは、結晶性サファイア層50をシード(種)としてエピタキシャル成長し、厚さ例えば0.1 μm程度の単結晶シリコン層7が形成される。

単結晶シリコン層7は、上述の第1の実施の形態で述べたように結晶性サファイア層50上に(100)面がヘテロエピタキシャル成長したものであるが、これは、段差4によって更に助長される。段差4がエピタキシャル成長の核(シード)となるが、これはグラフォエピタキシャル成長と称される公知の現象によるものであり(前述の文献6, 7, 8参照)、この現象を加味したヘテロエピタキシャル成長により、更に結晶性の高い単結晶シリコン層7が得られる。

第10A図に示したように、非晶質基板(ガラス)1に上記段差4となる垂直な壁を作り、この上にエピタキシャル層を形成すると、同図に示したようなラン

ダムな面方位であったものが、第10B図に示したように、(100)面が段差4の面に沿って結晶成長する。この単結晶粒の大きさは、温度および時間に比例して大きくなるが、温度を低く、かつ時間を短くするときには、段差の間隔を短くしなければならない。

本実施の形態では、段差の形状を第11A図～第11F図に示したように種々に変えることによって、成長層の結晶方位を制御することができる。MOSトランジスタを作成する場合は、(100)面が最も多く採用されている。要するに、段差4の断面形状は、底边角部の角度(底角)が直角をはじめ、上端から下端にかけて内向き又は外向きに傾斜していてもよく、結晶成長が生じやすい特定方向の面を有していればよい。段差4の底角は通常は直角又は 90° 以下が望ましく、その底面の角部は僅かな曲率を有しているのがよい。

こうして、結晶性サファイア層50の格子整合に加え、グラフォエピタキシャル成長によって、基板1上に単結晶シリコン層7を形成した後、単結晶シリコン層7をチャンネル領域とするMOSトランジスタ(TFT)を作製する。

即ち、第7A図に示したように、酸化処理(950°C)によって単結晶シリコン層7の表面に厚さ 350 \AA のゲート酸化膜8を形成する。次いで、第7B図に示したように、NチャンネルMOSトランジスタ用のチャンネル領域の不純物濃度制御のために、PチャンネルMOSトランジスタ部をフォトレジスト9でマスクし、P型不純物イオン(例えば B^+)10を例えば 10 kV で $2.7 \times 10^{11}\text{ atoms/cm}^2$ のドーズ量で打ち込み、単結晶シリコン層7の導電性をP型化した単結晶シリコン層11とする。

次いで、第7C図に示したように、PチャンネルMOSトランジスタ用のチャンネル領域の不純物濃度制御のために、今度はNチャンネルMOSトランジスタ部をフォトレジスト12でマスクし、N型不純物イオン(例えば P^+)13を例えば 10 kV で $1 \times 10^{11}\text{ atoms/cm}^2$ のドーズ量で打ち込み、単結晶シリコン層7のP型を補償した単結晶シリコン層14とする。

次いで、第8A図に示したように、ゲート電極材料としてのリンドープド多結晶シリコン層15を例えばCVD法(温度 620°C)によって厚さ 4000 \AA に堆積させる。続いて、第8B図に示したように、フォトレジスト16を所定パタ

ーンに形成し、これをマスクにして多結晶シリコン層15をゲート電極形状にパターニングする。更に、フォトレジスト16を除去した後に、第8C図に示したように、例えば900℃で60分間、O₂中での酸化処理でゲート多結晶シリコン層15の表面に酸化膜17を形成する。

次に、第9A図に示したように、PチャンネルMOSトランジスタ部をフォトレジスト18でマスクし、N型不純物である例えばAs⁺イオン19を例えば20kVで 5×10^{15} atoms/cm²のドーズ量でイオン注入し、950℃で40分間、N₂中でのアニールによって、NチャンネルMOSトランジスタのN⁺型ソース領域20及びドレイン領域21をそれぞれ形成する。

次いで、第9B図に示したように、NチャンネルMOSトランジスタ部をフォトレジスト22でマスクし、P型不純物である例えばB⁺イオン23を例えば10kVで 5×10^{15} atoms/cm²のドーズ量でイオン注入し、900℃で5分間、N₂中でのアニールによって、PチャンネルMOSトランジスタのP⁺型ソース領域24及びドレイン領域25をそれぞれ形成する。

次いで、第9C図に示したように、全面にCVD法によって、SiO₂膜26を例えば750℃の温度で500Åの厚みに、SiN膜27を例えば420℃の温度で2000Åの厚みに積層し、更に、ボロン及びリンドーパドシリケートガラス(BPSG)膜28をリフロー膜として例えば450℃の温度で6000Åの厚みに形成し、このBPSG膜28を例えば900℃の温度でN₂中でリフローする。

次に、第9D図に示したように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料をスパッタ法等で150℃で1μmの厚みに堆積し、これをパターニングして、PチャンネルMOSTFT及びNチャンネルMOSTFTのそれぞれのソース又はドレイン電極29(S又はD)とゲート取出し電極又は配線30(G)を形成し、各MOSトランジスタを完成する。

本実施の形態では、絶縁基板1に段差4を設けるようにしたので、第1の実施の形態によって得られる作用効果が一層向上し、結晶性の高い単結晶シリコンのエピタキシャル成長を良好に行うことができる。

<第3の実施の形態>

次に、本発明の第3の実施の形態を説明する。

上述の第1の実施の形態においては、基板として、結晶性サファイア層を設けた絶縁基板を用いるようにしたが、本実施の形態では、単結晶シリコン基板（又はシリコンウエハ）を用い、この上に上述の触媒CVD法によって単結晶シリコン層をエピタキシャル成長させるものである。

即ち、本実施の形態では、触媒CVD装置（第5図）を用いた触媒CVD法により、低温でシリコンエピタキシャル層を例えば1.2 μ mの厚さに形成するが、これは以下に説明するプロセスによって形成することができる。

まず、シリコンウエハを洗浄し、表面の薄い酸化膜を希釈弗酸（1～5%水溶液）で除去してから、純水で洗浄乾燥する。次に、ロードロックチャンバを經由して、シリコンウエハを、触媒CVD装置（第5図）のチャンバ内の温度制御ができる支持体（通常SiCコートグラファイトサセпта、温度200 $^{\circ}$ C）上に搭載する。

次に、チャンバ内を例えば1～2 $\times 10^{-6}$ Pa程度まで減圧し、特にチャンバ内に持ち込まれた水分/酸素を排気する（約5分）。続いて、チャンバ内に水素を流し、流量と圧力、サセпта温度を例えば下記の値に制御する。

チャンバ内圧力：0.1～15Pa程度（ここでは1.0Paに設定）

サセпта温度：200～600 $^{\circ}$ C（ここでは200 $^{\circ}$ Cに設定）

水素流量：90sccm/min.に設定

次に、触媒体（例えばタングステン細線）の温度を例えば約1600～1800 $^{\circ}$ C程度（ここでは1800 $^{\circ}$ C）に上げ、この状態で10分保持する。この場合、高温の金属触媒によって活性化された高エネルギーの水素原子又は原子の集団は、シリコン酸化膜を低温でエッチングするため、シリコンウエハ上に形成されていた薄い（厚さ15～18 \AA ）自然酸化膜を低温でエッチングして除去することができる。ここで、高温で形成されたシリコン酸化膜のエッチング速度は、200 $^{\circ}$ Cにおいて15～20 \AA /20分程度であることが確認されたので、上記の自然酸化膜は完全に除去される。

次いで、SiH₄用のMFC（マスフローコントローラ）に流れていた水素を

SiH₄ に切り替え、例えば下記の条件下で、触媒CVDにより所定の厚さの単結晶シリコン層（シリコン薄膜）をエピタキシャル成長させる。このとき、成膜される単結晶シリコン層の厚みは1.2 μmであるから、20分間だけ、下記の反応ガスをチャンバに流す。

水素流量 : 90 sccm/min.

SiH₄ 流量 : 9 sccm/min. (100%シラン)

成膜速度 : 600 Å/min.

触媒体温度 : 1800°C

ウエハ温度 : 200°C

この単結晶シリコン層の成長が終了した後、SiH₄ 流量をゼロにし、5分後に触媒体への電力供給を遮断して、その温度を下げる。次いで、水素流量をゼロにして、1~2 x 10⁻⁶ Pa程度まで減圧し、特にチャンバ内に導入したSiH₄ を排気する（約5分）。その後、ウエハをロードロックチャンバを經由して、大気圧の外部に取り出す。

本実施の形態では、上述の第1の実施の形態で述べた効果に加えて、単結晶シリコンの低温成長が可能となるため、不純物のオートドーピングを防ぐことができ、工程を簡略化できる（すなわち、高濃度基板の裏面をシールする工程が不要となる）と共に、単結晶シリコン層の品質を向上させることができるという効果を奏する。具体的には、不純物の拡散量が減少するので、単結晶シリコン層の濃度および厚さの制御精度が向上する。また、アルミニウムのオートドーピングを殆ど完全に抑制することができる。

なお、単結晶シリコン基板に代えて、バルクのサファイア基板を用いても、上記と同様のプロセスでサファイア基板上に単結晶シリコン層をエピタキシャル成長させることができる。但し、この場合は、単結晶シリコン層の厚みは0.1 μmとし、上記反応ガスは166秒流すものとする。

<第4の実施の形態>

次に、第12図~第14図を参照して、本発明の第4の実施の形態を説明する。

本実施の形態は、第3の実施の形態で述べたと同様の操作を行い、得られたシ

リコンエピタキシャル層をはじめ、自然酸化膜の有無による比較、更には基板としてバルクのサファイアウエハを用いた場合（SOS (Silicon on Sapphire) 用など）の例を示すものである。

これらの各試料は、下記に示した条件で、それぞれ単結晶シリコンをエピタキシャル成長させたものである。但し、試料-4及び試料-5は、シリコンエピタキシャル成長の前に自然酸化膜除去などのための水素処理を行っている。

試料-1 :

結晶方位 (111) 3° off、5インチのシリコンウエハ、ベア（自然酸化膜あり、18 Å厚：触媒活性水素処理なし）

堆積条件 :

ガス流量 : SiH₄ 1.5 SCCM / H₂ 90 SCCM

ガス圧 : 12 Pa

成膜時間 : 30分

触媒体寸法 : 0.65 mm Φ

触媒体温度 : 1650 ~ 1700 °C (約1500 W)

基板ホルダー温度 : 200 ~ 280 °C

試料-2 :

結晶方位 (111) 3° off、5インチのシリコンウエハ、ベア（自然酸化膜あり、18 Å厚：触媒活性水素処理なし）

堆積条件 :

ガス流量 : SiH₄ 3.0 SCCM / H₂ 90 SCCM

ガス圧 : 12 Pa

成膜時間 : 30分

触媒体温度 : 1650 ~ 1700 °C (55.4 V、9.1 A、504 W)

基板ホルダー温度 : 200 °C

試料-3 :

結晶方位 (111) 3° off、5インチのシリコンウエハ、ベア（自然酸化膜あり、18 Å厚：触媒活性水素処理なし）

堆積条件 :

ガス流量 : SiH_4 4.5 SCCM / H_2 90 SCCM

ガス圧 : 16 Pa

成膜時間 : 20分

触媒体温度 : 1650 ~ 1700 °C (55.4 V、9.1 A、504 W)

基板ホルダー温度 : 200 °C

試料 - 4 :

結晶方位 (100) 0° off、5インチのシリコンウエハ、ベア (自然酸化膜あり、18 Å厚 : 触媒活性水素処理で除去)

水素処理 : H_2 90 SCCM + 触媒体温度 1800 °C × 10 min.

堆積条件 :

ガス流量 : SiH_4 9.0 SCCM / H_2 90 SCCM

ガス圧 : 10 Pa

成膜時間 : 20分

触媒体温度 : 1800 °C (750 W)

触媒体寸法等 : 0.4 mm Φ

基板ホルダー温度 : 200 °C

試料 - 5 :

結晶方位 (1102) 0° off、4インチのサファイアウエハ

水素処理 : H_2 90 SCCM + 触媒体温度 1800 °C × 10 min.

堆積条件 :

ガス流量 : SiH_4 9.0 SCCM / H_2 90 SCCM

ガス圧 : 10 Pa

成膜時間 : 6 min.、膜厚約 300 ~ 400 nm

触媒体温度 : 1800 °C (750 W)

触媒体寸法等 : 0.4 mm Φ

基板ホルダー温度 : 200 °C

上記の操作によって作成した試料 - 1、試料 - 2 及び試料 - 4 についての、各シリコンエピタキシャル層の断面TEM (透過型電子顕微鏡) による評価結果 (写真) をそれぞれ第12図 ~ 第14図に示す。

この結果によれば、試料-1、試料-2は(111) 3° off、自然酸化膜あり(厚さ約18 Å)のシリコン基板を用いて単結晶シリコン層を作成したが、この単結晶シリコン層は、基板と同様に(111) 3° offに配位していることが明らかに分かる。これは、試料-3でも同様である。

即ち、試料-1では、単結晶シリコン層は、多くの領域では基板と全く同一の方位、もしくは、基板(111)面を対称面とした双晶からなり、つまり、この膜の多くは基板(111)面と同じ方位の(111)面を持つ結晶からなっている。但し、基板とは結晶方位の揃わない(111)双晶構造や、若干の多結晶構造も含まれている。

試料-2も、単結晶シリコン層は、基板Siの結晶方位の影響を受けて結晶成長しており、多くの領域で基板(111)面と同じ方位の(111)面を持つ結晶からなっている。この膜は基板に対してほぼ垂直に伸びる柱状構造からなり、個々の“柱”(グレイン)は、(111)双晶構造の積み重ねによって形成されている。

試料-4は、(100) 0° off、自然酸化膜あり(約18 Å)のシリコン基板を採用しているが、この自然酸化膜は触媒活性水素処理によって除去されていることが分かる。形成された単結晶シリコン層は、基板と同様に(100) 0° offに配位していることが明らかに分かる。また、単結晶シリコン基板並にきれいな表面状態を呈している。

試料-4の単結晶シリコン層は、Si(100)双晶構造の積み重ねからなる柱状構造を形成している。柱状グレインのSi基板との界面では、基板Si結晶に対して整合性良くきれいに連続して結晶成長しており、基板ホルダー温度200°Cの低温でもエピタキシャル成長が起きていることが明らかである。但し、エピタキシャル成長は、Si基板全体では起きておらず、基板表面上の密集する幅数nmの領域で起きている。このために柱状構造が形成されたと考えられる。エピタキシャル成長の起きていない部分では、アモルファス層と思われる島状界面が観察される。

但し、試料-1～試料-3、更には試料-4においても、得られた単結晶シリコン層は完全な単結晶薄膜ではなく、欠陥が見える部分がある。これは、反応ガ

ス中に酸素、水分が混入したために、酸素がグレインバウンダリー付近に析出しているためであると思われる。

試料-5については、形成された単結晶シリコン層は(110) 0° offに配位している。また、市販のSO₂基板並みにきれいな表面状態を呈している。この資料-5において、単結晶シリコン堆積前の上記の水素処理は、基板上の加工歪や付着汚染物質(有機物、酸化物等)を除去し、理想的なサファイア結晶層を露出させるものであり、これによって単結晶シリコン層のエピタキシャル成長が良好に行われる。

以上に述べた本発明の実施の形態は、本発明の技術的思想に基づいて種々変形が可能である。

例えば、上述した結晶性サファイア(Al₂O₃)に代えて、単結晶シリコンと格子整合の良好なスピネル構造体(例えばマグネシアスピネル)(MgO・Al₂O₃)やフッ化カルシウム(CaF₂)などが使用可能である。

また、単結晶シリコンのエピタキシャル成長の下地は、上述の結晶性サファイア層などに代えて、単結晶シリコン層であってもよい。この場合は、SOI(Silicon on insulator)構造の基板を用い、この上に単結晶シリコンを更にエピタキシャル成長させることができる。その他、これらの薄膜と同様に単結晶シリコンと格子整合の良い薄膜上にエピタキシャル成長させる場合に限らず、それと同一材質のバルク(上述のサファイアウエハやシリコンウエハ、ゲルマニウムウエハなどの単結晶半導体)上にエピタキシャル成長させることもできる。

また、上述した段差4は基板1に形成する以外にも、第6A図に仮想線で示した厚みのサファイア層又はサファイア基板自体に形成することもできる。

以上説明したように、本発明によれば、単結晶シリコンと格子整合の良い物質層又は単結晶シリコン基板をシードにして、触媒CVD法によって単結晶シリコンの堆積を行うようにしたので、上記した物質層を低温で形成でき、更には、シリコンエピタキシャル成長時の加熱処理温度は低温でよいことから、低温で単結晶シリコン層を均一に形成することができる。

従って、歪点の比較的低いガラス基板やセラミックス基板、単結晶シリコン基板などの入手し易く、低コストで物性も良好な基板を用いることができ、また基

板の大型化も可能となる。また、結晶性サファイア層などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。単結晶シリコン層の電子移動度は、 $540 \text{ cm}^2 / \text{v} \cdot \text{sec}$ であって、単結晶シリコン基板並の大きな値が得られるため、高速で大電流密度のトランジスタをはじめ、高性能のダイオード、キャパシタ、抵抗等の半導体素子、或いはこれらを集積した電子回路をガラス基板等の上に作成することができる。

また、単結晶シリコンの低温成長が可能となるため、不純物のオートドーピングを防ぐことができ、工程を簡略化できる（すなわち、高濃度基板の裏面をシールする工程が不要となる）と共に、不純物の拡散量が減少するため、シリコンエピタキシャル層の品質を向上させることができる。更に、基板温度が低いため、加熱電源が小電力になり、また冷却機構が簡単になるので、シリコンエピタキシャル装置が安価になる。また、シラン等の反応ガスの反応効率が大きいため、省資源で環境への負荷が小さくなり、コストも低減させることができる。

産業上の利用可能性

以上のように本発明の単結晶シリコン層の形成方法及び半導体装置の製造方法によれば、歪点が比較的低い大型のガラス基板であっても、シリコン層を低温で均一にエピタキシャル成長させることができ、よって高速で大電流密度の半導体素子を作り込むことができる。

請求の範囲

1. 単結晶シリコンと格子整合する物質層上に、触媒CVD法によって単結晶シリコン層を形成する、単結晶シリコン層の形成方法。
2. 前記単結晶シリコン層を100～700℃で形成する、請求の範囲第1項記載の単結晶シリコン層の形成方法。
3. 前記触媒CVD法によって単結晶シリコン層を形成する際に、水素化ケイ素を主成分とするガスを加熱された触媒体に接触させて分解することにより、基板上に単結晶シリコン層を堆積させる、請求の範囲第1項記載の単結晶シリコン層の形成方法。
4. 前記水素化ケイ素としてシランを使用し、前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも1種の材料を使用する、請求の範囲第3項記載の単結晶シリコン層の形成方法。
5. 前記物質層をサファイア、スピネル構造体及びフッ化カルシウムからなる群より選ばれた物質で形成する、請求の範囲第1項記載の単結晶シリコン層の形成方法。
6. 前記物質層を単結晶半導体で形成する、請求の範囲第1項記載の単結晶シリコン層の形成方法。
7. 前記物質層の表面の酸化膜を除去した後に、前記単結晶シリコン層を形成する、請求の範囲第6項記載の単結晶シリコン層の形成方法。
8. 前記触媒CVD法によって単結晶シリコン層を形成する前に、水素ガスを加熱された触媒体に接触させ、これによって活性化された水素原子をエッチャントとして前記酸化膜をエッチングして除去する、請求の範囲第6項記載の単結晶シリコン層の形成方法。
9. 前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも1種の材料を使用する

、請求の範囲第8項記載の単結晶シリコン層の形成方法。

10. 前記物質層を絶縁基板上に形成する、請求の範囲第1項記載の単結晶シリコン層の形成方法。

11. 前記絶縁基板としてガラス基板を使用する、請求の範囲第10項記載の単結晶シリコン層の形成方法。

12. 前記単結晶シリコン層の成膜時に周期表3族又は5族の不純物元素を混入させ、これによって前記単結晶シリコン層の不純物種及び／又はその濃度を制御する、請求の範囲第1項記載の単結晶シリコン層の形成方法。

13. 基板上に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差を形成し、この段差を含む基板上に前記物質層を形成する、請求の範囲第1項記載の単結晶シリコン層の形成方法。

14. 前記段差をドライエッチングで形成する、請求の範囲第13項記載の単結晶シリコン層の形成方法。

15. 前記物質層に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差を形成する、請求の範囲第1項記載の単結晶シリコン層の形成方法。

16. 前記段差をドライエッチング法により形成する、請求の範囲第15項記載の単結晶シリコン層の形成方法。

17. 単結晶シリコンと格子整合する物質層上に、触媒CVD法によって単結晶シリコン層を形成する工程と、

前記単結晶シリコン層に所定の処理を施して半導体素子を作製する工程とを有する、半導体装置の製造方法。

18. 前記単結晶シリコン層を絶縁ゲート型電界効果トランジスタのチャンネル領域、ソース領域及びドレイン領域に適用し、これら各領域の周期表3族又は5族の不純物種及び／又はその濃度を制御する、請求の範囲第17項記載の半導体装置の製造方法。

19. 前記単結晶シリコン層を100～700℃で形成する、請求の範囲第17項記載の半導体装置の製造方法。

20. 前記触媒CVD法によって単結晶シリコン層を形成する際に、水素化ケイ素を主成分とするガスを加熱された触媒体に接触させて分解することにより、

基板上に単結晶シリコン層を堆積させる、請求の範囲第 1 7 項記載の半導体装置の製造方法。

2 1. 前記水素化ケイ素としてシランを使用し、前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも 1 種の材料を使用する、請求の範囲第 2 0 項記載の半導体装置の製造方法。

2 2. 前記物質層をサファイア、スピネル構造体及びフッ化カルシウムからなる群より選ばれた物質で形成する、請求の範囲第 1 7 項記載の半導体装置の製造方法。

2 3. 前記物質層を単結晶ゲルマニウム等の単結晶半導体で形成する、請求の範囲第 1 7 項記載の半導体装置の製造方法。

2 4. 前記物質層の表面の酸化膜を除去した後に、前記単結晶シリコン層を形成する、請求の範囲第 2 3 項記載の半導体装置の製造方法。

2 5. 前記触媒 C V D 法によって単結晶シリコン層を形成する前に、水素ガスを加熱された触媒体に接触させ、これによって活性化された水素原子をエッチャントとして前記酸化膜をエッチングして除去する、請求の範囲第 2 4 項記載の半導体装置の製造方法。

2 6. 前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも 1 種の材料を使用する、請求の範囲第 2 5 項記載の半導体装置の製造方法。

2 7. 前記物質層を絶縁基板上に形成する、請求の範囲第 1 7 項記載の半導体装置の製造方法。

2 8. 前記絶縁基板としてガラス基板を使用する、請求の範囲第 2 7 項記載の半導体装置の製造方法。

2 9. 前記単結晶シリコン層の成膜時に周期表 3 族又は 5 族の不純物元素を混入させ、これによって前記単結晶シリコン層の不純物種及び／又はその濃度を制御する、請求の範囲第 1 7 項記載の半導体装置の製造方法。

30. 基板上に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差を形成し、この段差を含む前記基板上に前記物質層を形成する、請求の範囲第17項記載の半導体装置の製造方法。

31. 前記段差をドライエッチングで形成する、請求の範囲第30項記載の半導体装置の製造方法。

32. 前記物質層に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差を形成する、請求の範囲第17項記載の半導体装置の製造方法。

33. 前記段差をドライエッチングで形成する、請求の範囲第32項記載の半導体装置の製造方法。

34. 単結晶シリコン基板上に、触媒CVD法によって単結晶シリコン層を形成する、単結晶シリコン層の形成方法。

35. 前記単結晶シリコン層を100～700℃で形成する、請求の範囲第34項記載の単結晶シリコン層の形成方法。

36. 前記触媒CVD法によって単結晶シリコン層を形成する際に、水素化ケイ素を主成分とするガスを加熱された触媒体に接触させて分解することにより、前記単結晶シリコン基板上に単結晶シリコン層を堆積させる、請求の範囲第34項記載の単結晶シリコン層の形成方法。

37. 前記水素化ケイ素としてシランを使用し、前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも1種の材料を使用する、請求の範囲第36項記載の単結晶シリコン層の形成方法。

38. 前記単結晶シリコン基板の表面の酸化膜を除去した後に、前記単結晶シリコン層を形成する、請求の範囲第34項記載の単結晶シリコン層の形成方法。

39. 前記触媒CVD法によって単結晶シリコン層を形成する前に、水素ガスを加熱された触媒体に接触させ、これによって活性化された水素原子をエッチャントとして前記酸化膜をエッチングして除去する、請求の範囲第38項記載の単結晶シリコン層の形成方法。

40. 前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも1種の材料を使用する、請求の範囲第39項記載の単結晶シリコン層の形成方法。

41. 前記単結晶シリコン層の成膜時に周期表3族又は5族の不純物元素を混入させ、これによって前記単結晶シリコン層の不純物種及び／又はその濃度を制御する、請求の範囲第34項記載の単結晶シリコン層の形成方法。

42. 前記単結晶シリコン基板の上に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差を形成する、請求の範囲第34項記載の単結晶シリコン層の形成方法。

43. 前記段差をドライエッチングで形成する、請求の範囲第42項記載の単結晶シリコン層の形成方法。

44. 単結晶シリコン基板の上に、触媒CVD法によって単結晶シリコン層を形成する工程と、

前記単結晶シリコン層に所定の処理を施して半導体素子を作製する工程とを有する、半導体装置の製造方法。

45. 前記単結晶シリコン層に、絶縁ゲート型電界効果トランジスタのチャンネル領域、ソース領域及びドレイン領域を形成し、これら各領域の周期表3族又は5族の不純物種及び／又はその濃度を制御する、請求の範囲第44項記載の半導体装置の製造方法。

46. 前記単結晶シリコン層を100～700℃で形成する、請求の範囲第44項記載の半導体装置の製造方法。

47. 前記触媒CVD法によって単結晶シリコン層を形成する際に、水素化ケイ素を主成分とするガスを加熱された触媒体に接触させて分解することにより、前記単結晶シリコン基板の上に前記単結晶シリコン層を堆積させる、請求の範囲第44項記載の半導体装置の製造方法。

48. 前記水素化ケイ素としてシランを使用し、前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群よ

り選ばれた少なくとも1種の使用材料を使用する、請求の範囲第47項記載の半導体装置の製造方法。

49. 前記単結晶シリコン基板の表面の酸化膜を除去した後に、前記単結晶シリコン層を形成する、請求の範囲第44項記載の半導体装置の製造方法。

50. 前記触媒CVD法によって単結晶シリコン層を形成する前に、水素ガスを加熱された触媒体に接触させ、これによって活性化された水素原子をエッチャントとして前記酸化膜をエッチングして除去する、請求の範囲第49項記載の半導体装置の製造方法。

51. 前記触媒体としてタングステン、酸化トリウムを含有するタングステン、モリブデン、白金、パラジウム、シリコン、アルミナ、金属を付着したセラミックス、及び炭化ケイ素からなる群より選ばれた少なくとも1種の使用材料を使用する、請求の範囲第50項記載の半導体装置の製造方法。

52. 前記単結晶シリコン層の成膜時に周期表3族又は5族の不純物元素を混入させ、これによって前記単結晶シリコン層の不純物種及び/又はその濃度を制御する、請求の範囲第44項記載の半導体装置の製造方法。

53. 前記単結晶シリコン基板の上に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差を形成する、請求の範囲第44項記載の半導体装置の製造方法。

54. 前記段差をドライエッチングにより形成する、請求の範囲第53項記載の半導体装置の製造方法。

55. 絶縁基板上に単結晶シリコンと格子整合する物質層が形成され、この物質層上に単結晶シリコン層が形成され、この単結晶シリコン層が半導体素子を構成している半導体装置。

56. 前記単結晶シリコン層が絶縁ゲート型電界効果トランジスタのチャンネル領域、ソース領域及びドレイン領域を構成し、これら各領域の周期表3族又は5族の不純物種及び/又はその濃度が制御されている、請求の範囲55項記載の半導体装置。

57. 前記物質層がサファイア、スピネル構造体及びフッ化カルシウムからなる群より選ばれた物質で形成されている、請求の範囲55項記載の半導体装置。

58. 前記物質層が単結晶シリコンで形成されている、請求の範囲55項記載の半導体装置。

59. 前記単結晶シリコンからなる前記物質層の表面の酸化膜が除去されている、請求の範囲58項記載の半導体装置。

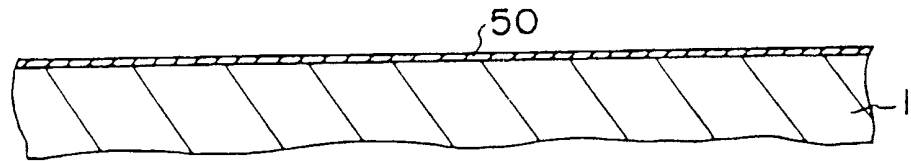
60. 前記絶縁基板としてガラス基板が使用されている、請求の範囲55項記載の半導体装置。

61. 前記単結晶シリコン層に周期表3族又は5族の不純物元素が混入され、これによって前記単結晶シリコン層の不純物種及び／又はその濃度が制御されている、請求の範囲55項記載の半導体装置。

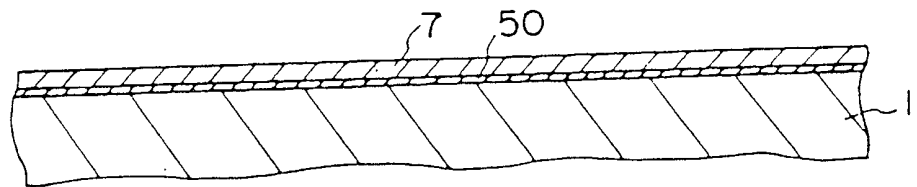
62. 基板上に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差が形成され、この段差を含む前記基板上に前記物質層が形成されている、請求の範囲55項記載の半導体装置。

63. 前記物質層に、前記単結晶シリコン層のエピタキシャル成長のシードとなる段差が形成されている、請求の範囲55項記載の半導体装置。

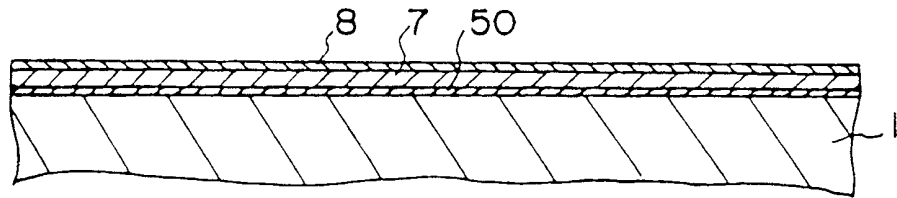
第1A図



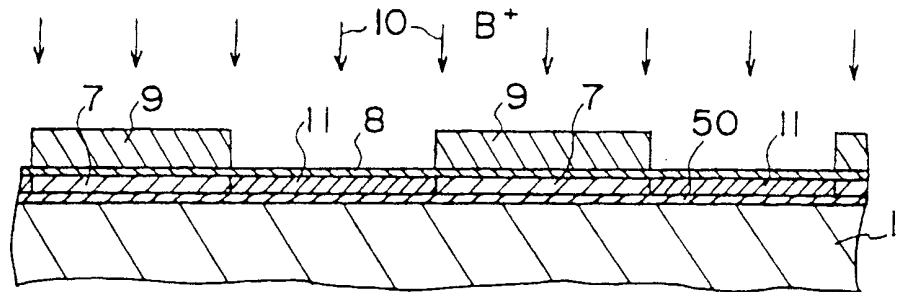
第1B図



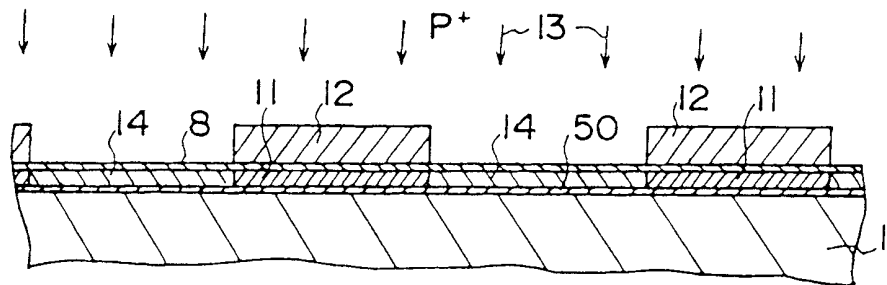
第2A图



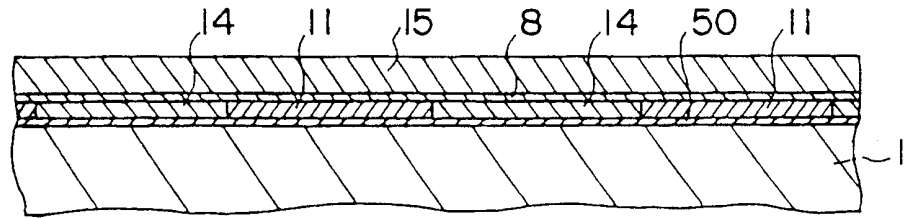
第2B图



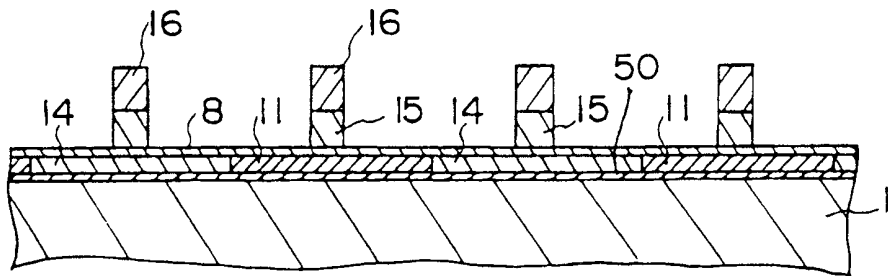
第2C图



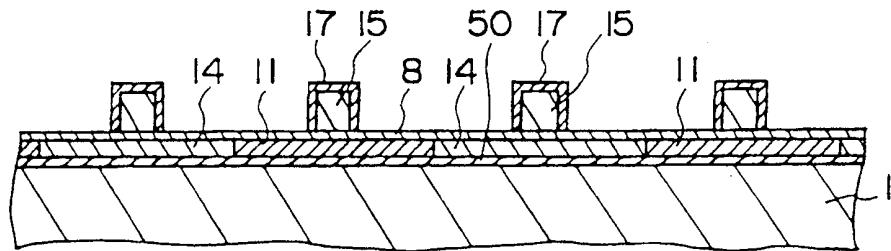
第3A图



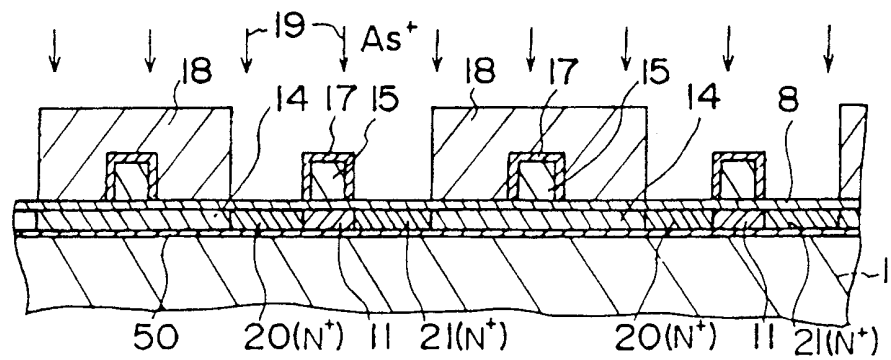
第3B图



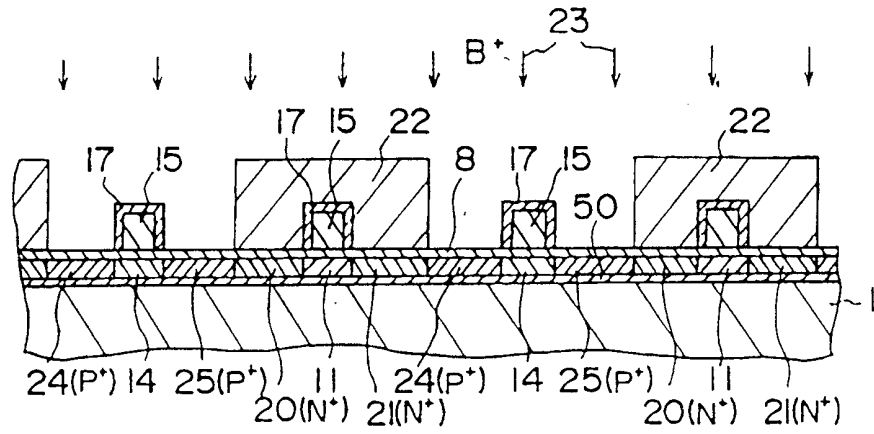
第3C图



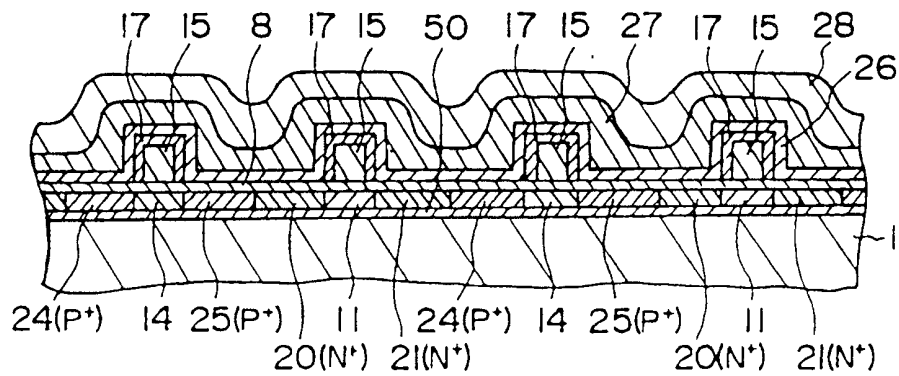
第3D图



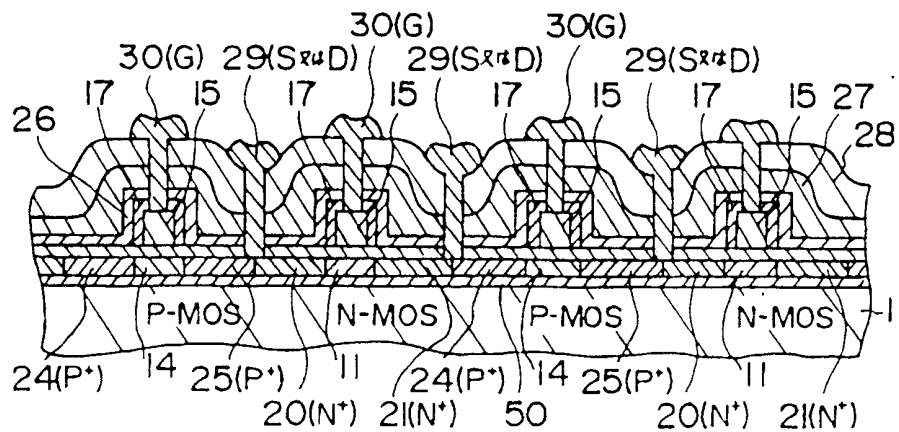
第4A图



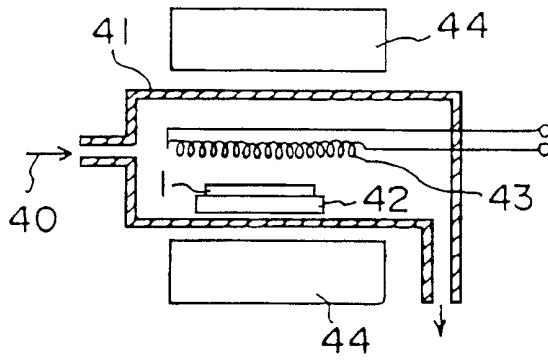
第4B图



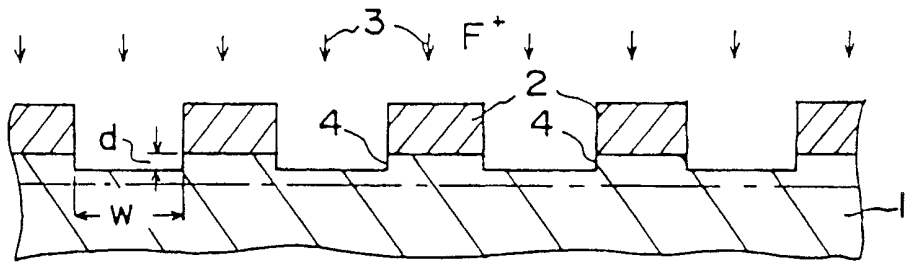
第4C图



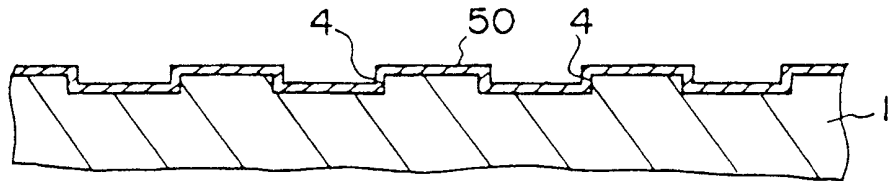
第5図



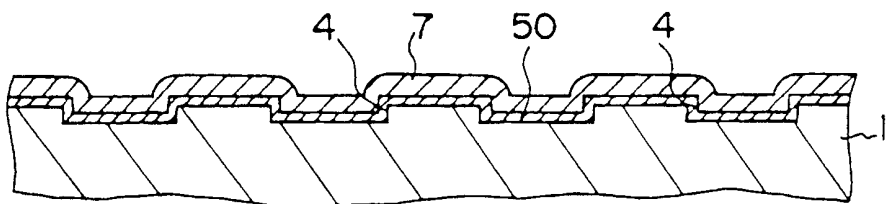
第6A図



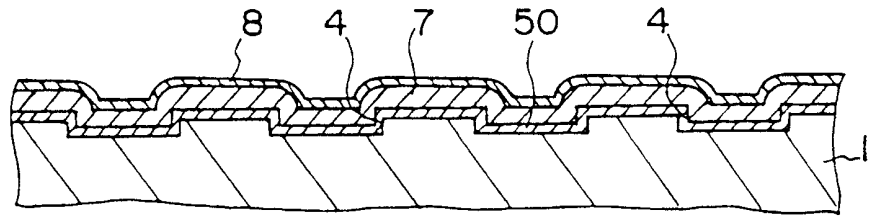
第6B図



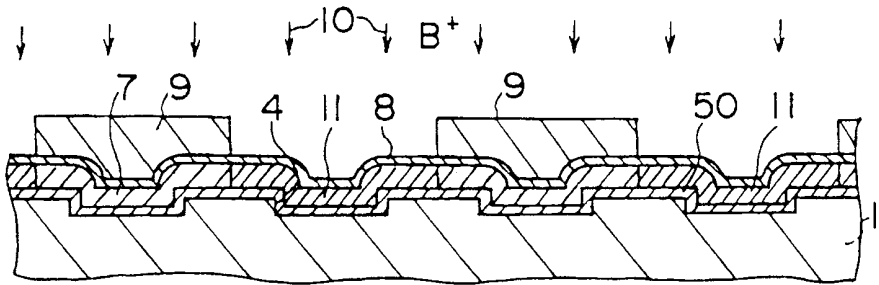
第6C図



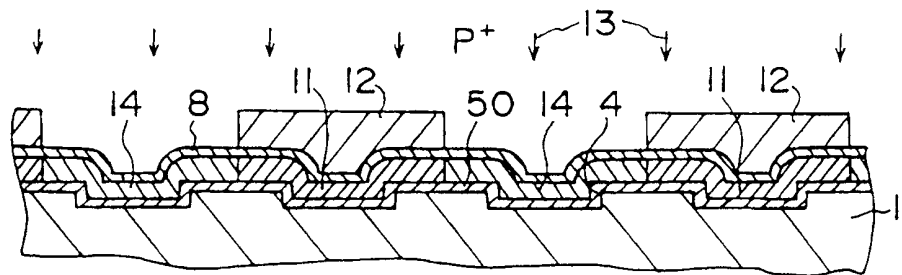
第7A图



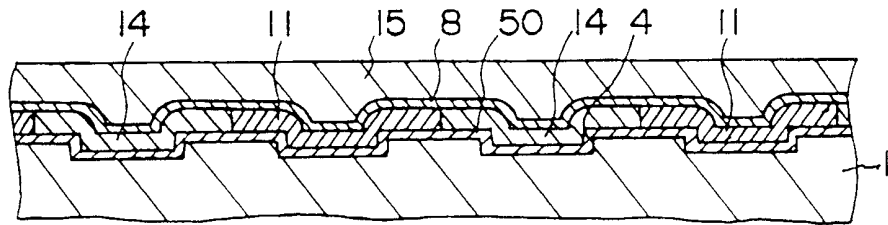
第7B图



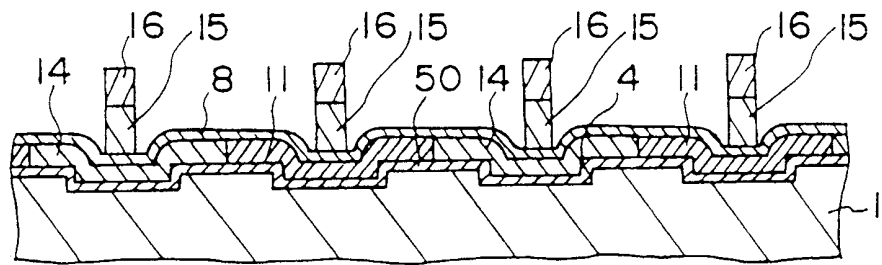
第7C图



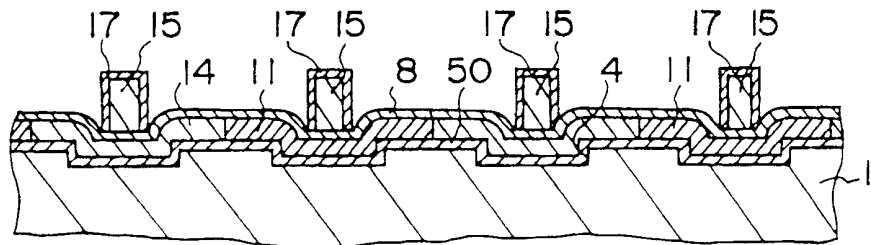
第8A図



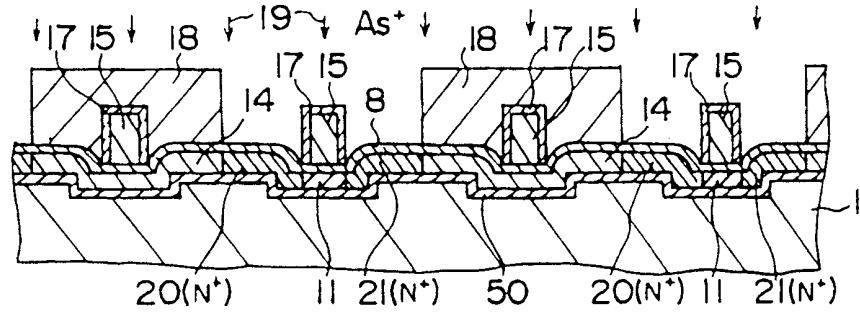
第8B図



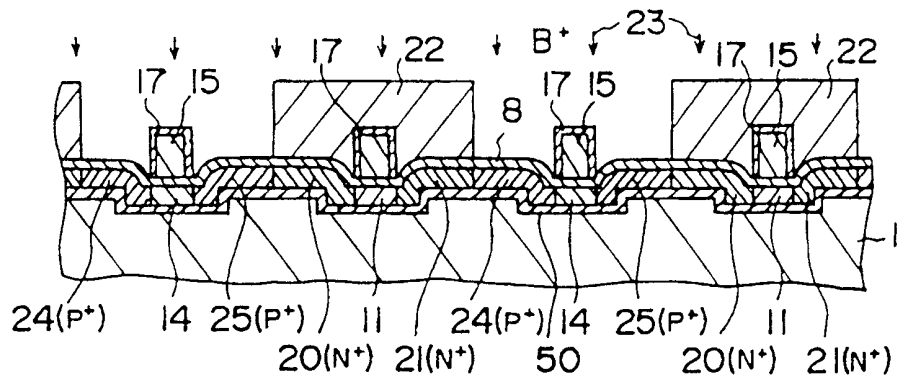
第8C図



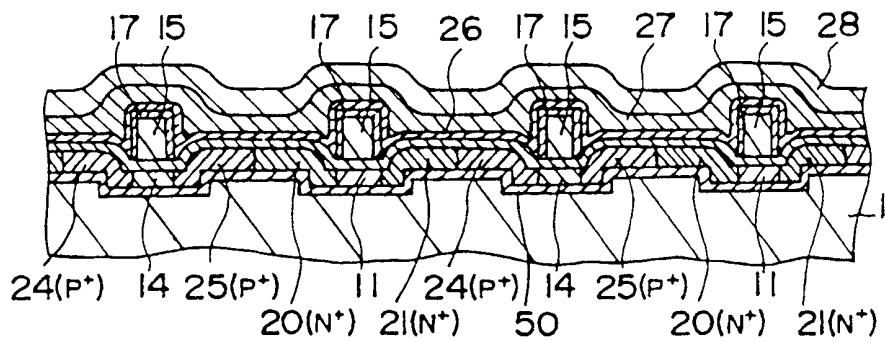
第9A图



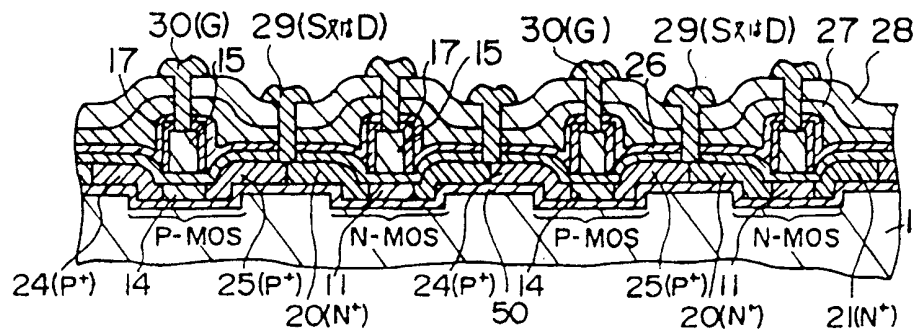
第9B图



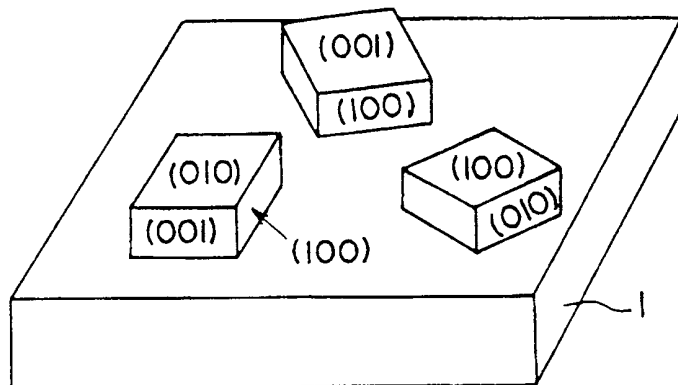
第9C图



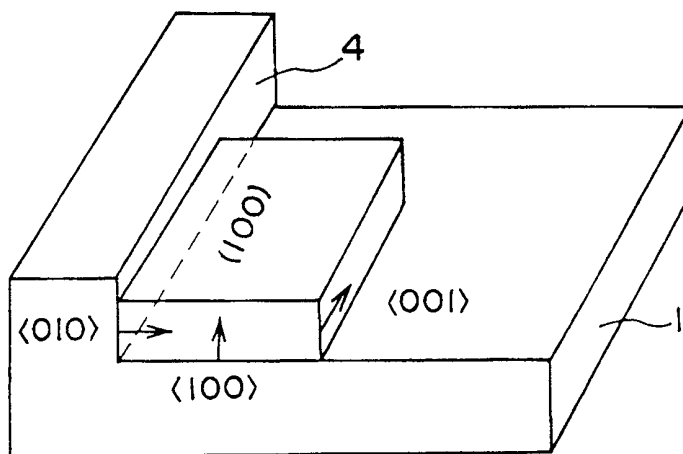
第9D图



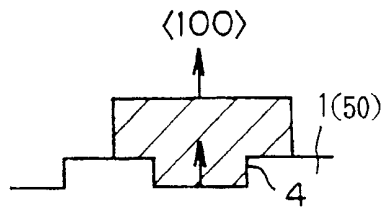
第10A図



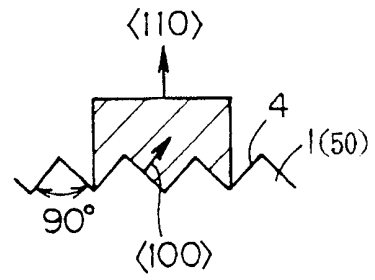
第10B図



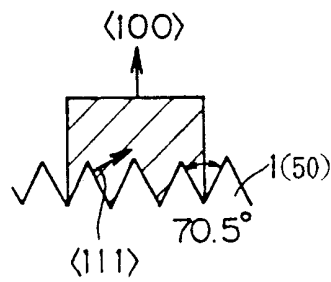
第11A図



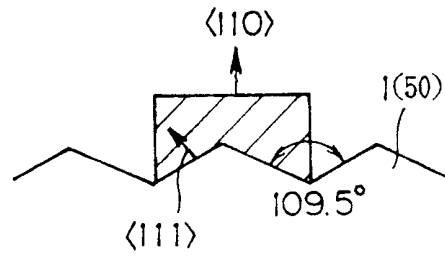
第11B図



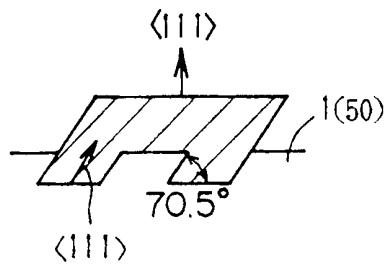
第11C図



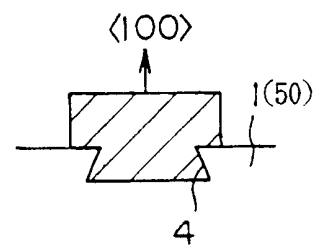
第11D図



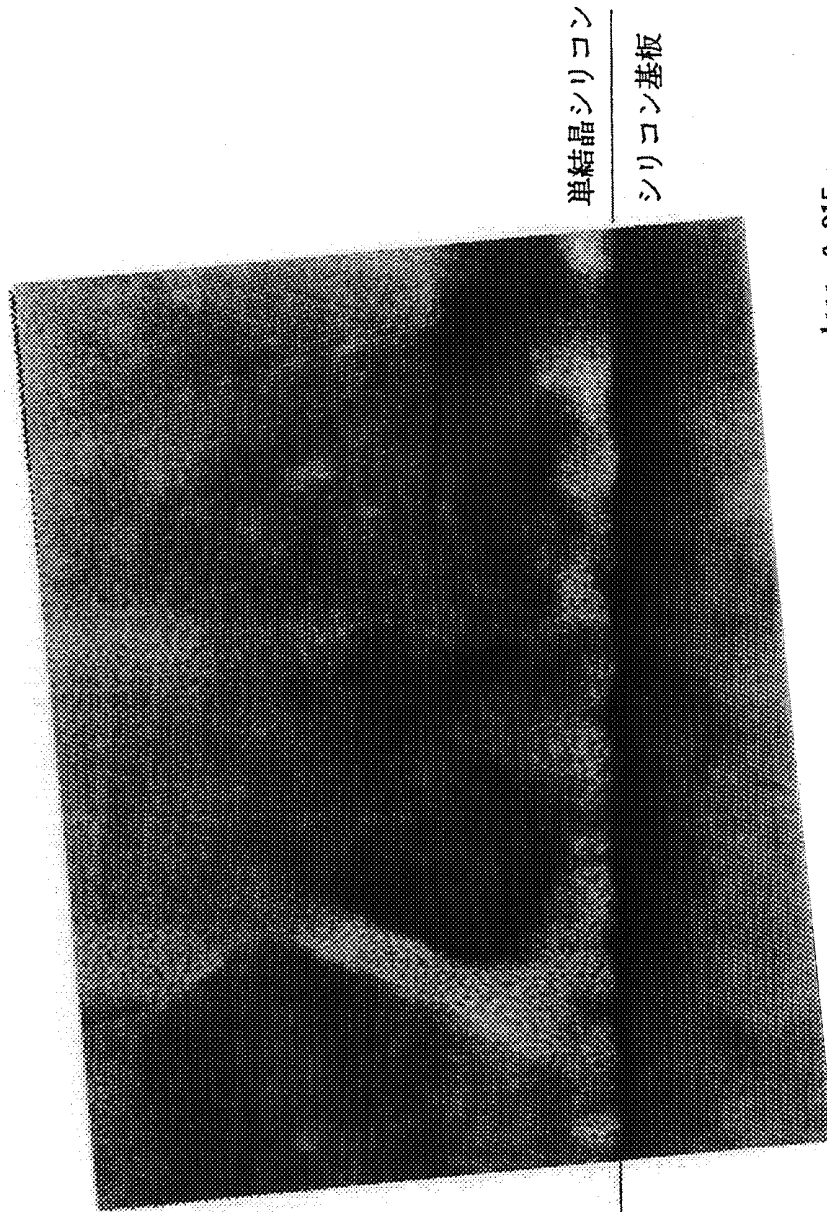
第11E図



第11F図



第12図

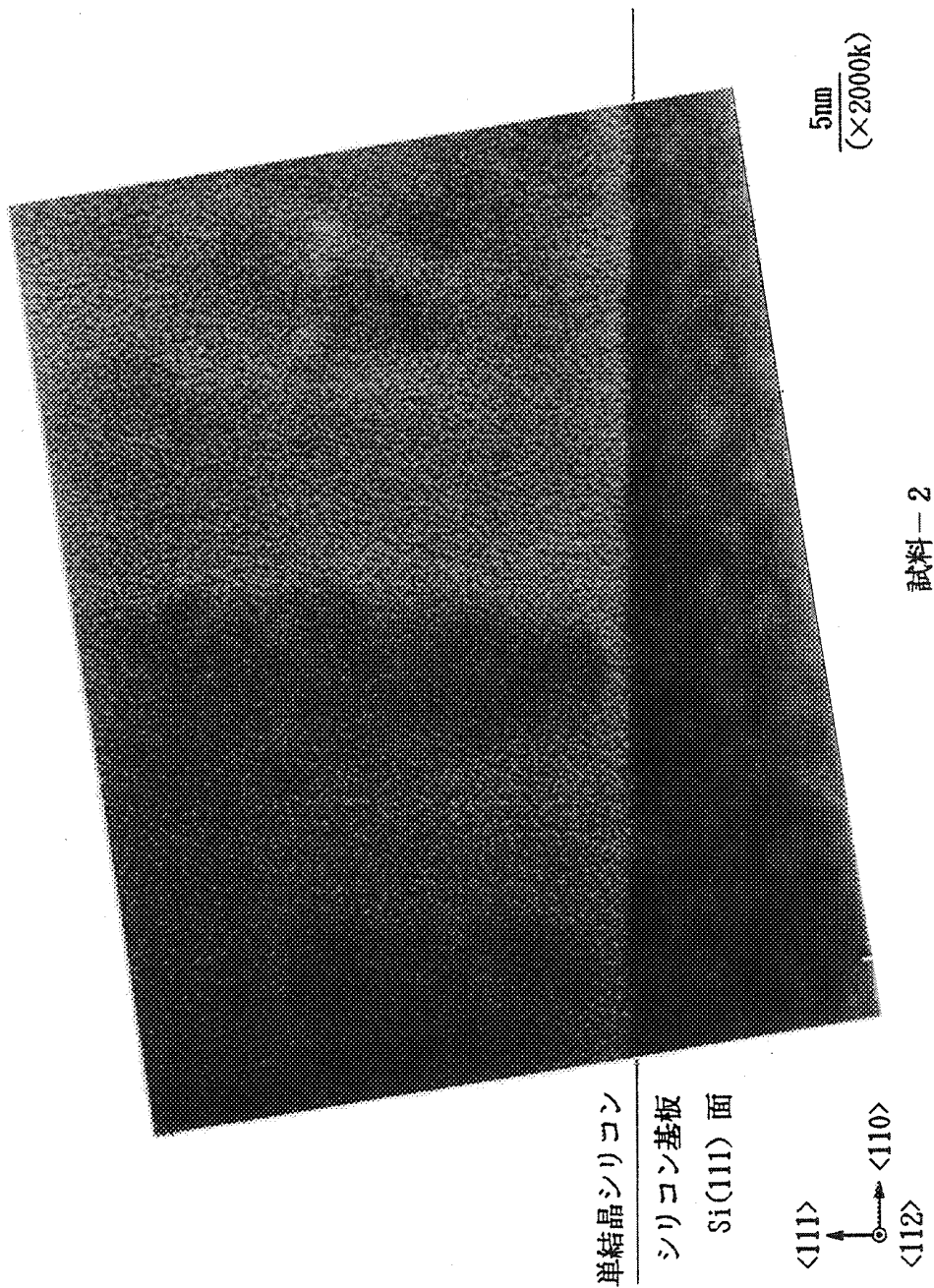


単結晶シリコン
シリコン基板

d111 = 0.315nm

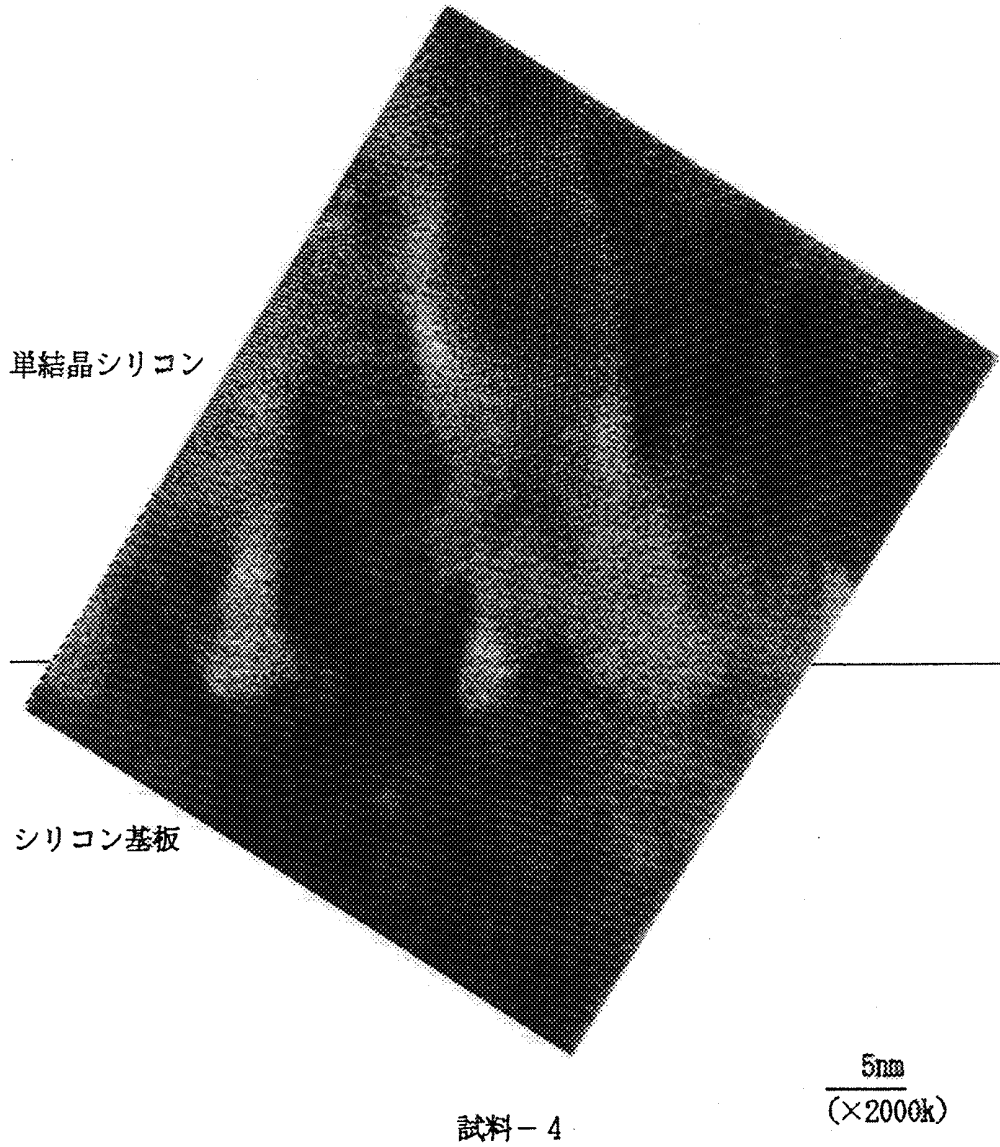
試料-1

第13図



13/13

第14図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/03522

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁶ H01L21/205</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																	
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁶ H01L21/205, C30B25/00-25/22, C23C16/24, C23C16/44</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																	
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP, 08-250438, A (Research Development Corp. of Japan), 27 September, 1996 (27. 09. 96), All references (Family: none)</td> <td>1-63</td> </tr> <tr> <td>A</td> <td>JP, 09-50960, A (Semiconductor Energy Laboratory Co., Ltd.), 18 February, 1997 (18. 02. 97), All references & KR, 97013401, A</td> <td>1-63</td> </tr> <tr> <td>A</td> <td>JP, 09-129558, A (NEC Corp.), 16 May, 1997 (16. 05. 97), All references & EP, 772230, A</td> <td>1-63</td> </tr> <tr> <td>A</td> <td>JP, 63-40314, A (President of Hiroshima University), 20 February, 1988 (20. 02. 88), All references (Family: none)</td> <td>1-63</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	JP, 08-250438, A (Research Development Corp. of Japan), 27 September, 1996 (27. 09. 96), All references (Family: none)	1-63	A	JP, 09-50960, A (Semiconductor Energy Laboratory Co., Ltd.), 18 February, 1997 (18. 02. 97), All references & KR, 97013401, A	1-63	A	JP, 09-129558, A (NEC Corp.), 16 May, 1997 (16. 05. 97), All references & EP, 772230, A	1-63	A	JP, 63-40314, A (President of Hiroshima University), 20 February, 1988 (20. 02. 88), All references (Family: none)	1-63
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
A	JP, 08-250438, A (Research Development Corp. of Japan), 27 September, 1996 (27. 09. 96), All references (Family: none)	1-63															
A	JP, 09-50960, A (Semiconductor Energy Laboratory Co., Ltd.), 18 February, 1997 (18. 02. 97), All references & KR, 97013401, A	1-63															
A	JP, 09-129558, A (NEC Corp.), 16 May, 1997 (16. 05. 97), All references & EP, 772230, A	1-63															
A	JP, 63-40314, A (President of Hiroshima University), 20 February, 1988 (20. 02. 88), All references (Family: none)	1-63															
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>																	
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>																	
<p>Date of the actual completion of the international search 28 September, 1999 (28. 09. 99)</p>		<p>Date of mailing of the international search report 5 October, 1999 (05. 10. 99)</p>															
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>															
<p>Facsimile No.</p>		<p>Telephone No.</p>															

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03522

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-167893, A (Sony Corp.), 23 June, 1998 (23. 06. 98), All references & EP, 838865, A	1-63

A. 発明の属する分野の分類 (国際特許分類 (IPC))	
Int. Cl ^o H01L21/205	
B. 調査を行った分野	
調査を行った最小限資料 (国際特許分類 (IPC))	
Int. Cl ^o H01L21/205, C30B25/00-25/22, C23C16/24, C23C16/44	
最小限資料以外の資料で調査を行った分野に含まれるもの	
日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-1999年 日本国登録実用新案公報 1994-1999年 日本国実用新案登録公報 1996-1999年	
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)	
C. 関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示
A	J P, 08-250438, A (新技術事業団) 27. 9月. 1996 (27. 09. 96) 全文献 (ファミリーなし)
A	J P, 09-50960, A (株式会社半導体エネルギー研究所) 18. 2月. 1997 (18. 02. 97) 全文献&KR, 7013401, A
A	J P, 09-129558, A (日本電気株式会社) 16. 5月. 1997 (16. 05. 97) 全文献&EP, 772230, A
A	J P, 63-40314, A (広島大学長) 20. 2月. 198
	関連する 請求の範囲の番号
	1-63
	1-63
	1-63
	1-63
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
国際調査を完了した日 28. 09. 99	国際調査報告の発送日 05.10.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 増山 剛 印 電話番号 03-3581-1101 内線 3470
	4 R 7726

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	8 (20. 02. 88) 全文献 (ファミリなし) JP, 10-167893, A (ソニー株式会社) 23. 6月. 1998 (23. 06. 98) 全文献&EP, 838865, A	1-63