[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 9/38 (2006.01)
G06F 9/30 (2006.01)

[12] 发明专利说明书

专利号 ZL 200580013604.9

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100437472C

[22] 申请日 2005.4.21
[21] 申请号 200580013604.9
[30] 优先权
[32] 2004. 4.27 [33] EP [31] 04101748.4
[86] 国际申请 PCT/IB2005/051312 2005.4.21
[87] 国际公布 WO2005/103885 英 2005.11.3
[85] 进入国家阶段日期 2006.10.27
[73] 专利权人 NXP 股份有限公司
地址 荷兰艾恩德霍芬
[72] 发明人 A·J·宾克
M·N·O·德克勒克
[56] 参考文献
CN1109967C 2003.5.28
US5574925A 1996.11.12
US2002/0156995A1 2002.10.24
EP0598471A1 1994.5.25
审查员 张 勇
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 王波波

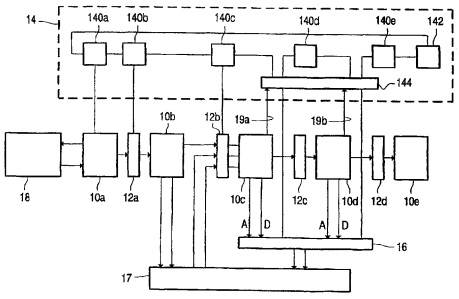
权利要求书 3 页 说明书 13 页 附图 4 页

[54] 发明名称

流水线异步指令处理器电路

[57] 摘要

一种数据处理电路包含带有写端口的寄存器文件(17)和指令处理器级(10a－d)的流水线。 定时电路(14)被布置成在所述级之间在相互不同的时间点时间传输指令依赖信息，从而在各自级中的连续指令的处理部分地重叠。 级(10c，d)的第一和第二个在流水线中串联。 所述级的第一和第二个均具有用于将结果写到所述写端口的结果输出，如果所关注级(10c，d)中的指令依赖信息要求写的话。写排序电路(144)执行交替地用于所述级(10c，d)的第一和第二个中的指令依赖信息的写测试，当写排序电路(144)执行用于所述级(10c，d)的特定一个的写测试时，它测试所述级(10c，d)的特定一个中的指令依赖信息是否要求写入结果。 如果是这样的话，写排序电路(144)延迟新的指令依赖信息通过流水线(10a－d)传输到所述级(10c，d)的特定一个，直到在随后交付所述写端口写的任何结果之前交付所述写端口写所述结果。



1. 一种带有流水线异步指令处理器的数据处理电路，所述数据处理电路包括

- 带有写端口的寄存器文件（17）;

- 指令处理级（19a-d）的流水线，如果相关指令处理级（10c，d）中的指令依赖信息要求写，则在流水线中串联的级（10c，d）的第一和第二个均具有用于将结果写到所述写端口的结果输出;

- 定时电路（14），其被布置成在所述指令处理级之间在相互不同的时间点时间传输指令依赖信息，从而在各自级中的连续指令的处理部分地重叠;

- 写排序电路（144），其被布置成对于所述指令处理级（10c，d）的第一和第二个中的指令依赖信息交替地执行写测试，当对于所述指令处理级（10c，d）的特定一个执行写测试时，所述写排序电路（144）测试所述指令处理级（10c，d）的特定一个中的指令依赖信息是否要求写入第一结果，如果是这样的话，则延迟新的指令依赖信息通过流水线（10a-d）传输到所述指令处理级（10c，d）的特定一个，直到在随后交付所述写端口写入其它结果之前，已经交付所述写端口写入所述第一结果。

2. 根据权利要求 1 的数据处理电路，其中所述写排序电路（144）被布置成响应用于传输来自所述指令处理级（10c，d）的特定一个的指令依赖信息的请求信号，来触发所述指令处理级（10c，d）的每个特定 指令处理级中的写测试，并延迟用于将新的指令依赖信息传输到所述指令处理级的特定一个的请求信号，直到已开始写入结果并且指令依赖信息已从所述指令处理级（10c，d）的特定一个中被传输。

3. 根据权利要求 2 的数据处理电路，其中所述定时电路（14）被布置用于开始指令依赖信息的连续传输的重复周期，其中对于沿着流水线连续地位于更上游的一系列级（10a-d）来连续定时在每个周期中的传输，响应在所述系列的上游端从先前的周期的传输，所述定时电路（14）在所述系列的下游端开始每个周期。

4. 根据权利要求 3 的数据处理电路，其中所述定时电路（14）包括

- 定时信号传输电路（140a-e）的链路，用于通过所述链路传播定时信号，连续接收传播定时信号的所述链路中的定时信号传输电路（140a-e）具有分别连续耦连到该系列中更上游的级（10a-d）的输出以控制指令依赖信息的传输；

- 功能上位于所述链路中的条件延迟元件（144），以将定时信号传播到定时信号传输电路（140a-e），其具有输出以分别控制指令依赖信息传输到所述指令处理级（10c，d）的第一和第二个，所述条件延迟元件包括

- 第一和第二定时信号路径（（20a，22a），（22a，22b），（20a，22a，24，26），（20b，22b，24，26）），所述条件延迟元件通过第一路径（（20a，22a，24，26），（20b，22b，24，26））或第二路径（（20a，22a），（22a，22b））对定时信号进行路由传送，这取决于相应阶段中的指令依赖信息是否分别要求写入结果，第一路径（（20a，22a，24，26），（20b，22b，24，26））包括使能电路（26），该使能电路被布置成根据写端口是否能够交付结果的写入来使能定时信号的传播。

5. 根据权利要求 1 的数据处理电路，其中所述指令处理级（10c，d）的第一个被布置成至少响应第一类型的指令来输出多个结果，每个写测试包括测试所述指令处理级（10c，d）的特定一个中的指令依赖信息是否要求写入多个结果，如果是这样的话，则延迟新的指令依赖信息通过流水线传输到所述指令处理级的特定一个，直到在随后的结果之前已经交付所述写端口用于写入所有所述多个结果。

6. 根据权利要求 1 的数据处理电路，其中所述指令处理级（10c）的第一个是执行级，其被布置成使用由所述指令指定的操作数来执行指令选择的算术运算，所述指令处理级（10d）的第二个是存储器级，其被布置成使用由所述指令指定的地址访问存储器，所述指令处理级（10c，d）的第一和第二个被布置成当分别执行算术和存储器访问指令时将结果写到寄存器文件（17）。

7. 根据权利要求 1 的数据处理电路，其中执行级（10c）被布置成当执行第一类型的存储器访问指令时，更新由第一类型的存储器访问指令指定的存储器地址，并且将从所述更新产生的更新地址作为结果写到寄

存器文件（17）的写端口。

8. 根据权利要求 1 的数据处理电路，其中所述数据处理电路被布置成执行的指令集包括第一和第二类型的指令，执行级的第一和第二个被布置成分别响应第一和第二类型的指令写入结果。

9. 根据权利要求 8 的数据处理电路，其中第一类型的指令包括第一和第二子集，第一子集的每个指令是第一和第二类型的，来自第二子集的指令不导致所述指令处理级（10d）的第二个被布置用于写入结果。

10. 根据权利要求 1 的数据处理电路，其中所述写排序电路（14）被布置成通过测试所述指令处理级（10c，d）的特定一个中的指令依赖信息以确定是否需要写入结果，从而执行写测试。

11. 一种执行指令程序的方法，所述方法使用带有流水线异步指令处理器的数据处理电路，所述数据处理电路具有带有写端口的寄存器文件（17）和指令处理级（10a-d）的流水线，其中如果相关指令处理级（10c，d）中的指令依赖信息要求写的话，则级（10c，d）中的第一和第二个均具有用于将结果写到所述写端口的结果输出，所述方法包括:

- 以流水线方式执行指令，通过流水线传输指令依赖信息的定时对于不同级（10a-d）是不同的，从而在各自级中的连续指令的处理部分地重叠;

- 对于所述指令处理级（10c，d）的第一和第二个中的指令依赖信息交替地执行写测试，执行所述写测试包括测试所述指令处理级（10c，d）的特定一个中的指令依赖信息是否要求写入第一结果，并且如果是这样的话，则

- 延迟新的指令依赖信息通过流水线传输到所述指令处理级（10c，d）的特定一个，直到在随后交付所述写端口写入的其它结果之前，已经交付所述写端口写入所述第一结果。

流水线异步指令处理器电路

技术领域

本发明涉及带有流水线异步指令处理器的数据处理电路。

背景技术

指令执行流水线操作是计算机中的传统技术，其包括使用指令处理器，该指令处理器包含用于执行指令处理的各个步骤的多个级。典型步骤包括取指令步骤，指令解码/取操作数步骤，执行（计算）步骤和结果回写步骤。所述级根据汇编行原理并联地操作，从而较早级执行用于第一指令的一个步骤，而随后的级使用较早级为较早指令产生的部分结果执行用于较早指令的后继步骤。多数现代指令处理器用同步电路执行，也就是说，其中所有级在相同中央时钟的控制下操作的电路，在时钟周期结束时所有指令一起向下游移动一个级。

美国专利申请 No.2002/0156995 公开了一种流水线异步指令处理器。在该处理器中不使用中央时钟。而是改为，仅仅当第一级必须更新提供给下一级的信息时相邻级彼此同步。在汇编行的类推中，不同于使用一个传送带同时将指令从所有级移动到下一级，每个级选择其自己的时间何时所述级完成指令并且下一级自由接纳指令。典型地，握手信号被交换以指示第一级具有可用信息并且下一级准备接收新信息。

除了使用串联异步级之外美国专利申请 No.2002/0156995 也使用多个不同的并联执行级作为用于相同流水线级的替代选择，这使得有可能开始执行一个指令的执行步骤，即使较早指令的执行步骤仍未完成。

然而，指令程序典型地假设指令结果按照指令出现的顺序被写到寄存器文件。这传统上通过在流水线中提供回写级得以保证，指令顺序地通过所述级并且所述级将结果写到寄存器文件。美国专利申请 No.2002/0156995 将该技术应用于异步流水线。尽管实际结果可能次序颠倒地从不同级提供给寄存器文件，回写级确定结果被写到寄存器文件的顺序。为了该目的回写级使用队列电路连续地接收和输出指

令。回写级从所述队列读取指令，一旦读取一个指令，导致在进入下一个指令之前其结果被写到寄存器文件。

类似的技术记载于 S.B. Furber, D.A. Edwards 和 J.D. Garside 的标题为“Amulet3: a 100 MIPS Asynchronous Embedded Processor”文章中，其公开于 2000 IEEE International Conference on Computer Design: VLSI in Computers & Processors (ICCD'100) September 17-20, 2000。该文章认为处理器执行带有两种类型的指令的程序：存储器访问指令和不需要访问存储器的处理器内部指令。在流水线的一些级存储器访问指令与“内部”指令并行地被执行。结果，可能关于内部指令的结果次序颠倒地产生装入指令的结果。该文章也提供了有序回写。使用重排缓冲器执行回写功能。指令解码器为每个指令在重排缓冲器中分配其自己的位置。一旦产生结果它被写到分配给其指令的位置。处理按照指令的顺序依次等待每个结果并且将结果向回复制到寄存器文件。

尽管这些处理器因此保证了以合适的顺序将结果写到寄存器文件，它们是以相当大的开销为代价实现的：需要提供回写级跟踪所有指令和它们结果的可用性。

发明内容

除了别的以外，本发明的目标是提供一种带有流水线异步指令处理器的电路，其中在不需要使用重排缓冲器的情况下保证将结果写到寄存器文件的预定顺序。

在权利要求 1 中阐述了根据本发明的电路。在该电路中提供了流水线的至少两个连续级以通过相同的写端口将结果写到寄存器文件。写排序电路保证了流水线的这些连续级每个获得写入结果的机会，如果所述级中的指令要求这样的话。

写排序电路保证以预定的、无限重复的顺序给予所述机会，从而在另一级响应下一序列中的下一指令获得下一次写的机会之前，能够写入结果的每个级响应其依次在每个序列中的当前指令获得写的机会。这保证了写的序列对应于程序中的指令序列。异步级中的定时自由并不导致不可预测的写序列。如果一个级中的指令要求所述级写，写排序电路阻止新指令传输到所述级，直到写端口已经交付写入结

果，从而在写电路随后交付的结果之前写所述结果。（当在这里使用时，交付（committing）可以包括实际写到寄存器文件，或者将结果装入到流水线或者任何其它机构中，通过所述流水线结果按照装入的顺序被写到寄存器文件，所述其它机构保证按照交付不同结果的顺序写入结果）。这或多或少地类似于时钟中的擒纵机构操作，在另一个写级前进之前防止进程在一个写级通过流水线，反之亦然。

写排序电路可以与各种不同的异步定时电路组合以用于时间传输通过流水线的指令信息。在一个实施方式中使用反向排序电路，其中发生传输波，每个波包括到沿着流水线连续处于更上游的级的传输，每个波由前一波到达流水线的起点或者流水线部分触发。如果一个级中的指令要求写并且写端口未准备好接受结果，通过有条件地延迟波的传播，在该实施方式中写排序电路可以作为定时电路的一部分被包含以用于通过流水线时间传输指令信息。

在另一实施方式中，定时电路包括连续级之间的握手－接口，以当下游级准备好用于下一指令并且上游级具有可用指令时开始传输。在该实施方式和前一实施方式中可以使用类似于时钟的擒纵机构操作的独立的写排序电路。

在进一步的实施方式中特殊级写的机会的定时与所述特殊级之外的指令信息传输到流水线中的下一级相联系。新指令信息传输到所述特殊级中被阻止直到所述指令信息已传输到下一级并且已开始写入结果。

在另一实施方式中一些指令可能要求写来自相同级的多个结果。在该情况中写排序电路优选地保证在所述机会按顺序给予下一个级之前至少已开始写所有结果。

在一个实施方式中从每个级写的多个结果取决于由所述级执行的指令类型。一些指令可能要求一个级写一个结果，而另一指令可能要求另一级来写。例如，算术级可以响应算术指令来写，存储器级可以响应存储器装入指令来写。又一指令可以在所述指令分别处于这些级中的不同时间要求一个以上的级来写。例如，算术级中具有地址寄存器增量的装入指令可以包括将增加的地址值写道来自算术级的寄存器文件和写来自存储器级的装入结果。其他指令可以要求写来自一个级的多个结果。例如，复数算术运算可以要求将结果的实部和虚部

写到寄存器文件中的不同寄存器。

在一个实施方式中，能够写到寄存器文件的正好两个连续级被使用，从而每个依次获得写的机会。但是本发明并不限于两个写级，或者限于直接相邻的级。

附图说明

使用以下附图，将借助于非限定性例子描述本发明的这些和其他目标和有利方面。

图 1 显示了流水线指令处理电路；

图 2 显示了写定时电路；

图 3 显示了可选择的流水线指令处理电路；

图 4 显示了可选择的写定时电路；

图 5 显示了流水线指令处理电路的一部分。

具体实施方式

图 1 显示了指令处理电路，带有多个处理级 10a-e，寄存器 12a-d，定时电路 14，写多路复用器 16，寄存器文件 17 和指令存储器 18。处理级 10a-d 在流水线中通过寄存器 12a-d 连接。除了第一级 10a 之外，每个级 10b-e 具有耦连到前面的流水线寄存器 12a-d 的一个或多个指令信息输入，除了最后级 10e 之外每个级 10a-d 具有耦连到后面的流水线寄存器 12a-d 的指令信息输出。两个处理级 10c,d 具有附加结果输出，以用于将结果和附带的寄存器地址输出到多路复用器 16。这些处理级 10c,d 也具有耦连到定时电路 4 的确认输出 19a,b。用于指示是否从级写到寄存器文件的级的确认输出是需要的。

处理级例如是取指令级 10a，解码器/取操作数级 10b，执行级 10c，存储器访问级 10d 和最后级 10e。取指令级 10a 具有耦连到指令存储器 18 的指令地址输出和指令输入。指令存储器 18 可以是简单的存储器，或者是包含高速缓存等的更复杂的存储器系统。取操作数级 10b 具有耦连到寄存器文件 17 的读端口的寄存器地址输出。寄存器文件 17 具有耦连到在执行级 10c 之前的流水线寄存器 12b 的读数据输出。执行级 10c 和存储器级 10d 的结果输出耦连到多路复用器

16，该多路复用器具有耦连到寄存器文件 17 的写端口的数据/地址输出。

在所述图的实施方式中定时电路 14 包含周期发生器 142，排序电路 140a-e 和写握手电路 144 并且具有耦连到寄存器 12a-d、取指令级 10a 和写多路复用器 16 的输出。耦连到取指令级的输出控制程序计数器的更新。耦连到多路复用器 16 的输出控制写入寄存器文件 17。耦连到寄存器 12a-d 的输出控制复制连续级 10a-e 之间的信息的定时。有效地，每个排序电路 140a-e 对应于各自的级 10b-e，各个级具有耦连到寄存器 12a-d 的输入，排序电路 140b-e 耦连到所述输入。周期发生器 142 和排序电路 140a-e 耦连成环，其中用于最后级 10e 的排序电路 140e 和用于存储器级 10d 的排序电路 140d 之间的连接通过写握手电路 144 连接。类似地在用于存储器级 10d 的排序电路 140d 和用于执行级 10c 的排序电路 140c 之间的连接的环形连接通过写握手电路 144 连接。写握手电路 144 也从执行级 10c 和存储器级 10d 耦连到确认输出 19a，b。

在操作中，取指令级 10a 取连续指令并且将这些指令应用于解码器级 10b 的寄存器 12a。解码器级 10b 读取来自其寄存器 12a 的每个指令并且从所述指令生成解码信息。解码器级 10b 也从所述指令析取操作数寄存器地址并且将它们应用于寄存器文件 17。作为响应寄存器文件 17 产生寻址寄存器的内容。执行级 10c 的寄存器 12b 存储解码信息和寻址寄存器的内容。

执行级 10c 根据解码信息执行操作并且将指令信息输送到存储器级 10d 的寄存器 12c。指令信息可以包括从解码级 10b 执行级的指令复制，但是它也可以包含由执行级生成的信息，例如由存储器级 10d 使用的存储器地址。对于第一和第二种类型的指令（例如加法指令，或者存储器访问指令，其中变址寄存器被更新）执行级 10c 产生结果，其与来自于指令信息的寄存器地址一起输送到多路复用器 16。响应该类型的指令执行级 10c 在确认输出 19a 生成确认信号。第三和第四种类型的指令（例如存储器访问指令，其中不发生变址更新）并不导致有效的结果和寄存器地址。响应该类型的指令执行级 10c 在确认输出 19a 不生成确认信号。

存储器级 10d 随后接收由执行级 10c 产生的指令信息并且访问数

据存储器，如果指令信息要求这样的话。对于第一和第三种类型的指令（例如存储器读指令）存储器级 10d 产生结果，其与来自指令信息的寄存器地址一起输送到多路复用器 16。响应该类型的指令存储器级 10d 在确认输出 19b 生成确认信号。第二和第四种类型的指令（例如加法指令）并不导致从存储器级产生有效结果和寄存器地址。响应该类型的指令存储器级 10d 在确认输出 19b 不生成确认信号。

定时电路 14 控制处理的定时，特别是寄存器 12a-d 接收级 10a-d 之间的信息的时间点。在一个实施方式中，使用反向排序机构，其中在下游的下一个寄存器 12a-d 采集信息之后寄存器 12a-d 均采集数据。因此连续地在更上游的寄存器 12a-d（更靠近初始级 10a）连续采集信息。在该实施方式中，一旦程序计数器被更新，从取下一个指令开始，周期发生器 142 开始下一周期，从最下游的寄存器 12d 开始，之后连续更新更上游的寄存器 12a-c。

另外，如果执行级 10c 或存储器级 10d 指示当前指令这样要求，则定时电路 14 开始寄存器文件 17 的写操作。这些写操作的时间点与定时电路导致寄存器 12a-e 采集数据的时间点相联系。当定时电路 14 导致寄存器 12c,d 从级 10c,d 采集数据时，它也导致寄存器文件用来自所述级的地址和结果开始写操作，前提是级 10c,d 指示所述级 10c,d 中的指令要求写并且寄存器文件 17 准备接受新的写操作（在前面的写操作之前足够远）。随后定时电路 14 发信号通知上游的下一个寄存器 12a-e 采集数据。

如果所述指令并不要求写，定时电路 14 立即发信号通知上游的下一个寄存器采集数据。如果要求写但是寄存器文件 17 未准备，定时电路 14 等待直到寄存器文件 17 准备接受写操作，当这种情况发生时定时电路导致寄存器文件 17 开始写并且随后定时电路 14 发信号通知上游的下一个寄存器 12a-e 采集数据。

寄存器文件 17 的各种实施方式可能支持结果写入寄存器文件 17。在最简单的实施方式中结果直接从多路复用器 16 写入到寄存器文件 17。但是在更先进的实施方式中可以提供一个或多个寄存器以用于缓存结果，甚至 FIFO 缓冲器。在这样的实施方式中当缓冲器空间可用于存储随后写的结果时寄存器文件 17 可以被说成准备好用于下一个结果，即使较早结果的写操作仍在进行。在进一步的实施方式

中寄存器文件 17 可以包括旁路机构，其比较在寄存器文件 17 的读端口的读地址和仍未完成的写操作的写地址并且用来自最后的这种未完成写操作的结果替换读端口上的读取结果。

根据伪码可以如下所述电路。流水线的全部操作描述如下：

```
forever do
stage_n(); stage_n-1(); stage_n-2(); stage_1()
        od
```

在这里，“;”分离顺序执行的行动。由“stage_i”表示的 i^{th} 级（i = 1...n）的行动包括在所述级结束时和在下一级之前至少将产生的 i^{th} 级的数据（“data1_1”）采集到级寄存器中：

```
stage_register_i:=data1_i
```

（应当注意的是，使用本身已知的 Tangram 语言，该类型的伪码可以自动转换到定时电路中）。对于两个连续级所述级行动也包括将数据写到寄存器文件：

```
stage_register_i:=data1_i ||
if(vld_i) rf_activate ! <<data2_i, dst_i>>
```

在这里||表示并行的（不一定是按顺序的）行动，“!”表示将“!”右边的信息写到被识别为在“!”的左边的信道。也就是说，如果一个级的确认信号 vld_i 指示由所述级处理的指令要求写到寄存器文件，则写来自所述级的 data2_i 和来自所述级的寄存器地址 dst_i。“rf_activate”表示耦连到寄存器文件的共享信道，两个级都能够写到所述信道。寄存器文件的行动可以由以下伪码表示：

```
forever do
rf_activate? <<data, dst>>;
rf_write(data,dst);
od
```

也就是说，寄存器文件“收听”rf_activate 信道并且在收听新数据之前如果接收到数据的话在寻址寄存器将数据写到寄存器文件中。在进一步的实施方式中，寄存器文件也与用于控制旁路的回写级通信。

图 2 示意性地显示了写定时电路 144 的实现。该实现包含两个分支，每个带有排序电路 20a,b 和条件握手转发电路 22a,b。此外所述

实现包含握手组合电路 24 和寄存器文件定时电路 26。每个分支中的排序电路 20a,b 具有耦连到定时电路的相应排序电路 140d,e（未示出）的无源终端，顺序第一有源终端和顺序第二有源终端，第一有源终端耦连到分支的转发电路 22a,b，第二有源终端耦连到定时电路的排序电路 140c,d（未示出）中的一个，其在分支的响应排序电路的上游。也就是说，第二分支的排序电路 20b 的顺序第二终端耦连到第一分支的排序电路 20a 的无源终端，可能经过控制所述级的定时的其他电路。接着，第一分支的排序电路 20a 的顺序第二终端依次耦连到第二分支的排序电路 20b 的无源终端，经过控制所述级的定时的其他电路。转发电路 22a,b 具有耦连到确认输出 19a,b 的条件输入。转发电路 22a,b 具有耦连到组合电路 24 的有源终端，而该组合电路又具有耦连到寄存器文件定时电路 26 和选择输出 28 的有源终端，选择输出 28 耦连到多路复用器 16（未示出）以控制数据将通过哪个多路复用器输入。通过首先在其顺序第一有源终端生成请求，等待所述请求的应答和随后在顺序第二有源终端生成请求，每个排序电路 20a,b 被布置成在其无源终端响应请求信号。排序电路 20a,b 的实现取决于使用的握手的类型，但是在简单的实现中无源终端的请求信号导线耦连到顺序第一有源终端的请求信号导线并且顺序第一有源终端的应答信号导线耦连到顺序第二有源终端的请求信号导线。

每个转发电路 22a,b 被布置成如果在确认输出 19a,b 不存在确认信号就立即应答来自其无源终端的请求，或者如果存在确认信号就将请求转发到组合电路 24 并且返回来自所述电路的应答。转发电路 22a,b 的实现取决于使用的握手的类型，但是在简单的实施方式中使用多路复用电路，其由确认信号控制并且将引入的请求向后耦连到排序电路 20a,b 的顺序第一有源端口的应答信号导线，或者耦连到组合电路 24。实现握手电路的更一般的例子本身可以在 A.Peters 的标题为“Single Rail Handshake circuits”，ISBN 90-74445-28-4 这篇论文中找到。

组合电路 24 被布置成将来自转发电路 22a,b 的请求转发到寄存器文件定时电路 26，如果在其通向寄存器文件定时电路 26 的有源终端没有请求待决的话。当它转发请求时组合电路 24 应答相关转发电路 22a,b 的请求并且发信号通知多路复用器 16（未示出）它接收了

哪个级 10c,d 的请求。典型地该信号也用于允许写到寄存器文件 17。在转发来自转发电路 22a,b 新请求和应答所述请求之前，如果对寄存器文件定时电路 26 的请求待决组合电路 24 等待直到待决请求被应答。

组合电路 24 的实现取决于使用的握手的类型，但是在简单的实施方式中使用均用于各自的一个转发电路 22a,b 的一对触发器。每个触发器由来自其转发电路 22a,b 的请求设置并且由来自寄存器文件定时电路 26 的应答复位。触发器的设置输出信号禁止设置另一触发器，导致应答信号到达相关转发电路 22a,b，导致请求信号到达寄存器文件定时电路 26 并且指示多路复用器 16 哪个级 10c,d 必须耦连到寄存器文件 17。当寄存器文件 17 有时间写来自所关注级的结果时寄存器文件定时电路 26 应答请求。组合寄存器文件定时电路 26 的实现取决于使用的握手的类型，但是在简单的实施方式中可以使用延迟电路，在将结果写到寄存器文件 17 的足够延迟之后所述延迟电路应答请求。

应当强调的用于产生和接受握手的不同类型的合适异步定时电路可从现有技术获知。已讨论的实现仅仅用作简单的例子。所以本发明并不限于这些实现。

应当认识到本发明并不限于图 1 中所示的实施方式。例如，代替特殊的后向排序电路，可以使用任何其他类型的流水线定时电路。而且，不同于将寄存器文件写操作与信息传输到流水线寄存器 12a-d 相联系，可以使用排序电路以保证可以产生结果的级 10c,d 交替地获得写入结果的机会。这将更详细地进行讨论。

在所述例子中，后向排序电路提供在流水线中利用平行性的有利的简单机构。由于流水线寄存器采集活动的新系列的起点在先前系列到达流水线的起点之后开始，因此不需要复杂的握手。因此，需要向后传播通过流水线的延迟用于给予每个级时间来处理其当前指令。本质上，在该情况中，排序电路 140a-d 仅仅需要延迟电路以保证在上游的下一个流水线寄存器中开始采集之前有足够时间在流水线寄存器 12a-d 中采集数据。

在很长流水线的情况中，排序电路 140a-e 的回路可以分成多个子回路，在每个子回路中新系列定时信号在子回路的下游端通过先前

的定时信号到达子回路的上游端被触发，如果来自下游的下一个子回路的定时信号（若有的话）已到达。在短回路的情况下，可能存在的风险是新定时信号在一个级完成其操作之前到达。在该情况中，可以提供附加电路以延迟定时信号从一个排序电路 140a-d 传输到上游的下一个，直到下面的级 10a-d 指示它已处理先前的指令。

作为一种选择，可以使用充分发展的异步流水线，也就是这样一种流水线，其中定时信号从流水线末端的产生并不等待先前的定时信号到达回路的上游端。在该情况中，例如可以使用正向定时机构，其中定时电路 14 被布置成当级 10a-d 准备好时产生所述级的终止请求，当下一级 10a-d 不再需要其当前信息并且已复制来自请求级的信息时定时电路应答所述请求。

在该类型的替代选择中可以以与图 1 中相同的方式由写定时电路实现本发明，所述写定时电路将写来自级 10a-d 的结果的机会（无论是否取决于确认信号的产生使用所述机会）与从级 10a-d 写到下游的流水线寄存器 12a-d 相联系。仅仅当允许在下游的下一级 10a-d 的输入将信息采集到流水线寄存器 12a-d 中才给予请求写的机会。这时保证该下一级有机会将结果写到寄存器文件 17。仅仅当信息已被采集到流水线寄存器 12a-d 中并且已给予写的机会时才允许应答上游的下一级 10a-d。发生该情况的顺序不是相关的：首先信息可以被采集到流水线寄存器 12a-d 中或者首先给予写入结果的机会，或者可以并行地执行两者。

图 3 显示了一个实施方式，其中使用独立的写定时握手电路 30。在该实施方式中，级 10a-b 具有握手连接以当需要时彼此同步（为了清楚起见这些连接被显示成连接到流水线寄存器 12a-d，为了该目的所述流水线寄存器被假设为包含握手处理电路）。另外级 10c,d 被布置成与写定时握手电路 30 交换握手信号。当它充分准备好时，可能想要写入结果的每个级 10c,d 产生确认/不确认信号，之后它与写定时握手电路 30 交换握手。例如，写定时握手电路 30 可以与第一级和第二级 10c,d 交替地产生请求，并且当准备好时级 10c,d 可以应答这些请求。同样地，级 10c,d 可以产生请求，握手电路交替地应答这些请求。

图 4 显示了一个实施方式，其中类似于图 2 实现写定时握手电路

30，增加了中继电路 40 和排序电路 42。提供有源终端 44，46 以用于与级 10c,d 交换握手。然而，应当认识到许多其他实现是可能的，例如使用来自级 10c,d 的请求代替应答，或者使用时钟周期可以被延长的寄存器文件写时钟电路等。

此刻根据本发明应当理解流水线中的多个级 10c,d 能够通过相同的写端口将结果写到寄存器文件 17。级是否写取决于由所述级处理的指令。定时电路保证所述级交替地获得开始写的机会。这样，保证在程序中写的预定顺序被保存。例如，假设程序包含连续指令

```
Load    ++R1,R2
Add     R3,R4,R5
```

（Load: 增加寄存器 R1 的值并且使用值作为地址来取寄存器 R2 中的数据。

Add: 相加来自寄存器 R3 和 R4 的值并且写入到 R5 中；R2 和 R5 可以是相同的寄存器，在该情况中写的顺序应当对应于指令的顺序）。

现在将装载 R1 的内容并且执行级 10c 将首先增加该值。执行级 10c 将增加的结果写到寄存器文件 17 中的寄存器 R1。执行级 10c 接着将指令和增量地址传递到存储器级 10d。接着存储器级 10d 根据该结果从带有地址的存储位置取数据并且执行级 10c 相加内容 R3 和 R4。执行级 10c 将相加的结果写到 R5 并且存储器级 10d 将取的结果写到 R2。定时电路 14 保证了首先写取的结果，接着写相加的结果。

将会理解，本发明并不限于将写到寄存器文件 17 的相同结果也写到存储器级 10d。例如在“算后增量”指令（R1++）的情况中，寄存器 R1 的内容被传递到存储器级 10d 并且增量值被回写到寄存器文件 17。在类似的例子中不需要 R1 的增量用于装入指令:

```
Load    R1,R2
Add     R3,R4,R5
```

在该情况中执行级 10c 也将相加的结果写到 R5 并且存储器级 10d 将取的结果写到 R2。定时电路 14 保证首先写取的结果，接着写相加的结果，即使写从不同级发生并且因此具有不一致的等待时间。

当然可能出现的情况是读从来自寄存器文件 17 的寄存器发生，

为此存在待决的写。在该情况中，在一个实施方式中如果用于一个寄存器的写操作待决，可以使用所述寄存器中的旧内容。在更先进的实施方式中可以使用任何旁路机构替换寄存器读操作的结果中的待决写操作的结果。在该实施方式中，如果使用深流水线并且如果结果写操作的定时不与读操作同步，在理论上可能出现未决定的读问题。图1的反向排序机构防止了该问题，只要先前的波仍未移动到流水线的上游端，该机构防止寄存器采集的新波形成流水线的下游端。在完全异步流水线中有必要包括按照写级 10a,c 的排序布置从寄存器文件17 读取的级以避免该问题。这样做保证了在流水线寄存器 12a-d 中新采集和将结果写到寄存器文件 17 的每个周期在寄存器读级中分别采集之后在写级中发生。然而，通常该类型的排序是冗余的。

在所述例子中，每个级 10a-d 响应一个指令至多要求将一个结果写到寄存器。然而，不脱离本发明，在进一步的实施方式中一个或多个级 10a-d 可以被布置成响应所述相同指令写多个结果。例如，执行级 10c 可以被布置成将两个操作数的和以及差回写到寄存器文件 17 的不同寄存器。

图 5 显示了流水线处理器的一部分，其中级 10c 中的一个被布置成写多个结果。在该实施方式中为每个结果提供了地址/结果输出，确认输出和握手终端。使用三输入多路复用器 16。类似于在图 1 或图 4 中使用的写定时电路 30/144 保证级 10c,d 获得依次写每个结果的机会。这例如可以通过使写入结果与将信息写入到流水线寄存器 12c,d 中相联系而实现。可选择地独立排序机构可以用于保证所述级获得按顺序写的机会，可以写两个结果的级 10c 按顺序获得两个机会。显然，这可以扩展到许多结果。

将会理解，图 5 仅仅显示了一个实施方式。例如在另一实施方式中，相同地址/结果输出可以用于多个结果。在该实施方式中级 10c 保证在按顺序应答之前所有结果被应用于一个地址/结果输出。在另一替代选择中，当级 10c 指示一个以上的有效结果可用时，写定时电路保证例如通过在进行之前将一个以上的请求发到寄存器文件 17 而写所有所述多个结果。

在进一步的实施方式中寄存器文件可以具有一个以上的写端口，至少一个写端口如前文中的单一端口所述被共享，另一端口或其

他端口允许并联地写其他结果，例如来自其他级或来自也写到所述共享端口的级。另一端口或其他端口也可以被共享。尽管为一个实施方式描述了本发明，其中允许写到寄存器文件 17 的确认信号取决于指令，应当理解的是确认信号也可以取决于多个因素，例如伴随着指令的保护位的值（例如取决于在指令中指定的保护寄存器的内容）。

尽管作为例子显示了具有写能力的两个紧邻的流水线级 10c,d，将会理解本发明并不限于该例子。例如，更大数量的连续流水线级可以具有能力将一个结果或多个结果写到寄存器文件 17。在该情况中，优选地包括排序电路，从而在所述级获得另一机会之前，每个这种级又获得按预定顺序写的机会，优选地从最下游的级开始。在另一例子中，具有写能力的所述级不需要紧邻。

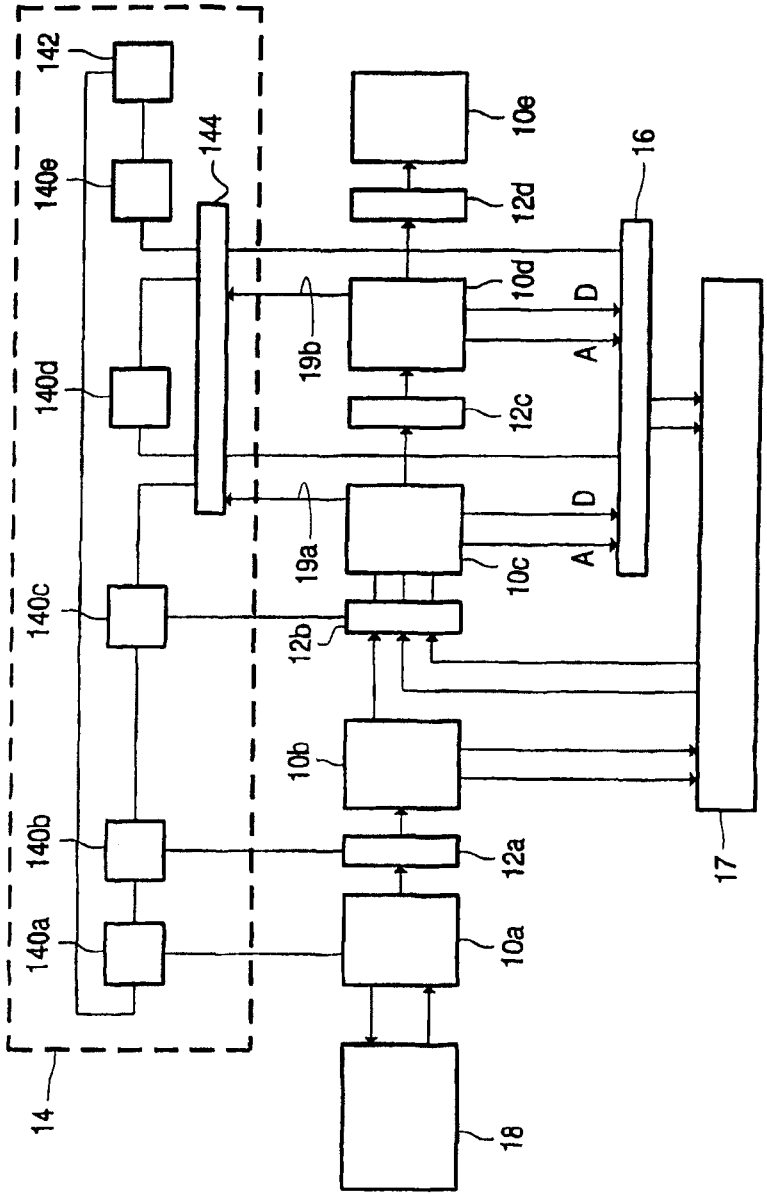

142
140e
144
140d
140c
140b
140a
14
10e
12d
16
10d
D
A
19b
12c
19a
10c
12b
10b
12a
10a
18
17

图 1

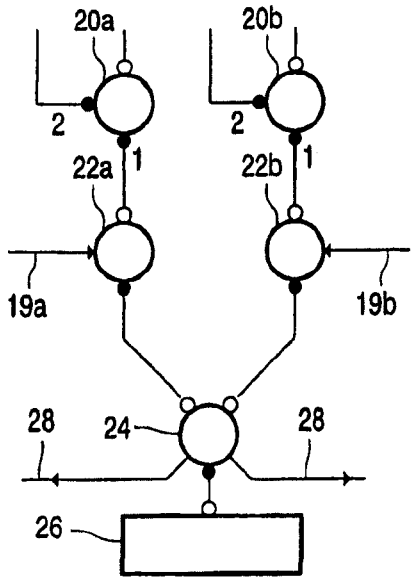

20a
20b
2
2
22a
1
22b
1
19a
19b
28
24
28
26

图 2

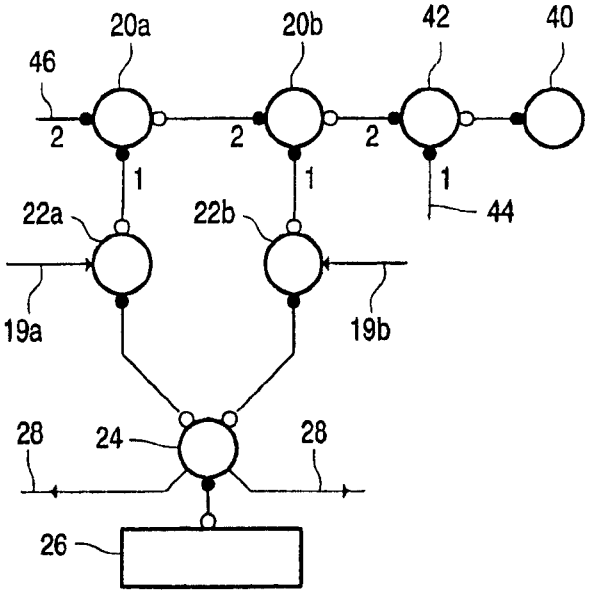

20a
20b
42
40
46
2
2
2
1
1
1
22a
22b
44
19a
19b
28
24
28
26

图 4

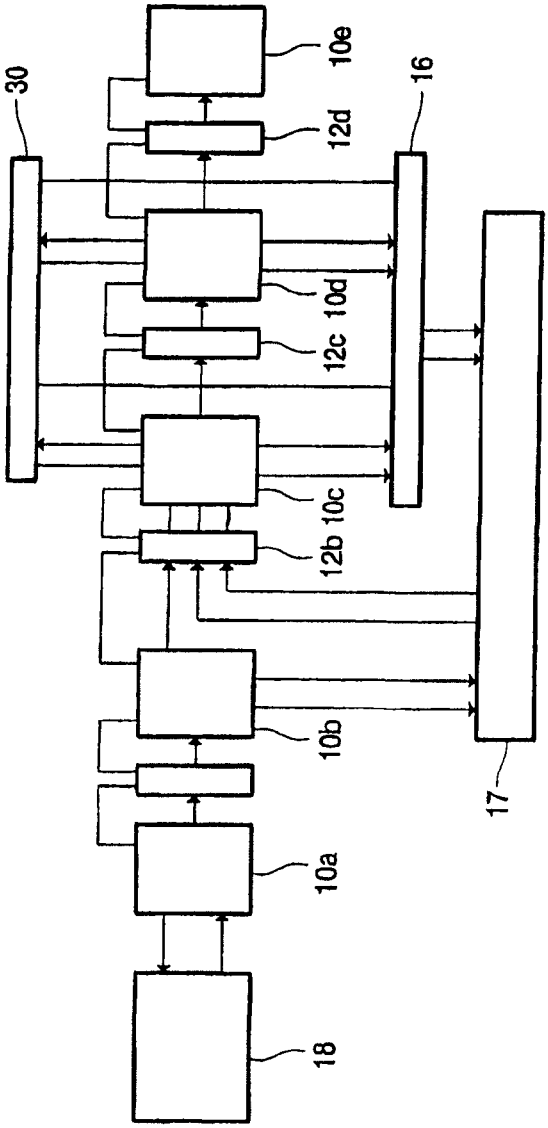


图 3

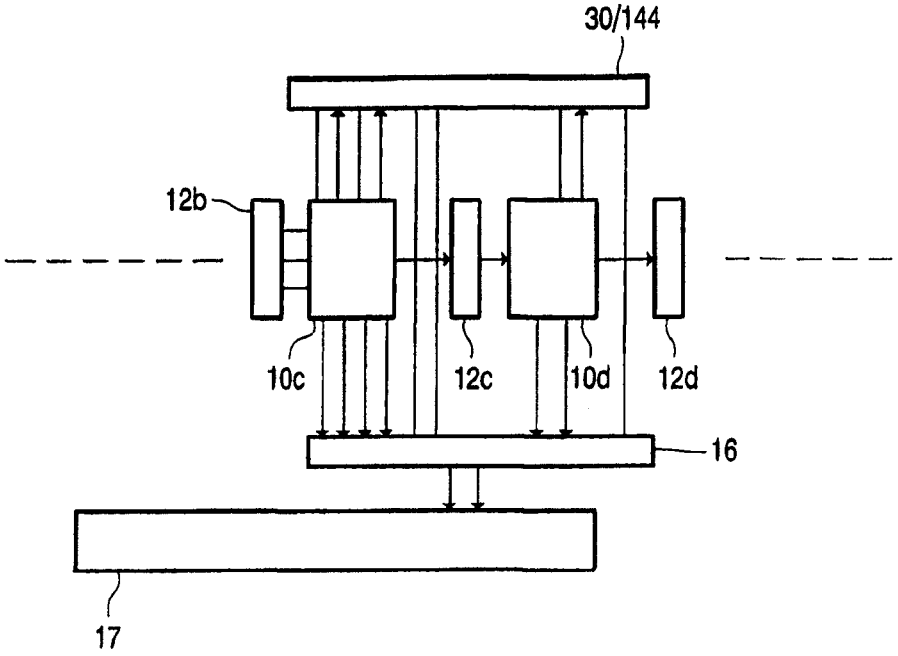


图 5