

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 12 月 30 日 (30.12.2020)



(10) 国际公布号
WO 2020/257959 A1

(51) 国际专利分类号:
G01R 19/165 (2006.01) **G01R 31/40** (2014.01)

(21) 国际申请号: PCT/CN2019/092503

(22) 国际申请日: 2019 年 6 月 24 日 (24.06.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 薛建锋 (XUE, Jianfeng); 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 杨江 (YANG, Jiang); 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: GLITCH SIGNAL DETECTION CIRCUIT, SECURITY CHIP, AND ELECTRONIC APPARATUS

(54) 发明名称: 毛刺信号检测电路、安全芯片和电子设备

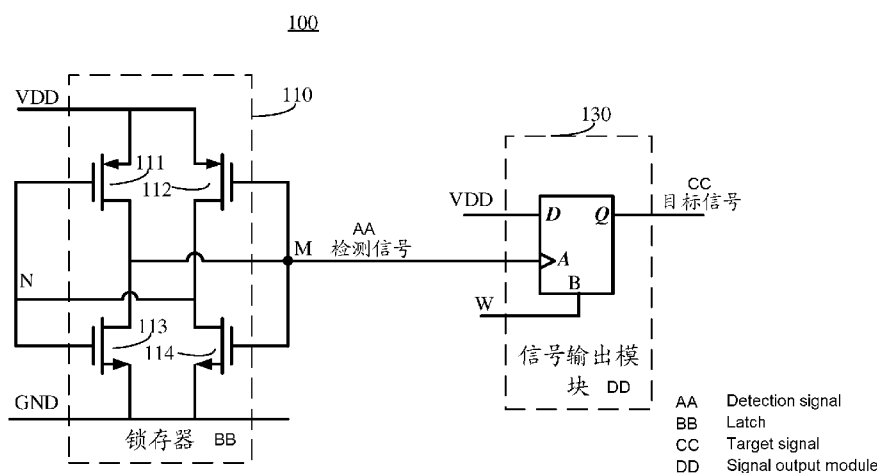


图1

(57) Abstract: Provided are a glitch signal detection circuit, a security chip, and an electronic apparatus. The glitch signal detection circuit comprises: a latch and a signal output module. A first input terminal of the latch is connected to a supply voltage, and a first output terminal of the latch is connected to a ground voltage. A second input terminal of the latch is connected to a third output terminal of the latch, and a third input terminal of the latch is connected to a second output terminal of the latch. The second output terminal or the third output terminal is connected to the signal output module. The glitch signal detection circuit is capable of detecting a glitch in the supply voltage or in the ground voltage, and further has advantages of low power consumption, a compact area, a fast speed, high sensitivity, good portability, etc.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明：

- 关于申请人有权申请并被授予专利(细则4.17(ii))

本国际公布：

- 包括国际检索报告(条约第21条(3))。

(57) 摘要：提供了一种毛刺信号检测电路、安全芯片和电子设备。所述毛刺信号检测电路包括：锁存器和信号输出模块；所述锁存器的第一输入端连接至电源电压，所述锁存器的第一输出端连接至地电压，所述锁存器的第二输入端连接至所述锁存器的第三输出端，所述锁存器的第三输入端连接至所述锁存器的第二输出端，所述第二输出端或所述第三输出端连接至所述信号输出模块。所述毛刺信号检测电路不仅能够检测电源电压或地电压上的毛刺，并且所述毛刺信号检测电路具有功耗低、面积小、速度快、灵敏度高以及可移植性强等优点。

毛刺信号检测电路、安全芯片和电子设备

技术领域

本申请实施例涉及电子领域，并且更具体地，涉及毛刺信号检测电路、安全芯片和电子设备。

背景技术

安全芯片可以用于实现用户身份识别与关键数据存储等功能，其被广泛应用于金融领域，是攻击者的重点攻击对象。

攻击者可以通过故障攻击（如毛刺（power glitch）攻击），使芯片工作在非正常状态下，从而导致芯片发生错误行为；此时，攻击者可以利用故障分析技术轻易获取安全芯片中的机密数据。

通常情况下，可以通过毛刺信号检测电路检测电源电压（或地电压）上的毛刺，并及时给出报警信号，从而增加芯片系统的鲁棒性和安全性。具体而言，毛刺信号检测电路需要包括电阻电容（RC）采样结构和比较器结构。RC采样结构利用低通滤波器采样电源电压（或地电压），比较器结构通过电阻分压设置判定阈值，并通过比较采样的电源电压（或地电压）与判定阈值确定是否触发报警信号。RC采样结构的优点在于可以检测毫微秒（ns）级的毛刺，但RC较大的RC采样结构一般要求较大的芯片面积开销。比较器结构的优点在于可以精确设置判定阈值，但比较器结构中的静态偏置电流会使其存在静态偏置功耗。此外，现有的毛刺信号检测电路存在反应速度低、灵敏度低以及可移植性低等缺点。

发明内容

提供了一种毛刺信号检测电路、安全芯片和电子设备，不仅能够检测电源电压或地电压上的毛刺，并且所述毛刺信号检测电路具有功耗低、面积小、速度快、灵敏度高以及可移植性强等优点。

第一方面，提供了一种毛刺信号检测电路，包括：

锁存器和信号输出模块；

所述锁存器的第一输入端连接至电源电压，所述锁存器的第一输出端连接至地电压，所述锁存器的第二输入端连接至所述锁存器的第三输出端，所

述锁存器的第三输入端连接至所述锁存器的第二输出端，所述第二输出端或所述第三输出端连接至所述信号输出模块；

其中，所述电源电压上未出现毛刺信号且所述地电压上未出现毛刺信号时，所述锁存器用于将所述第二输入端的电压值维持在第一电压，并将所述第三输入端的电压值维持在第二电压，所述第一电压大于或小于所述第二电压；

所述信号输出模块用于根据所述第三输入端的电压值的变化生成并输出目标信号，所述目标信号用于指示所述电源电压或所述地电压是否出现毛刺信号。

10 基于锁存器检测电源电压或地电压上的毛刺，区别于传统的电阻电容采样结构和比较器结构。具体而言，锁存器不需要使用电阻，因此能够降低毛刺信号检测电路的面积以及硬件开销；锁存器的正反馈特性可以提高毛刺信号检测电路的检测速度；相比于电阻电容结构，锁存器的负阻迟滞特性，可以检测更低幅度的 glitch 信号，进而提升毛刺信号检测电路的灵敏度；锁存器的静态电流仅为所用器件的漏电电流，无静态偏置电流，能够降低毛刺信号检测电路的静态功耗；锁存器可以兼容数字（Complementary Metal-Oxide-Semiconductor Transistor, CMOS）工艺，能够增强毛刺信号检测电路的可移植性。简而言之，所述毛刺信号检测电路不仅能够检测电源电压或地电压上的毛刺，并且所述毛刺信号检测电路具有功耗低、面积小、速度
15 快、灵敏度高以及可移植性强等优点。

在一些可能实现的方式中，所述电源电压上未出现正方向上的毛刺信号且所述地电压上未出现负方向上的毛刺信号时，所述第三输入端的电压值的未发生变化，所述信号输出模块用于生成并输出第一信号，所述第一信号用于指示所述电源电压或所述地电压未出现毛刺信号；所述电源电压上出现正
25 方向上的毛刺信号和/或所述地电压上出现负方向上的毛刺信号时，所述第三输入端的电压值的变化，所述信号输出模块用于根据所述第三输入端的电压值的变化生成并输出第二信号，所述第二信号用于指示所述电源电压或所述地电压出现毛刺信号。

在一些可能实现的方式中，所述毛刺信号检测电路还包括：

30 电容器，所述锁存器的第二输入端通过所述电容器电连接至所述地电压。基于锁存器-电容器（Latch-C）结构，可以使得所述锁存器的第二输入

端 N 的电压值为“1”。

在一些可能实现的方式中，所述锁存器包括：

第一金属氧化物半导体 MOS 管、第二 MOS 管、第三 MOS 管和第四 MOS 管，所述第一 MOS 管的源端连接至所述电源电压，所述第一 MOS 管的栅端连接至所述第三 MOS 管的栅端，所述第一 MOS 管的漏端连接至所述第三 MOS 管的漏端，所述第三 MOS 管的源端连接至所述地电压，所述第二 MOS 管的源端连接至所述电源电压，所述第二 MOS 管的栅端连接至所述第四 MOS 管的栅端，所述第二 MOS 管的漏端连接至所述第四 MOS 管的漏端，所述第四 MOS 管的源端连接至所述地电压，所述第一 MOS 管的栅端连接至所述第二 MOS 管的漏端，所述第二 MOS 管的栅端连接至所述第一 MOS 管的漏端。

在一些可能实现的方式中，所述毛刺信号检测电路还包括：

第五 MOS 管，所述第五 MOS 管的栅端连接至所述电源电压，所述第五 MOS 管的源端连接至所述第二输入端，所述第五 MOS 管的漏端连接至所述第三输入端。

在一些可能实现的方式中，所述电源电压上未出现负方向上的毛刺信号且所述地电压上未出现正方向上的毛刺信号时，所述第三输入端的电压值的未发生变化，所述信号输出模块用于生成并输出第三信号，所述第三信号用于指示所述电源电压或所述地电压未出现毛刺信号；所述电源电压上出现负方向上的毛刺信号和/或所述地电压上出现正方向上的毛刺信号时，所述第三输入端的电压值的变化，所述信号输出模块用于根据所述第三输入端的电压值的变化生成并输出第四信号，所述第四信号用于指示所述电源电压或所述地电压出现毛刺信号。

可以利用第五 MOS 管对电源电压上出现的负方向 glitch 和地电压上出现的正方向 glitch 进行检测。换句话说，通过所述锁存器和所述第五 MOS 管的配合，可以实现双向 glitch 的检测。

在一些可能实现的方式中，所述毛刺信号检测电路还包括：

使能控制电路，所述使能控制电路用于控制所述锁存器将所述第二输入端的电压值维持在所述第一电压，并将所述第三输入端的电压值维持在所述第二电压。

在一些可能实现的方式中，所述使能控制电路包括：

第六 MOS 管和第七 MOS 管, 所述第六 MOS 管的源端连接至所述电源电压, 所述第六 MOS 管的漏端连接至所述第二输入端, 所述第七 MOS 管的源端连接至所述地电压, 所述第七 MOS 管的漏端连接至所述第三输入端。

在一些可能实现的方式中, 所述信号输出模块为 D 触发器。

5 在一些可能实现的方式中, 所述毛刺信号检测电路还包括:

阈值判决模块, 所述第二输出端或所述第三输出端通过所述阈值判决模块连接至所述信号输出模块, 所述阈值判决模块用于放大所述第二输出端或所述第三输出端输出的信号, 并将放大后的信号发送至所述信号输出模块。

10 通过锁存器与阈值判决模块的配合, 可以检测更低幅度的 glitch, 进一步提升所述毛刺信号检测电路的灵敏度。

在一些可能实现的方式中, 所述阈值判决模块包括:

第八 MOS 管、第九 MOS 管和第十 MOS 管, 所述第八 MOS 管的源端连接至所述电源电压, 所述第八 MOS 管的栅端连接至所述第十 MOS 管的栅端, 所述第八 MOS 管的漏端连接至所述第十 MOS 管的漏端, 所述第十 MOS 管的源端连接至所述地电压, 所述第九 MOS 管的源端连接至所述电源电压, 所述第九 MOS 管的栅端连接至所述第十一 MOS 管的栅端, 所述第九 MOS 管的漏端连接至所述第十一 MOS 管的漏端, 所述第十一 MOS 管的源端连接至所述地电压, 所述第八 MOS 管的漏端连接所述第九 MOS 管的栅端, 所述第八 MOS 管的栅端连接至所述第二输出端或所述第三输出端, 20 所述第九 MOS 管的漏端连接至所述信号输出模块。

25 在一些可能实现的方式中, 所述第八 MOS 管的宽长比小于第一预设阈值, 所述第九 MOS 管的宽长比大于第二预设阈值, 所述第十 MOS 管的宽长比大于第三预设阈值, 所述第十一 MOS 管的宽长比小于第四预设阈值, 其中, 所述第一预设阈值小于或等于所述第三预设阈值, 所述第二预设阈值大于或等于所述第四预设阈值。

30 在一些可能实现的方式中, 所述第八 MOS 管和所述第十 MOS 管形成第一反相器, 所述第九 MOS 管和所述第十一 MOS 管形成第二反相器, 所述第一反相器的翻转阈值小于所述第二反相器的翻转阈值。例如所述第一反相器的翻转阈值为 0.3, 所述第二反相器的翻转阈值为 0.8, 即通过降低所述第一反相器的翻转阈值和增大所述第二反相器的翻转阈值, 进而提升所述毛刺信号检测电路 100 的灵敏度。

第二方面，提供了一种安全芯片，包括：

第一方面或第一方面中任一可能实现的方式中所述的毛刺信号检测电路。

第三方面，提供了一种电子设备，包括：

5 第二方面所述的安全芯片芯片；和

处理器，所述处理器用于接收所述安全芯片发送的目标信号，所述目标信号用于指示电源电压或地电压是否出现毛刺信号。

附图说明

10 图 1 和图 2 是本申请实施例的毛刺信号检测电路的示意性结电路图。

图 3 是本申请实施例的锁存器的第二输入端和第三输入端的电压状态的示意图。

图 4 是本申请实施例的阈值判决模块的示意性电路图。

15 具体实施方式

下面将结合附图，对本申请实施例中的技术方案进行描述。

电源毛刺（power glitch）攻击通过快速改变输入到芯片的电源电压（或地电压），使得芯片的某些电路单元受到影响；继而引起一个或者多个电路单元进入错误状态，使得芯片的处理器跳过或者根据错误状态实施错误操作；
20 进而暴露了芯片内隐藏的安全信息。

图 1 是本申请实施例的毛刺信号检测电路 100 的示意性电路图。

请参见图 1，所述毛刺信号检测电路 100 可以包括锁存器 110 和信号输出模块 130；所述锁存器 110 的第一输入端连接至电源电压 VDD，所述锁存器 110 的第一输出端连接至地电压 GND，所述锁存器 110 的第二输入端 N
25 连接至所述锁存器 110 的第三输出端，所述锁存器 110 的第三输入端 M 连接至所述锁存器 110 的第二输出端，所述第二输出端或所述第三输出端连接至所述信号输出模块 130（附图以第二输出端连接至所述信号输出模块 130 为例）；或者说，所述锁存器 110 可以包括两个锁存器，所述第二输入端 N 和所述第二输出端分别为这两个反相器中的一个反相器中的 MOS 管的栅端
30 和漏端，所述第三输入端 M 和所述第三输出端分别为另一个反相器中的 MOS 管的栅端和漏端。

其中，毛刺信号可以是电路的输入波形中包括有规律或没有规律的脉冲信号或尖峰信号。例如，电源电压上出现正方向的毛刺信号时的电压值等于所述电源电压上未出现毛刺信号时的电压值加所述毛刺信号的电压值。又例如，电源电压上出现负正方向的毛刺信号时的电压值等于所述电源电压上未出现毛刺信号时的电压值减去所述毛刺信号的电压值。

类似地，地电压上也可以出现正方向的毛刺信号和负方向的毛刺信号。

针对不稳定的电源电压，其也可以认为是稳定的电源电压上叠加有一个毛刺信号后的电压。针对不稳定的地电压，其也可以认为是在稳定的地电压上叠加一个毛刺信号后的电压。

其中，所述电源电压上未出现正方向的毛刺信号且所述地电压上未出现负方向上的毛刺信号时，所述锁存器 110 用于将所述第二输入端 N 的电压值维持在第一电压，并将所述第三输入端 M 的电压值维持在第二电压；所述信号输出模块 130 用于根据所述第三输入端 M 的电压值的变化生成并输出目标信号，所述目标信号用于指示所述电源电压或所述地电压是否出现毛刺信号。

其中，所述第一电压可以大于所述第二电压。例如，所述第一电压为“1”，所述第二电压为“0”。当然，所述第一电压也可以小于所述第二电压，例如，所述第一电压为“0”，所述第二电压为“1”。

基于锁存器 110 检测电源电压或地电压上的毛刺，区别于传统的电阻电容采样结构和比较器结构。具体而言，锁存器 110 不需要使用电阻，因此能够降低毛刺信号检测电路 100 的面积以及硬件开销；锁存器 110 的正反馈特性可以提高毛刺信号检测电路 100 的检测速度；相比于电阻电容结构，锁存器 110 的负阻迟滞特性，可以检测更低幅度的 glitch 信号，进而提升毛刺信号检测电路 100 的灵敏度；锁存器 110 的静态电流仅为所用器件的漏电流，无静态偏置电流，能够降低毛刺信号检测电路 100 的静态功耗；锁存器 110 可以兼容数字 CMOS 工艺，能够增强毛刺信号检测电路 100 的可移植性。简而言之，所述毛刺信号检测电路 100 不仅能够检测电源电压或地电压上的毛刺，并且所述毛刺信号检测电路 100 具有功耗低、面积小、速度快、灵敏度高以及可移植性强等优点。

基于以上技术方案，电源电压上未出现正方向的毛刺信号且所述地电压上未出现负方向上的毛刺信号时，所述第三输入端 M 的电压值的未发生变

化,所述信号输出模块 130 用于生成并输出第一信号,所述第一信号用于指示所述电源电压或所述地电压未出现毛刺信号;所述电源电压上出现正方向的毛刺信号和/或所述地电压上出现负方向上的毛刺信号时,所述第三输入端 M 的电压值的变化,所述信号输出模块 130 用于根据所述第三输入端 M 的电压值的变化生成并输出第二信号,所述第二信号用于指示所述电源电压或所述地电压出现毛刺信号。

请继续参见图 1,所述锁存器 110 可以包括第一金属氧化物半导体 (Metal-Oxide Semiconductor, MOS) 管 111、第二 MOS 管 112、第三 MOS 管 113 和第四 MOS 管 114;所述第一 MOS 管 111 的源端连接至所述电源电压,所述第一 MOS 管 111 的栅端连接至所述第三 MOS 管 113 的栅端,所述第一 MOS 管 111 的漏端连接至所述第三 MOS 管 113 的漏端,所述第三 MOS 管 113 的源端连接至所述地电压,所述第二 MOS 管 112 的源端连接至所述电源电压,所述第二 MOS 管 112 的栅端连接至所述第四 MOS 管 114 的栅端,所述第二 MOS 管 112 的漏端连接至所述第四 MOS 管 114 的漏端,所述第四 MOS 管 114 的源端连接至所述地电压,所述第一 MOS 管 111 的栅端连接至所述第二 MOS 管 112 的漏端,所述第二 MOS 管 112 的栅端连接至所述第一 MOS 管 111 的漏端。

此时,所述第一输入端为所述第一 MOS 管 111 的源端和所述第二 MOS 管 112 的源端,所述第二输入端 N 为所述第一 MOS 管 111 的栅端和所述第三 MOS 管 113 的栅端,所述第三输入端 M 为所述第二 MOS 管 112 的栅端和所述第四 MOS 管 114 的栅端,所述第一输出端为所述第三 MOS 管 113 的源端和所述第四 MOS 管 114 的源端,所述第二输出端为所述第一 MOS 管 111 的漏端和所述第三 MOS 管 113 的漏端,所述第三输出端为所述第二 MOS 管 112 的漏端和所述第四 MOS 管 114 的漏端,所述第一 MOS 管 111 的漏端或所述第二 MOS 管 112 的漏端可以连接至所述信号输出模块 130(附图以所述第一 MOS 管 111 的漏端连接至所述信号输出模块 130 为例)。

请继续参见图 1,所述信号输出模块 130 可以为 D 触发器。此时,所述 D 触发器的重置 (RESET) 端 B 连接至重置信号 W;所述 D 触发器的 D 端连接至 VDD;所述 D 触发器的检测端 A 连接至锁存器 110 的第二输出端(即所述第一 MOS 管 111 的漏端),用于接收检测信号,所述 D 触发器的输出端 Q 用于输出目标信号(即预警 (ALARM) 信号)。

当然，所述信号输出模块 130 还可以是其他器件，例如比较器。

应理解，上述针对图 1 的描述仅为示例，不应理解为对本申请的限制。

例如，由于第三输入端 M 连接至所述锁存器 110 的第二输出端，因此也可以通过其他方式描述所述 D 触发器的检测端 A 和所述锁存器 110 的第二输出端的连接关系。例如所述 D 触发器的检测端 A 连接至所述第三输入端 M，又例如所述 D 触发器的检测端 A 通过所述第三输入端 M 连接至所述第二输出端，本申请实施例对此不做具体限定。

图 2 是图 1 所示的毛刺信号检测电路的示意性电路图。

请参见图 2，所述毛刺信号检测电路还可以包括阈值判决模块 120，所述第二输出端或所述第三输出端通过所述阈值判决模块 120 连接至所述信号输出模块 130，所述阈值判决模块 120 用于放大所述第二输出端或所述第三输出端输出的信号，并将放大后的信号发送至所述信号输出模块 130。

通过锁存器 110 与阈值判决模块 120 的配合，可以检测更低幅度的 glitch，进一步提升所述毛刺信号检测电路 100 的灵敏度。

请继续参见图 2，所述毛刺信号检测电路 100 还可以包括电容器 160。

锁存器 110 的第二输入端 N 通过所述电容器 160 电连接至所述地电压。即通过对所述电容器 160 进行充电后，可以使得所述锁存器 110 的第二输入端 N 的电压值为“1”。

基于锁存器 110-电容器 160 (Latch-C) 结构，可以使得所述锁存器 110 的第二输入端 N 的电压值为“1”。当然，所述电容器也可以被替换为其他储能器件，本申请实施例对此不做具体限定。

在本申请的一些实施例中，所述毛刺信号检测电路 100 还可以包括使能控制电路，所述使能控制电路用于控制所述锁存器 110 将所述第二输入端 N 的电压值维持在所述第一电压，并将所述第三输入端 M 的电压值维持在所述第二电压。即锁存器 110 可以是带使能控制的锁存器。当然，所述毛刺信号检测电路 100 也可以不包括使能控制电路，此时可以通过其它控制电路使得锁存器 110 可以将所述第二输入端的电压值维持在第一电压，并将所述第三输入端的电压值维持在第二电压，本申请实施例对此不做具体限定。

请继续参见图 2，所述使能控制电路可以包括第六 MOS 管 140 和第七 MOS 管 150，所述第六 MOS 管 140 的源端连接至所述电源电压，所述第六 MOS 管 140 的漏端连接至所述第二输入端 N，所述第七 MOS 管 150 的源端

连接至所述地电压,所述第七 MOS 管 150 的漏端连接至所述第三输入端 M。

例如,所述第七 MOS 管 150 的栅端用于接收第一信号 R,所述第六 MOS 管 140 的栅端用于接收第一信号 R 的反向信号 R_b。例如,所述第一信号 R 可以是上述信号输出模块 130 的重置(RESET)端 B 接收到的重置信号 W。

5 例如,所述第一信号 R 为低电平时,所述第六 MOS 管 140 和第七 MOS 管 150 均导通,电源电压通过所述第六 MOS 管 140 对所述电容器 160 进行充电,使得所述第二输入端 N 的第一电压为“1”,第三输入端 M 通过第七 MOS 管 150 连接至地,以使得所述第三输入端 M 的第二电压为“0”。所述第一信号 R 为高电平时,所述第六 MOS 管 140 和第七 MOS 管 150 均断开,
10 使得所述第二输入端 N 的第一电压维持在“1”,第三输入端 M 的第二电压维持在“0”。

 即,所述使能控制电路能够通过控制所述第六 MOS 管 140 将所述第二输入端 N 拉高至 VDD,并通过控制第七 MOS 管 150 将所述第三输入端 M 拉低至 GND。当所述第一信号为 0 时,所述第二输入端 N 的状态和所述第三输入端 M 的状态通过锁存器 110 的锁存保持不变,此时所述信号输出模块 130 输出的目标信号为“0”。

 下面结合附图对所述毛刺信号检测电路 100 的工作原理进行详细说明。

 当 VDD、GND 上没有毛刺(glitch)信号出现时,经锁存器 110 作用,所述第二输入端 N 被所述第二 MOS 管 112 拉高保持“1”状态,所述第三输入端 M 被所述第三 MOS 管 113 拉低保持“0”状态。

 此时,所述毛刺信号检测电路 100 的静态功耗仅为所用器件的漏电功耗。

 当 VDD 上出现正方向 glitch,并且 glitch 幅度大于所述第一 MOS 管 111 阈值电压时,所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

25 结合图 2 来说,所述第一 MOS 管 111 栅端(即第二输入端 N)的电压保持不变,其源端的电压增大; glitch 幅度大于所述第一 MOS 管 111 阈值电压时,所述第一 MOS 管 111 导通,并对所述第三输入端 M 进行充电,使其电压上升;锁存器 110 触发所述第二输入端 N 的电压下降至“0”,所述第三输入端 M 的电压进一步上升至“1”,此时阈值判决模块 120 输出的检测
30 (Detection)信号被拉高至“1”。所述信号输出模块 130 检测到 Detection 信号的上升沿后,更新 D 触发器输出状态,即所述信号输出模块 130 输出的

目标信号变为“1”，用于指示电源电压或地电压上出现 glitch。

当 VDD 上出现正方向 glitch, 并且 glitch 幅度接近所述第一 MOS 管 111 阈值电压时, 所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

5 结合图 2 来说, 所述第一 MOS 管 111 栅端 (即第二输入端 N) 的电压保持不变, 其源端的电压增大, glitch 幅度接近所述第一 MOS 管 111 阈值电压时, VDD 通过所述第一 MOS 管 111 的漏电压对所述第三输入端 M 充电, 使其电压上升; 通过所述第四 MOS 管 114 对所述第二输入端 N 放电, 使其电压下降; 由于所述第三输入端 M 的电压上升会使得经过所述第一
10 MOS 管 111 的电流下降, 即所述第三输入端 M 电压不再进一步上升, 所述第二输入端 N 的电压不再进一步下降; 通过锁存器 110 的作用, 所述第三输入端 M 经过一段时间后会下降至“0”, 所述第二输入端 N 的电压经过一段时间后会上升至“1”。例如, N 和电压和 M 点电压的状态可以如图 3 所示; 阈值判决模块 120 可以检测到第三输入端 M 的电压在一段时间内处于维持上升的状态, 并将这种状态判定为“1”, 即输出 (Detection) 信号被拉高至
15 “1”。例如, 阈值判决模块 120 检测到第三输入端 M 的电压 $V(M)$ 与所述地电压 GND 的差值 $V(M)-GND$ 的最大值大于或等于所述阈值判决模块 120 的第一阈值电压 V_{thn} 时, 所述阈值判决模块 120 发生信号翻转 (从 0 到 1)。所述 D 触发器检测到 Detection 信号上升沿, 更新 D 触发器输出状态, 信号
20 输出模块 130 输出的目标信号变为“1”, 用于指示电源电压或地电压上出现 glitch。

应理解, 图 3 仅为本申请的示例, 不应理解为对本申请的限制。

例如, 如果所述阈值判决模块 120 与所述锁存器 110 的第二输入端 N 相连, 此时, 所述阈值判决模块 120 检测到第二输入端 N 的电压在一段时间内
25 处于维持下降的状态时, 将这种状态判定为“1”, 即输出 (Detection) 信号被拉高至“1”。例如, 阈值判决模块 120 检测到第二输入端 N 的电压 $V(N)$ 与所述地电压 GND 的差值小于或等于电源电压 VDD 与所述阈值判决模块 120 的第二阈值电压 V_{thp} 的差值 $VDD-|V_{thp}|$ 时, 所述阈值判决模块 120 发生信号翻转 (从 0 到 1)。所述信号输出模块 130 中的 D 触发器检测到 Detection
30 信号下降沿, 更新 D 触发器输出状态, 信号输出模块 130 输出的目标信号变为“1”, 用于指示电源电压或地电压上出现 glitch。

当 GND 上出现负方向 glitch, 并且 glitch 幅度大于所述第一 MOS 管 111 阈值电压时, 所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

结合图 2 来说, 电容耦合导致所述第一 MOS 管 111 栅端的电压下降, 其源端的电压保持不变, glitch 幅度大于所述第一 MOS 管 111 阈值电压时, 所述第一 MOS 管 111 导通, 并对第三输入端 M 进行充电, 使其电压上升; 锁存器 110 使得第二输入端 N 的电压下降至 “0”, 所述第三输入端 M 的电压进一步上升至 “1”。此时, 所述阈值判决模块 120 输出 (Detection) 信号被拉高至 “1”, 信号输出模块 130 检测到 Detection 信号的上升沿后, 更新 D 触发器的输出状态, 即信号输出模块 130 输出的目标信号变为 “1”, 用于指示电源电压或地电压上出现 glitch。

当 GND 上出现负方向 glitch, 并且 glitch 幅度接近所述第一 MOS 管 111 阈值电压时, 所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

结合图 2 来说, 电容耦合导致所述第一 MOS 管 111 栅端的电压下降, 其源端的电压保持不变; glitch 幅度接近所述第一 MOS 管 111 阈值电压时, 所述电源电压通过所述第一 MOS 管 111 对第三输入端 M 进行充电, 使其电压上升; 经所述第四 MOS 管 114 对所述第二输入端 N 进行放电, 使其电压下降; 所述第三输入端 M 的电压上升使得经过所述第一 MOS 管 111 的电流下降, 即所述第三输入端 M 的电压不再进一步上升, 第二输入端 N 的电压不再进一步下降; 通过锁存器 110 的作用, 所述第三输入端 M 经过一段时间后会下降至 “0”, 所述第二输入端 N 的电压经过一段时间后会上升至 “1”, 具体地, N 和电压和 M 点电压的状态可以如图 3 所示; 阈值判决模块 120 可以检测到第三输入端 M 的电压在一段时间内处于维持上升的状态, 并将这种状态判定为 “1”, 即输出 (Detection) 信号被拉高至 “1”。所述 D 触发器检测到 Detection 信号上升沿, 更新 D 触发器输出状态, 信号输出模块 130 输出的目标信号变为 “1”, 用于指示电源电压或地电压上出现 glitch。

请继续参见图 2, 所述毛刺信号检测电路还可以包括第五 MOS 管 170, 所述第五 MOS 管 170 的栅端连接至所述电源电压, 所述第五 MOS 管 170 的源端连接至所述第二输入端 N, 所述第五 MOS 管 170 的漏端连接至所述第三输入端 M。当然, 所述第五 MOS 管 170 的漏端也可以连接至所述锁存

器 110 的第二输出端。

例如，所述电源电压上未出现负方向上的毛刺信号且所述地电压上未出现正方向上的毛刺信号时，所述第三输入端 M 的电压值的未发生变化，所述信号输出模块 130 用于生成并输出第三信号，所述第三信号用于指示所述电源电压或所述地电压未出现毛刺信号；所述电源电压上出现负方向上的毛刺信号和/或所述地电压上出现正方向上的毛刺信号时，所述第三输入端 M 的电压值的变化，所述信号输出模块 130 用于根据所述第三输入端的电压值的变化生成并输出第四信号，所述第四信号用于指示所述电源电压或所述地电压出现毛刺信号。

即可以利用第五 MOS 管 170 对电源电压上出现的负方向 glitch 和地电压上出现的正方向 glitch 进行检测。换句话说，通过所述锁存器 110 和所述第五 MOS 管 170 的配合，可以实现双向 glitch 的检测。

具体而言，当 VDD 上出现负方向 glitch，并且 glitch 幅度大于所述第五 MOS 管 170 阈值电压时，所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

结合图 2 来说，所述第五 MOS 管 170 源端（即第二输入端 N）的电压保持不变，其栅端的电源电压下降，glitch 幅度大于所述第五 MOS 管 170 阈值电压时，所述第五 MOS 管 170 导通；所述电容器 160 通过所述第五 MOS 管 170 对第三输入端 M 进行充电，使其电压上升，同时第二输入端 N 经过电荷分配后其电压下降；锁存器 110 进一步使得所述第二输入端 N 的电压下降至“0”，第三输入端 M 的电压进一步上升至“1”；此时，所述阈值判决模块 120 的输出（Detection）信号被拉高至“1”，所述信号输出模块 130 检测到 Detection 信号的上升沿后，更新 D 触发器输出状态，即信号输出模块 130 输出的目标信号变为“1”，用于指示电源电压或地电压上出现 glitch。

当 VDD 上出现负方向 glitch，并且 glitch 幅度接近所述第五 MOS 管 170 阈值电压时，所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

结合图 2 来说，所述第五 MOS 管 170 源端（即第二输入端 N）的电压保持不变，其栅端的电源电压下降，glitch 幅度接近所述第五 MOS 管 170 阈值电压时，所述电容器 160 通过所述第五 MOS 管 170 对第三输入端 M 进行充电，使其电压上升，同时第二输入端 N 经过电荷分配后其电压下降；所

述第三输入端 M 的电压上升使得经过所述第五 MOS 管 170 的电流下降, 即所述第三输入端 M 的电压不再进一步上升, 第二输入端 N 的电压不再进一步下降; 通过锁存器 110 的作用, 所述第三输入端 M 经过一段时间后会下降至“0”, 所述第二输入端 N 的电压经过一段时间后会上升至“1”, 具体地, N 和电压和 M 点电压的状态可以如图 3 所示; 阈值判决模块 120 可以检测到第三输入端 M 的电压在一段时间内处于维持上升的状态, 并将这种状态判定为“1”, 即输出 (Detection) 信号被拉高至“1”。所述 D 触发器检测到 Detection 信号上升沿, 更新 D 触发器输出状态, 信号输出模块 130 输出的目标信号变为“1”, 用于指示电源电压或地电压上出现 glitch。

当 GND 上出现正方向 glitch, 并且 glitch 幅度大于所述第五 MOS 管 170 阈值电压时, 所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

结合图 2 来说, 所述第五 MOS 管 170 源端 (即第二输入端 N) 的电压增大, 其栅端的电压保持不变, glitch 幅度大于所述第五 MOS 管 170 阈值电压时, 所述第五 MOS 管 170 导通, 所述电容器 160 通过所述第五 MOS 管 170 对第三输入端 M 进行充电, 使其电压上升, 同时第二输入端 N 经过电荷分配后其电压下降; 锁存器 110 进一步使得所述第二输入端 N 的电压下降至“0”, 第三输入端 M 的电压进一步上升至“1”; 此时, 所述阈值判决模块 120 的输出 (Detection) 信号被拉高至“1”, 所述信号输出模块 130 检测到 Detection 信号的上升沿后, 更新 D 触发器输出状态, 即信号输出模块 130 输出的目标信号变为“1”, 用于指示电源电压或地电压上出现 glitch。

当 VDD 上出现负方向 glitch, 并且 glitch 幅度接近所述第五 MOS 管 170 阈值电压时, 所述信号输出模块 130 输出的目标信号用于指示电源电压或地电压上出现 glitch。

结合图 2 来说, 所述第五 MOS 管 170 源端 (即第二输入端 N) 的电压增大, 其栅端的电压保持不变, glitch 幅度接近所述第五 MOS 管 170 阈值电压时, 所述电容器 160 经所述第五 MOS 管 170 对 M 点充电使 M 点电压上升, 同时 N 点经电荷分配电压下降。glitch 幅度接近所述第五 MOS 管 170 阈值电压时, 所述第五 MOS 管 170 导通; 所述电容器 160 通过所述第五 MOS 管 170 对第三输入端 M 进行充电, 使其电压上升, 同时第二输入端 N 经过电荷分配后其电压下降; 所述第三输入端 M 的电压上升使得经过所述

第五 MOS 管 170 的电流下降,即所述第三输入端 M 的电压不再进一步上升,第二输入端 N 的电压不再进一步下降;通过锁存器 110 的作用,所述第三输入端 M 经过一段时间后会下降至“0”,所述第二输入端 N 的电压经过一段时间后会上升至“1”,具体地,N 和电压和 M 点电压的状态可以如图 3 所示;阈值判决模块 120 可以检测到第三输入端 M 的电压在一段时间内处于维持上升的状态,并将这种状态判定为“1”,即输出 (Detection) 信号被拉高至“1”。所述 D 触发器检测到 Detection 信号上升沿,更新 D 触发器输出状态,信号输出模块 130 输出的目标信号变为“1”,用于指示电源电压或地电压上出现 glitch。

10 图 4 是本申请实施例的阈值判决模块 120 的示意性电路图。

请参见图 4,所述阈值判决模块 120 可以包括第八 MOS 管 1211、第九 MOS 管 1221 和第十 MOS 管 1212,所述第八 MOS 管 1211 的源端连接至所述电源电压,所述第八 MOS 管 1211 的栅端连接至所述第十 MOS 管 1212 的栅端,所述第八 MOS 管 1211 的漏端连接至所述第十 MOS 管 1212 的漏端,所述第十 MOS 管 1212 的源端连接至所述地电压,所述第九 MOS 管 1221 的源端连接至所述电源电压,所述第九 MOS 管 1221 的栅端连接至所述第十一 MOS 管 1222 的栅端,所述第九 MOS 管 1221 的漏端连接至所述第十一 MOS 管 1222 的漏端,所述第十一 MOS 管 1222 的源端连接至所述地电压,所述第八 MOS 管 1211 的漏端连接所述第九 MOS 管 1221 的栅端,所述第八 MOS 管 1211 的栅端连接至所述第二输出端或所述第三输出端,所述第九 MOS 管 1221 的漏端连接至所述信号输出模块 130。

可选地,所述第八 MOS 管 1211 的宽长比小于第一预设阈值,所述第九 MOS 管 1221 的宽长比大于第二预设阈值,所述第十 MOS 管 1212 的宽长比大于第三预设阈值,所述第十一 MOS 管 1222 的宽长比小于第四预设阈值,其中,所述第一预设阈值小于或等于所述第三预设阈值,所述第二预设阈值大于或等于所述第四预设阈值,以提升所述阈值判决模块 120 的放大效果,进而提升毛刺信号检测电路 100 的灵敏度。

或者说,所述第八 MOS 管 1211 和所述第十 MOS 管 1212 形成第一反相器,所述第九 MOS 管 1221 和所述第十一 MOS 管 1222 形成第二反相器,所述第一反相器的翻转阈值小于所述第二反相器的翻转阈值。例如所述第一反相器的翻转阈值为 0.3,所述第二反相器的翻转阈值为 0.8,即通过降低所

述第一反相器的翻转阈值提升所述毛刺信号检测电路 100 的灵敏度,进一步地,通过增大所述第二反相器的翻转阈值,保证所述毛刺信号检测电路 100 的稳定性。

应理解,上述 0.3 和 0.8 仅为示例,本申请对所述第一反相器的翻转阈值和所述第二反相器的翻转阈值不做具体限定。

本申请还提供了一种电子设备,所述电子设备可以包括上文所述的毛刺信号检测电路。

应理解,上文涉及的 MOS 管可以是金属氧化物半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)。例如“N 型” MOS 管 (NMOSFET) 与“P 型” MOS 管 (PMOSFET)。其中,“N 型” MOS 管和“P 型” MOS 管当作开关使用时,“N 型” MOS 管 (衬底 PN 结指向内的 MOS 管或电流流出的 MOS 管) 的栅端接高电平时导通,接低电平时关断;“P 型” MOS 管 (PN 结指向外的 MOS 管或电流流入的 MOS 管) 的栅端接高电平时关断,接低电平时导通。

还应理解,图 1 至图 4 仅为本申请的示例,不应理解为对本申请的限制。

例如,可替代地,也可以将所述第三输出端连接至所述信号输出模块 130。

本领域普通技术人员可以意识到,结合本文中所公开的实施例描述的各示例的单元及电路,能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

在本申请所提供的几个实施例中,应该理解到,所揭露的电路、支路和模块,可以通过其它的方式实现。例如,以上所描述的支路是示意性的,例如,该模块的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个模块可以结合或者可以集成到一个支路,或一些特征可以忽略,或不执行。

所述集成的模块如果以软件功能单元的形式实现并作为独立的产品销售或使用时,可以存储在一个计算机可读取存储介质中。基于这样的理解,本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备 (可以是个人计算机,服

务器,或者网络设备等)执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM, Read-Only Memory)、随机存取存储器(RAM, Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

- 5 以上所述,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以该权利要求的保护范围为准。

权利要求

1. 一种毛刺信号检测电路，其特征在于，包括：

锁存器和信号输出模块；

- 5 所述锁存器的第一输入端连接至电源电压，所述锁存器的第一输出端连接至地电压，所述锁存器的第二输入端连接至所述锁存器的第三输出端，所述锁存器的第三输入端连接至所述锁存器的第二输出端，所述第二输出端或所述第三输出端连接至所述信号输出模块；

10 其中，所述电源电压上未出现毛刺信号且所述地电压上未出现毛刺信号时，所述锁存器用于将所述第二输入端的电压值维持在第一电压，并将所述第三输入端的电压值维持在第二电压，所述第一电压大于或小于所述第二电压；

15 所述信号输出模块用于根据所述第三输入端的电压值的变化生成并输出目标信号，所述目标信号用于指示所述电源电压或所述地电压是否出现毛刺信号。

2. 根据权利要求 1 所述的毛刺信号检测电路，其特征在于，所述电源电压上未出现正方向上的毛刺信号且所述地电压上未出现负方向上的毛刺信号时，所述第三输入端的电压值的未发生变化，所述信号输出模块用于生成并输出第一信号，所述第一信号用于指示所述电源电压或所述地电压未出现毛刺信号；所述电源电压上出现正方向上的毛刺信号和/或所述地电压上出现负方向上的毛刺信号时，所述第三输入端的电压值的变化，所述信号输出模块用于根据所述第三输入端的电压值的变化生成并输出第二信号，所述第二信号用于指示所述电源电压或所述地电压出现毛刺信号。

20

3. 根据权利要求 1 或 2 所述的毛刺信号检测电路，其特征在于，所述毛刺信号检测电路还包括：

25

电容器，所述锁存器的第二输入端通过所述电容器电连接至所述地电压。

4. 根据权利要求 1 至 3 中任一项所述的毛刺信号检测电路，其特征在于，所述锁存器包括：

30 第一金属氧化物半导体 MOS 管、第二 MOS 管、第三 MOS 管和第四 MOS 管，所述第一 MOS 管的源端连接至所述电源电压，所述第一 MOS 管的栅端连接至所述第三 MOS 管的栅端，所述第一 MOS 管的漏端连接至所

述第三 MOS 管的漏端, 所述第三 MOS 管的源端连接至所述地电压, 所述第二 MOS 管的源端连接至所述电源电压, 所述第二 MOS 管的栅端连接至所述第四 MOS 管的栅端, 所述第二 MOS 管的漏端连接至所述第四 MOS 管的漏端, 所述第四 MOS 管的源端连接至所述地电压, 所述第一 MOS 管的栅端连接至所述第二 MOS 管的漏端, 所述第二 MOS 管的栅端连接至所述第一 MOS 管的漏端。

5 5. 根据权利要求 1 至 4 中任一项所述的毛刺信号检测电路, 其特征在于, 所述毛刺信号检测电路还包括:

第五 MOS 管, 所述第五 MOS 管的栅端连接至所述电源电压, 所述第五 MOS 管的源端连接至所述第二输入端, 所述第五 MOS 管的漏端连接至所述第三输入端。

6. 根据权利要求 5 所述的毛刺信号检测电路, 其特征在于, 所述电源电压上未出现负方向上的毛刺信号且所述地电压上未出现正方向上的毛刺信号时, 所述第三输入端的电压值的未发生变化, 所述信号输出模块用于生成并输出第三信号, 所述第三信号用于指示所述电源电压或所述地电压未出现毛刺信号; 所述电源电压上出现负方向上的毛刺信号和/或所述地电压上出现正方向上的毛刺信号时, 所述第三输入端的电压值的变化, 所述信号输出模块用于根据所述第三输入端的电压值的变化生成并输出第四信号, 所述第四信号用于指示所述电源电压或所述地电压出现毛刺信号。

20 7. 根据权利要求 1 至 6 中任一项所述的毛刺信号检测电路, 其特征在于, 所述毛刺信号检测电路还包括:

使能控制电路, 所述使能控制电路用于控制所述锁存器将所述第二输入端的电压值维持在所述第一电压, 并将所述第三输入端的电压值维持在所述第二电压。

25 8. 根据权利要求 7 所述的毛刺信号检测电路, 其特征在于, 所述使能控制电路包括:

第六 MOS 管和第七 MOS 管, 所述第六 MOS 管的源端连接至所述电源电压, 所述第六 MOS 管的漏端连接至所述第二输入端, 所述第七 MOS 管的源端连接至所述地电压, 所述第七 MOS 管的漏端连接至所述第三输入端。

30 9. 根据权利要求 1 至 8 中任一项所述的毛刺信号检测电路, 其特征在于, 所述信号输出模块为 D 触发器。

10. 根据权利要求 1 至 9 中任一项所述的毛刺信号检测电路，其特征在于，所述毛刺信号检测电路还包括：

阈值判决模块，所述第二输出端或所述第三输出端通过所述阈值判决模块连接至所述信号输出模块，所述阈值判决模块用于放大所述第二输出端或
5 所述第三输出端输出的信号，并将放大后的信号发送至所述信号输出模块。

11. 根据权利要求 10 所述的毛刺信号检测电路，其特征在于，所述阈值判决模块包括：

第八 MOS 管、第九 MOS 管和第十 MOS 管，所述第八 MOS 管的源端连接至所述电源电压，所述第八 MOS 管的栅端连接至所述第十 MOS 管的栅端，所述第八 MOS 管的漏端连接至所述第十 MOS 管的漏端，所述第十
10 MOS 管的源端连接至所述地电压，所述第九 MOS 管的源端连接至所述电源电压，所述第九 MOS 管的栅端连接至所述第十一 MOS 管的栅端，所述第九 MOS 管的漏端连接至所述第十一 MOS 管的漏端，所述第十一 MOS 管的源端连接至所述地电压，所述第八 MOS 管的漏端连接至所述第九 MOS 管的
15 栅端，所述第八 MOS 管的栅端连接至所述第二输出端或所述第三输出端，所述第九 MOS 管的漏端连接至所述信号输出模块。

12. 根据权利要求 11 所述的毛刺信号检测电路，其特征在于，所述第八 MOS 管和所述第十 MOS 管形成第一反相器，所述第九 MOS 管和所述第十一 MOS 管形成第二反相器，所述第一反相器的翻转阈值小于所述第二反相器的翻转阈值。
20

13. 一种安全芯片，其特征在于，包括：

权利要求 1 至 12 中任一项所述的毛刺信号检测电路。

14. 一种电子设备，其特征在于，包括：

权利要求 13 所述的安全芯片芯片；和

25 处理器，所述处理器用于接收所述安全芯片发送的目标信号，所述目标信号用于指示电源电压或地电压是否出现毛刺信号。

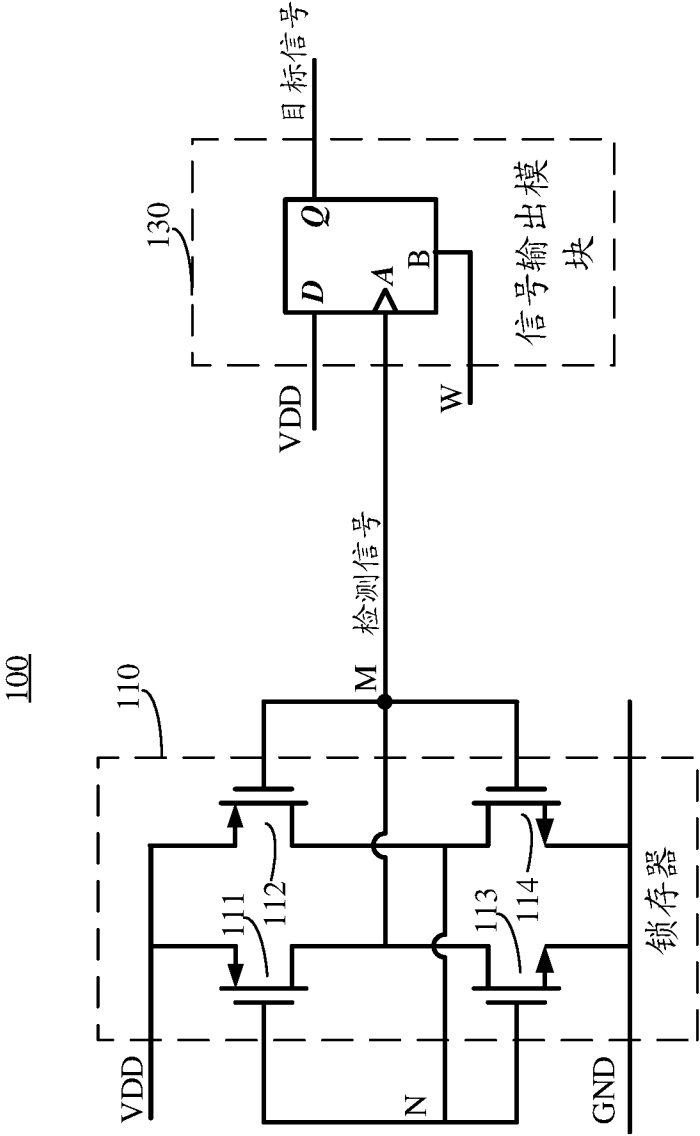


图 1

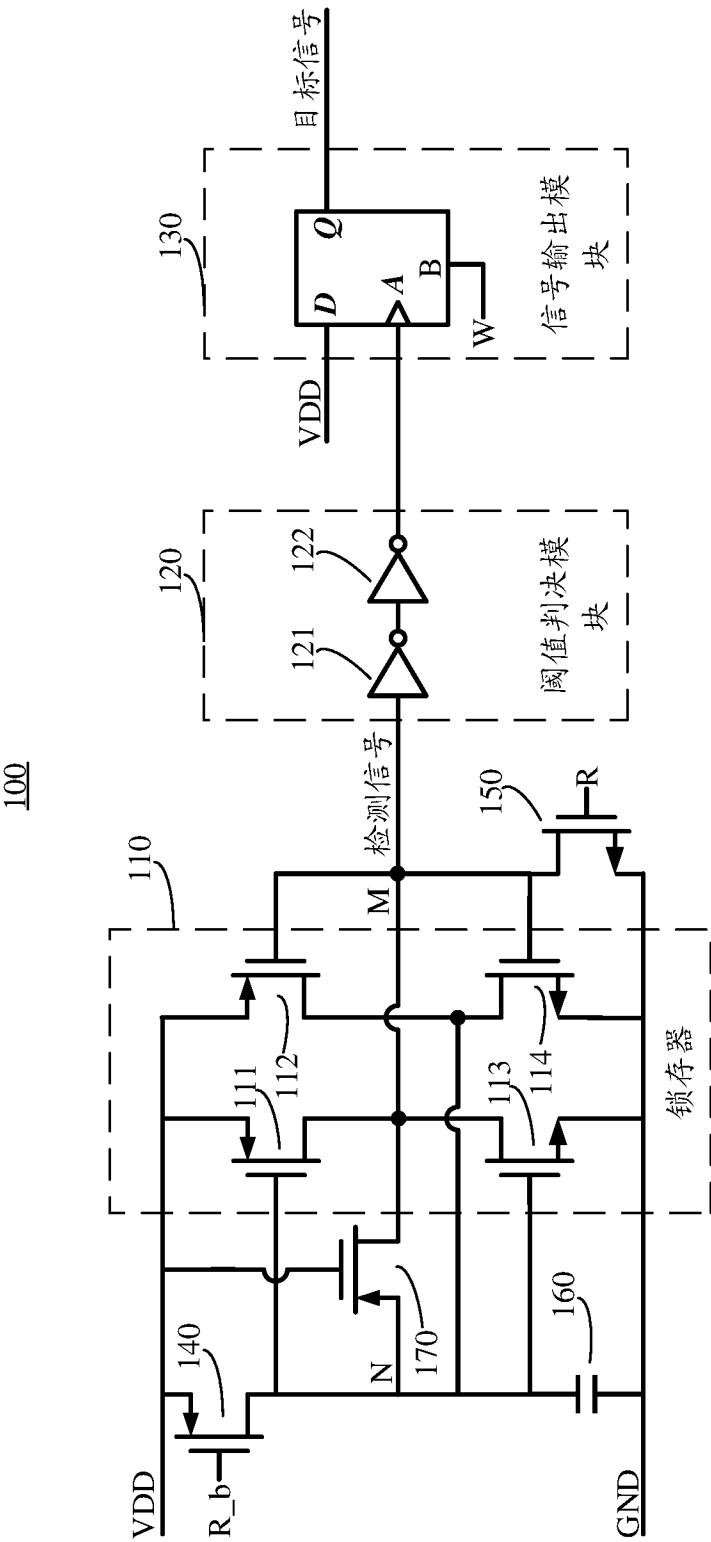


图2

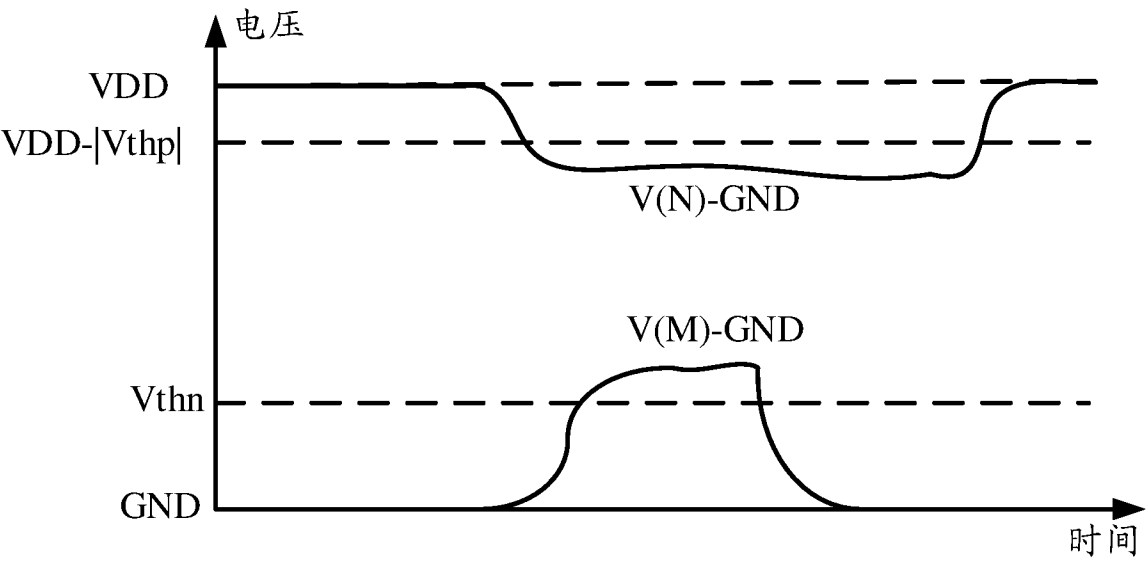


图 3

120

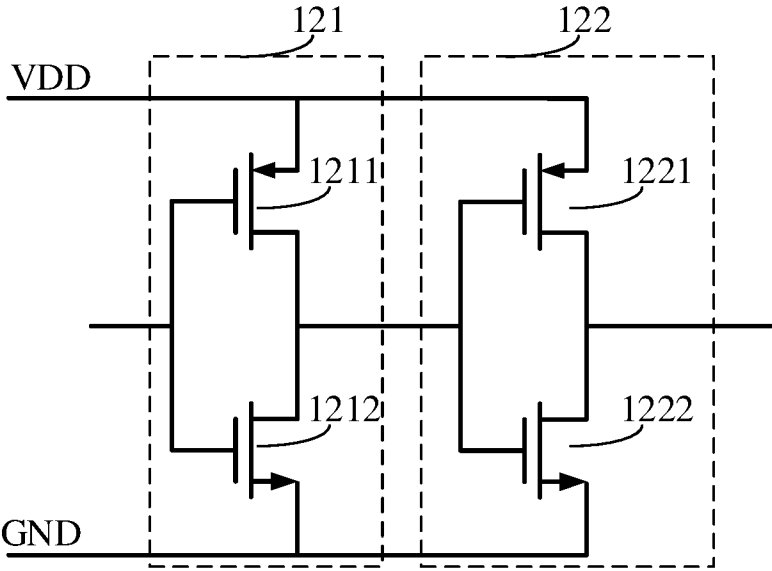


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/092503

A. CLASSIFICATION OF SUBJECT MATTER

G01R 19/165(2006.01)i; G01R 31/40(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 毛刺, 干扰, 突波, 锁存器, 反相器, D触发器, glitch, deglitch, latch, inverter, flip-flop, trigger

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7409659 B2 (AGERE SYSTEMS INC.) 05 August 2008 (2008-08-05) description, column 6, lines 21-41, figure 7	1-14
A	KR 20000007158 A (HYUNDAI ELECTRONICS IND. CO., LTD.) 07 February 2000 (2000-02-07) entire document	1-14
A	US 2008298116 A1 (ACTEL CORPORATION) 04 December 2008 (2008-12-04) entire document	1-14
A	US 7719325 B1 (GREENERGY OPTO, INC.) 18 May 2010 (2010-05-18) entire document	1-14
A	CN 103675421 A (STATE GRID CORPORATION OF CHINA et al.) 26 March 2014 (2014-03-26) entire document	1-14
A	CN 104459564 A (SHANGHAI AISINOCHIP ELECTRONICS TECHNOLOGY CO., LTD.) 25 March 2015 (2015-03-25) entire document	1-14
A	CN 109709475 A (NXP AMERICA INC.) 03 May 2019 (2019-05-03) entire document	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 March 2020

Date of mailing of the international search report

23 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/092503

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	7409659	B2	05 August 2008	US	2006107245	A1	18 May 2006
KR	20000007158	A	07 February 2000	KR	305718	B1	30 November 2001
US	2008298116	A1	04 December 2008	US	6990010	B1	24 January 2006
				US	7126842	B2	24 October 2006
				US	2006126376	A1	15 June 2006
				US	7403411	B1	22 July 2008
				US	7672153	B2	02 March 2010
US	7719325	B1	18 May 2010	US	2010123501	A1	20 May 2010
CN	103675421	A	26 March 2014	WO	2014190666	A1	04 December 2014
CN	104459564	A	25 March 2015	CN	104459564	B	05 September 2017
CN	109709475	A	03 May 2019	US	10277213	B1	30 April 2019
				US	2019131960	A1	02 May 2019

国际检索报告

国际申请号

PCT/CN2019/092503

A. 主题的分类

G01R 19/165(2006.01)i; G01R 31/40(2014.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G01R

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EP0DOC: 毛刺, 干扰, 突波, 锁存器, 反相器, D触发器, glitch, deglitch, latch, inverter, flip-flop, trigger

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 7409659 B2 (AGERE SYSTEMS INC.) 2008年 8月 5日 (2008 - 08 - 05) 说明书第6栏第21-41行, 附图7	1-14
A	KR 20000007158 A (HYUNDAI ELECTRONICS IND. CO., LTD.) 2000年 2月 7日 (2000 - 02 - 07) 全文	1-14
A	US 2008298116 A1 (ACTEL CORPORATION) 2008年 12月 4日 (2008 - 12 - 04) 全文	1-14
A	US 7719325 B1 (GREENERGY OPTO, INC.) 2010年 5月 18日 (2010 - 05 - 18) 全文	1-14
A	CN 103675421 A (国家电网公司 等) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-14
A	CN 104459564 A (上海爱信诺航芯电子科技有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-14
A	CN 109709475 A (恩智浦美国有限公司) 2019年 5月 3日 (2019 - 05 - 03) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 3月 13日

国际检索报告邮寄日期

2020年 3月 23日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

丁小汀

电话号码 86-(10)-53961261

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/092503

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	7409659	B2	2008年 8月 5日	US	2006107245	A1	2006年 5月 18日
KR	20000007158	A	2000年 2月 7日	KR	305718	B1	2001年 11月 30日
US	2008298116	A1	2008年 12月 4日	US	6990010	B1	2006年 1月 24日
				US	7126842	B2	2006年 10月 24日
				US	2006126376	A1	2006年 6月 15日
				US	7403411	B1	2008年 7月 22日
				US	7672153	B2	2010年 3月 2日
US	7719325	B1	2010年 5月 18日	US	2010123501	A1	2010年 5月 20日
CN	103675421	A	2014年 3月 26日	WO	2014190666	A1	2014年 12月 4日
CN	104459564	A	2015年 3月 25日	CN	104459564	B	2017年 9月 5日
CN	109709475	A	2019年 5月 3日	US	10277213	B1	2019年 4月 30日
				US	2019131960	A1	2019年 5月 2日