



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202425335 A

(43)公開日：中華民國 113 (2024) 年 06 月 16 日

(21)申請案號：112128314

(22)申請日：中華民國 112 (2023) 年 07 月 28 日

(51)Int. Cl.：

*H01L29/778 (2006.01)**H01L29/66 (2006.01)**H01L21/338 (2006.01)*

(30)優先權：2022/08/03

世界智慧財產權組織

PCT/US2022/039314

(71)申請人：美商維西埃矽化物公司 (美國) VISHAY SILICONIX, LLC (US)

美國

(72)發明人：希比布 艾曼 SHIBIB, AYMAN (US)；拉賈比 薩巴 RAJABI, SABA (IR)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 40 頁

(54)名稱

P 型氮化鎵高電子遷移率電晶體場鍍覆

(57)摘要

本發明係關於一種高電子遷移率電晶體 (HEMT)，其包括安置於表面上之源極、安置於該表面上之汲極、安置於該源極與該汲極之間的該表面上之閘極及安置於該閘極與該汲極之間的該表面上之第一場板。在一些實施方案中，該第一場板包括 p 型摻雜氮化鎵 (P-GAN)。在一些實施方案中，該第一場板包括經配置以使該 HEMT 之導通電阻之增加量降至最低的摻雜濃度、摻雜材料、幾何形狀及/或位置。在一些實施方案中，該第一場板在該源極區與該汲極區之間且平行於該源極區及該汲極區連續延伸，使得任何自該源極至該汲極之路徑在該第一場板下方、內部或上方通過。在一些實施方案中，該第一場板連續延伸超出該源極與該汲極之間的該表面之整個寬度。

A high electron mobility transistor (HEMT) which includes a source disposed on a surface, a drain disposed on the surface, a gate disposed on the surface between the source and the drain, and a first field plate disposed on the surface between the gate and the drain. In some implementations, the first field plate includes a p-type doped GaN (P-GAN). In some implementations, the first field plate includes a doping concentration, doping material, geometry, and/or position that is configured to minimize an increase of an on-resistance of the HEMT. In some implementations, the first field plate extends continuously between and parallel to the source and the drain regions, such that any path from the source to the drain passes under, through, or over the first field plate. In some implementations, the first field plate extends continuously beyond an entire width of the surface between the source and the drain.

指定代表圖：

符號簡單說明：

100:高電子遷移率電晶體(HEMT)

105:源極接點

110:汲極接點

115:閘極

120:基板

125:緩衝層

130:通道層

135:障壁層

140:介電質

150:閘極接點

160:場板

170:二維電子氣(2DEG)

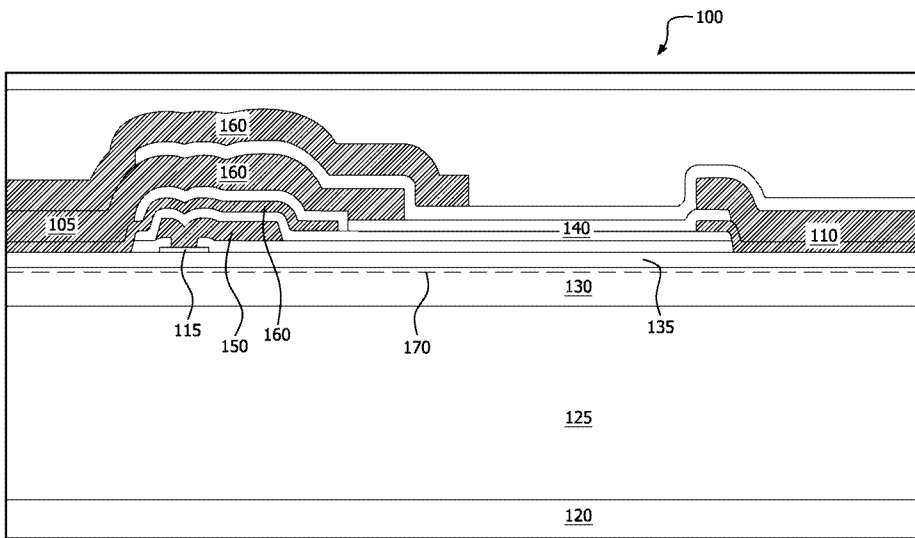


圖1



【發明摘要】

【中文發明名稱】 P型氮化鎵高電子遷移率電晶體場鍍覆

【英文發明名稱】 P-GAN HIGH ELECTRON MOBILITY TRANSISTOR
FIELD PLATING

【中文】

本發明係關於一種高電子遷移率電晶體（HEMT），其包括安置於表面上之源極、安置於該表面上之汲極、安置於該源極與該汲極之間的該表面上之閘極及安置於該閘極與該汲極之間的該表面上之第一場板。在一些實施方案中，該第一場板包括p型摻雜氮化鎵（P-GAN）。在一些實施方案中，該第一場板包括經配置以使該HEMT之導通電阻之增加量降至最低的摻雜濃度、摻雜材料、幾何形狀及/或位置。在一些實施方案中，該第一場板在該源極區與該汲極區之間且平行於該源極區及該汲極區連續延伸，使得任何自該源極至該汲極之路徑在該第一場板下方、內部或上方通過。在一些實施方案中，該第一場板連續延伸超出該源極與該汲極之間的該表面之整個寬度。

【英文】

A high electron mobility transistor (HEMT) which includes a source disposed on a surface, a drain disposed on the surface, a gate disposed on the surface between the source and the drain, and a first field plate disposed on the surface between the gate and the drain. In some implementations, the first field plate includes a p-type doped GaN (P-GAN). In some implementations, the first field plate includes a doping concentration, doping material, geometry, and/or position that is configured to minimize an increase of an on-resistance of the HEMT. In some implementations, the

first field plate extends continuously between and parallel to the source and the drain regions, such that any path from the source to the drain passes under, through, or over the first field plate. In some implementations, the first field plate extends continuously beyond an entire width of the surface between the source and the drain.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

100:高電子遷移率電晶體 (HEMT)

105:源極接點

110:汲極接點

115:閘極

120:基板

125:緩衝層

130:通道層

135:障壁層

140:介電質

150:閘極接點

160:場板

170:二維電子氣 (2DEG)

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 P型氮化鎵高電子遷移率電晶體場鍍覆

【英文發明名稱】 P-GAN HIGH ELECTRON MOBILITY TRANSISTOR
FIELD PLATING

【技術領域】

【0001】 本發明係關於電晶體裝置，且更具體地關於高電子遷移率電晶體（high electron mobility transistor，HEMT）裝置之場鍍覆。

【先前技術】

【0002】 HEMT為場效電晶體（field effect transistor，FET），其在兩種具有不同帶隙的材料之間併有界面作為通道。此類界面可稱為異質界面，且HEMT亦可稱為異質結構FET（heterostructure FET，HFET）。HEMT亦可稱為調制摻雜FET（modulation-doped FET，MODFET）。此與典型地在金屬氧化物半導體FET（metal-oxide semiconductor FET，MOSFET）中用作通道的摻雜區形成對比。HEMT的特點典型地為相對較低的導通電阻、較高的擊穿電壓及較低的開關損耗。

【0003】 典型HEMT用於功率放大器、無線通信系統、電壓轉換器及其他應用中。

【0004】 在運行中，HEMT產生電磁場。在一些狀況下，電磁場可能干擾閘極運行。一些HEMT包括用於緩解電磁場之影響的金屬結構，該金屬結構可稱為場板。

【發明內容】

【0005】 一種高電子遷移率電晶體 (HEMT)，其包括安置於一表面上之一源極、安置於該表面上之一汲極、安置於該源極與該汲極之間的該表面上之一閘極及安置於該閘極與該汲極之間的該表面上之一第一場板。在一些實施方案中，該第一場板包括一p型摻雜氮化鎵 (p-type doped GaN, P-GAN)。在一些實施方案中，該第一場板包括經配置以使該HEMT之導通電阻之增加量降至最低的摻雜濃度、摻雜材料、幾何形狀及/或位置。在一些實施方案中，該第一場板在該源極區與該汲極區之間且平行於該源極區及該汲極區連續延伸，使得任何自該源極至該汲極之路徑在該第一場板下方、內部或上方通過。在一些實施方案中，該第一場板連續延伸超出該源極與該汲極之間的該表面之整個寬度。

【圖式簡單說明】

【0006】 更詳細理解可從藉助於範例結合隨附圖式給出之以下描述獲得，其中：

【0007】 [圖1]為一例示性HEMT之橫截面圖；

【0008】 [圖2]為圖1之例示性HEMT的橫截面圖，繪示了電場分佈；

【0009】 [圖3A]為另一例示性HEMT的橫截面圖；

【0010】 [圖3B]為圖3A之一部分的放大視圖，展示圖3A之例示性HEMT的細節。

【0011】 [圖4]為圖3A及圖3B之例示性HEMT的橫截面圖，繪示了電場分佈；

【0012】 [圖5]為說明圖1及圖2之HEMT的AlGa_N區處之場強度的線圖，對應於圖2中所繪示之電場；

【0013】 [圖6]為說明圖3A、圖3B及圖4之HEMT的AlGa_N區處之場強度的線圖，對應於圖4中所繪示之電場；

【0014】 [圖7]為說明圖1及圖2之HEMT的二維電子氣 (two dimensional electron gas, 2DEG) 區處之場強度的線圖，對應於圖2中所繪示之電場；

【0015】 [圖8]為說明圖3A、圖3B及圖4之HEMT的2DEG區處之場強度的線圖，對應於圖4中所繪示之電場；

【0016】 [圖9]為圖3A、圖3B及圖4之HEMT的平面圖；及

【0017】 [圖10]為說明用於製造例示性HEMT之例示性步驟的流程圖。

【實施方式】

【0018】 一些實施方案提供高電子遷移率電晶體 (HEMT)。HEMT包括安置於表面上之源極；安置於表面上之汲極；安置於源極與汲極之間的表面上之閘極；及安置於閘極與汲極之間的表面上之第一場板。

【0019】 在一些實施方案中，第一場板包括摻雜氮化鎵 (GaN)。在一些實施方案中，第一場板處於浮動電壓下。在一些實施方案中，第一場板並不電連接至電壓源。在一些實施方案中，第二場板安置於閘極與第一場板之間的表面上。在一些實施方案中，第二場板電連接至電壓源。在一些實施方案中，該第二場板電連接至源極。在一些實施方案中，第一場板包括GaN且相較於閘極具有不同的摻雜劑濃度、不同的摻雜劑類型或不同的摻雜材料。在一些實施方案中，該第一場板包括經配置以使該HEMT之導通電阻之增加量降至最低的摻雜濃度、摻雜材料、幾何形狀及/或位置。在一些實施方案中，第一場板為連續的。在一些實施方案中，第一場板在該源極區與該汲極區之間且平行於該源極區及該汲極區連續延伸，使得任何自該源極至該汲極之路徑在該第一場板下方、內部或上方通過。在一些實施方案中，第一場板連續延伸超出該源極與該汲極之間的該表面之整個寬度。在一些實施方案中，第一場板距離閘極比距離汲極更近。在一些實施方案中，第一場板包括p型摻雜氮化鎵 (P-GAN)。在一些實施方案中，第一場

板包括p型摻雜氮化鋁鎵 (aluminum gallium nitride, AlGaN) 或n型摻雜AlGaN。

【0020】 一些實施方案提供一種用於製造高電子遷移率電晶體 (HEMT) 之方法。閘極材料沈積於源極與汲極之間的表面上。第一場板材料沈積於閘極材料與汲極之間的表面上。

【0021】 在一些實施方案中，閘極材料及第一場板材料包括摻雜氮化鎵 (GaN)。在一些實施方案中，第一場板材料跨越源極與汲極之間的表面連續延伸，使得任何自源極至汲極之路徑在第一場板材料下方、內部或上方通過。在一些實施方案中，第一場板材料包括p型摻雜GaN (P-GaN)。在一些實施方案中，第一場板材料包括p型摻雜氮化鋁鎵 (AlGaN) 或n型摻雜AlGaN。

【0022】 現將詳細參考各種具體實例，該等具體實例的實施例在附隨圖式中予以說明。雖然結合此等具體實例進行描述，但應理解，其並不意欲將申請專利範圍限於此等具體實例。相反地，該描述意欲涵蓋替代方案、修改及等效物，該等涵蓋內容可包括在如由所附申請專利範圍所定義之本說明書之精神及範圍內。此外，在本發明之以下詳細描述中，闡述眾多特定細節以提供透徹理解。然而，所屬技術領域中具有通常知識者將認識到，各種具體實例可在無此等特定細節之情況下實踐。在其他情況下，未詳細描述熟知的方法、程序、組件及電路，以免不必要地混淆具體實例之態樣。

【0023】 某些術語僅出於方便起見而用於以下描述中且不為限制性的。字組「右側 (right)」、「左側 (left)」、「頂部 (top)」及「底部 (bottom)」表示進行參考之圖式中之方向。除非另外特定陳述，否則如在申請專利範圍中及本說明書之對應部分中所使用之字組「一 (a)」及「一個 (one)」經定義為包括所提及事項中之一或多者。此術語包括以上特定提及之字組、其衍生字組及具有類似含義之字組。隨後為諸如「A、B或C」之兩個或更多個事項的片語「至少一個 (at least one)」意謂著A、B或C中之任何個別一者以及其任何組合。可注意，一些圖

式僅出於解釋、說明及論證目的之目的而以部分透明度展示，且並不意欲指示元件自身將在其最終製造形成中為透明的。

【0024】 應理解，儘管本文中可使用術語第一、第二等描述各種元件，但此等元件不應受此等術語限制。此等術語僅用於將一個元件與另一個元件區分開來。舉例而言，在不脫離本說明書之範圍的情況下，第一元件可稱為第二元件，且類似地，第二元件可稱為第一元件。如本文所用，術語「及/或 (and/or)」包括相關所列事項中之任一者以及一或多者的所有組合。

【0025】 應理解，當諸如層、區、基板、導線、夾子、襯墊或接點之元件被稱為「在另一元件上」或延伸「至另一元件上」時，其可直接在另一元件上或直接延伸至另一元件上或亦可存在介入元件。相比之下，當元件被稱為「直接位於另一元件上」或「直接延伸至另一元件上」時，不存在介入元件。亦應理解，當元件被稱為「連接」或「耦接」至另一元件時，其可直接地連接或耦接至另一元件，或可存在介入元件。相比之下，當元件被稱為「直接連接」或「直接耦接」至另一元件時，不存在介入元件。應理解，除了諸圖中所描繪之任何定向之外，此等術語亦意欲涵蓋元件之不同定向。

【0026】 諸如「下方 (below)」或「上方 (above)」或「上部 (upper)」或「下部 (lower)」或「水平 (horizontal)」或「垂直 (vertical)」之相對術語可在本文中用以描述一個元件、層或區與另一元件、層、區之關係。應理解，此等術語意欲涵蓋裝置的除諸圖中所描繪的定向以外的不同定向。

【0027】 諸圖未按比例繪製，且僅結構之部分以及形成彼等結構之各種層可展示於諸圖中。大體而言，諸圖繪示符號化及簡化的結構以用於理解，且並不意欲詳細地再現實體結構。此外，製造製程及操作可連同本文中所論述之製程及操作一起執行；亦即，在本文中所展示及所描述之操作之前、之間及/或之後可存在數個製程操作。另外，具體實例可結合此等其他（可能習知的）製程及操作

來實施，但不會顯著干擾該等製程及操作。大體而言，具體實例可替換及/或補充習知製程之部分，但不會顯著影響周邊製程及操作。

【0028】 術語「HEMT」通常理解為與術語異質結構FET (HFET) 及調制摻雜FET (MODFET) 同義。術語「HEMT」包括通常已知為或稱為HEMT、FET 或MODFET之裝置。

【0029】 術語「MOSFET」通常理解為與術語絕緣閘極場效電晶體 (insulated-gate field-effect transistor, IGFET) 同義，因為許多現代MOSFET包含非金屬閘極及/或非氧化物閘極絕緣體。如本文所用，術語「MOSFET」未必暗示或需要包括金屬閘極及/或氧化物閘極絕緣體之FET。實情為，術語「MOSFET」包括通常已知為或稱為MOSFET之裝置。

【0030】 在本申請案之描述及申請專利範圍中之術語「實質上 (substantially)」用以指設計意圖，而非實體結果。半導體技術已部署出以較高準確度量測半導體之眾多態樣之能力。因此，當量測至可用精確度時，大體而言，半導體之實體態樣未精確地如設計那樣。此外，量測技術可容易地識別意欲相同之結構中之差異。因此，諸如「實質上相等 (substantially equal)」之術語應解譯為設計成相等的，受製造變化及量測精確度影響。

【0031】 圖1為例示性HEMT 100之橫截面圖。HEMT 100包括源極接點105、汲極接點110、閘極115、基板120、緩衝層125、通道層130、障壁層135、介電質140、閘極接點150及場板160。出於示例之目的，HEMT 100為增強模式裝置，然而，應注意，本文中所描述之原理亦適用於空乏模式HEMT裝置。一些實施方案包括關於圖1所描述之例示性組件之子集或額外組件。舉例而言，一些實施方案包括基板（該基板包括不同的層組合）上之源極、閘極及汲極，或略去場板。

【0032】 在圖1之實施例中，當閘極接點150及源極接點105均處於接地電

位時，HEMT 100處於斷開狀態，且當閘極接點150高於臨界電壓時，處於接通狀態。障壁層135具有比通道層130高的帶隙，由此促進形成2DEG 170。在接通狀態下，由於汲極接點110相對於源極接點105在電位上增加，因此電場迫使2DEG 170中的高遷移率電子自源極接點105向汲極接點110遷移，從而使得電流流動。閘極接點150下方2DEG 170之存在取決於施加至閘極接點150之電壓。高於臨界閘極電壓，在源極接點105與汲極接點110之間的2DEG 170為連續的。低於臨界閘極電壓，2DEG 170變得耗乏，直至在源極接點105與汲極接點110之間的閘極接點150下方的2DEG 170斷開。當閘極接點150低於臨界閘極電壓時，2DEG 170停止在汲極接點110與源極接點105之間流動，從而阻止電流流動且使HEMT 100進入斷開狀態。

【0033】 基板120可由任何適合之材料製成，諸如矽（Si）、工程基板（例如，QST®）、碳化矽（SiC）、氮化鎵（GaN）或任何其他適合之材料或材料組合，例如，能夠支持III族氮化物材料生長的材料。在此實施例中，基板120係由QST製成。在一些實施方案中，成核層（未圖示）可形成於基板120上，例如以減少HEMT 100之基板與緩衝層125之間的晶格失配。成核層可包括任何適合材料，且可使用任何適合之一或多種半導體生長技術於基板120上形成，該一或多種半導體生長技術諸如為金屬氧化物化學氣相沈積（metal oxide chemical vapor deposition，MOCVD）、混合氣相磊晶（hybrid vapor phase epitaxy，HVPE）或分子束磊晶（molecular beam epitaxy，MBE）。

【0034】 緩衝層125可形成於基板120（或對應成核層）上。在一些實施方案中，緩衝層125為高電阻率材料或包括高電阻率材料。在此情形下，高電阻率材料為裝置中電阻率不會引起漏電流高於所需量（例如高於臨界漏電流）之材料。在一些實施方案中，此類材料可具有（或大致，或大約） $1 \times 10^{15}/\text{cm}^3$ 之摻雜濃度（有意或無意摻雜）。在一些實施方案中，緩衝層125包括摻雜或未摻雜III族

氮化物材料層。在此實施例中，緩衝層125由單層或多層AlGaIn製成，然而，可使用任何適合之III族氮化物材料。在一些實施方案中，緩衝層125摻雜有鐵、碳或任何其他適合的摻雜劑，例如以減小陷阱密度。緩衝層125可使用AlN或任何適合之一或多種半導體生長技術於基板120（或對應成核層）上形成，該一或多種半導體生長技術諸如為金屬氧化物化學氣相沈積（MOCVD）、混合氣相磊晶（HVPE）或分子束磊晶（MBE）。

【0035】 通道層130可形成於緩衝層125上。在一些實施方案中，通道層130包括任何適合的摻雜或未摻雜III族氮化物材料。在此實施例中，通道層由GaIn製成，然而，可使用任何適合之III族氮化物材料。通道層130可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於緩衝層125上形成。

【0036】 在一些實施方案中，通道層130具有適合於防止晶圓翹曲之厚度。在一些實施方案中，通道層130具有適合於防止晶圓翹曲之最小厚度。在一些實施方案中，通道層130具有在數百奈米之範圍內的厚度。在一些實施方案中，通道層130為可由無意摻雜或低摻雜材料製成之高電阻層。在此情形下，高電阻材料為裝置中電阻不會引起漏電流高於所要量（例如，高於臨界漏電流）的材料。在一些實施方案中，此類材料可具有（或大致，或大約） $1 \times 10^{15}/\text{cm}^3$ 之摻雜濃度（有意或無意摻雜）。在一些實施方案中，通道層130為n型III族氮化物材料或包括n型III族氮化物材料。概念上，一些實施方案可使用p型III族氮化物材料，其中裝置經配置以使用二維電洞氣（two-dimensional hole gas，2DHG）運行。

【0037】 障壁層135可形成於通道層130上。如同緩衝層125，障壁層135可包括摻雜或未摻雜III族氮化物材料層。障壁層135可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於通道層130上形成。在一些此等實施例中，對於0.18至0.23之Al莫耳分數，障壁層135包含厚度在12nm~25 nm範圍內之AlGaIn。在一些實施方案中，障壁層135之厚度可在裝置之不同區之間變

化(例如,障壁層135可在閘極115下方及/或在汲極存取區中及/或在源極接點105及/或汲極接點110下方具有不同厚度)。

【0038】 閘極115可形成於障壁層135的表面上。在一些實施方案中,閘極115包括任何適合之III族氮化物材料。在此實施例中,閘極115由生長於障壁層135上之摻雜GaN(在此實施例中為p型GaN)製成。在一些實施方案中,閘極115具有不均勻摻雜濃度(在此實施例中為p型)。舉例而言,可對此類不均勻摻雜濃度進行選擇以在閘極115內形成特定電場及空乏區。

【0039】 閘極115可使用任何適合之一或多種半導體生長技術,諸如MOCVD、HVPE或MBE,於障壁層135之表面上形成。在一些實施方案中,閘極115係由GaN(例如p型GaN)製成。在一些實施方案中,閘極115具有在 $1 \times 10^{16} \text{ cm}^3$ ~ $1 \times 10^{20} \text{ cm}^3$ (例如 $2 \times 10^{19} \text{ cm}^3$ ~ $3 \times 10^{19} \text{ cm}^3$)範圍內之摻雜濃度及在50nm~150 nm範圍內之厚度。

【0040】 閘極接點150係與閘極115呈肖特基接觸(Schottky contact)或歐姆接觸(Ohmic contact)且使用任何適合之一或多種金屬沈積技術形成的電極。閘極接點150由鋁或任何其他適合的金屬、金屬堆疊物或任何其他導體或導體層製成。在一些實施方案中,此等材料經配置以提供歐姆或肖特基接觸。在一些實施方案中,如圖1中所示,閘極接點150在汲極接點110之方向上在障壁層135上方延伸,但並不接觸障壁層(例如,藉由介電質分開)。在一些此類實施方案中,閘極接點150之延伸部分可充當場板以屏蔽閘極115免受一或多層材料之電場(例如,高電場,諸如具有高於臨界場強度之強度的場,或高於臨界電場(critical electric field, E_c)的電場)影響。在一些實施方案中, E_c 典型地等於或大約為4 MV/cm。

【0041】 汲極接點110係在與障壁層135之障壁接合面處展現歐姆特性,形成汲極區的電極。汲極接點110包括安置於障壁層135上,形成HEMT 100之汲極

區的一或多個金屬層。汲極接點110係由鋁或任何其他適合金屬、金屬堆疊物或其他導體製成。汲極接點110包括安置於障壁層135上之一或多個接觸金屬層。

【0042】 源極接點105係在與障壁層135之障壁接合面處展現歐姆特性，形成源極區的電極。源極接點105係由鋁或任何其他適合金屬、金屬堆疊物或其他導體製成。源極接點105包括安置於障壁層135上之一或多個接觸金屬層。在一些實施方案中，如圖1中所示，源極接點105在汲極接點110之方向上在障壁層135上方延伸，但並不接觸障壁層135。在一些此類實施方案中，閘極接點150之延伸部分可充當場板以屏蔽閘極115免受一或多層之材料的電場（例如，高電場，諸如具有高於臨界場強度或高於 E_c 之強度的場）影響。在一些實施方案中， E_c 典型地等於或大約為4 MV/cm。在一些實施方案中，若干金屬層經沈積形成源極接點105，且如圖1中所示，各該等金屬層之部分在汲極接點110之方向上在障壁層135上方延伸，但並不接觸障壁層135。在一些此類實施方案中，源極接點105之多個延伸部分可充當場板以屏蔽閘極115免受一或多層之材料的電場（例如，高電場，諸如具有高於臨界場強度或高於 E_c 之強度的場）影響。在一些實施方案中， E_c 典型地等於或大約為4 MV/cm。在一些此類實施方案中，介電質140沈積於源極接點105之各金屬層的形成場板的延伸部分之間、場板與閘極接點115之間以及場板與障壁層135之間，例如，如圖1中所示。

【0043】 介電質140為介電材料，諸如氮化矽（SiN）、二氧化矽（SiO₂）、氧化鋁（Al₂O₃）、任何其他適合之介電材料，或者此等介電材料或其他介電材料之任何適合組合。如圖1中所示，介電質140沈積於HEMT 100上方，將HEMT 100之結構在電性上及物理上與環境及彼此分離。在一些實施方案中，介電質140沈積於若干層中。舉例而言，如圖1中所示，介電質140沈積於障壁層135及閘極115上方的第一層中。在此實施例中，介電質140之第一層經圖案化及蝕刻或以其他方式處理以暴露閘極115，使得閘極接點150可沈積於閘極115上。在閘極接點150

沈積之後，介電質140之第二層經沈積以覆蓋閘極接點150及介電質140之第一層。介電質140之諸層經圖案化及蝕刻或以其他方式處理以使得源極接點105之第一層可沈積於障壁層135上，且源極接點105之一部分可沈積於介電質140之第二層上以形成場板160。可反覆地執行介電質140之複數個層的圖案化、蝕刻及沈積，以產生介電質140之諸層及其他如圖1中所示之HEMT結構或任何其他適合的HEMT結構。

【0044】 圖2為關於圖1所展示及描述之例示性HEMT 100的橫截面圖，其進一步繪示在HEMT 100處於斷開狀態時電場之存在。在此實施例中，HEMT 100為增強模式裝置。因此，在斷開狀態下，閘極接點150及源極接點105均處於接地電位，而汲極接點110處於相對較高電位。

【0045】 在此實施例中，在斷開狀態下，閘極115之接地電位阻止2DEG 170自源極接點105經由通道層130流動至汲極接點110。如圖2中覆蓋HEMT 100之陰影所繪示，在汲極接點110處為正電壓的情況下，在斷開狀態下，在緊鄰閘極115之區域中（亦即，在閘極115之邊緣處）的電場較強。應注意，即使場板160在一定程度上緩和了電場，此亦如此。在一些情況下，存在於閘極115之邊緣處的強電場可引起或促成HEMT 100之不適合的運行特性，及/或促成可導致閘極及裝置故障的電子或電洞捕獲。舉例而言，在一些情況下，此類電場可具有以下作用：降低HEMT 100之裝置臨界電壓，在HEMT 100中產生汲極-源極漏電流及/或閘極-汲極漏電流，及/或在HEMT 100之衰敗或老化期間促使閘極故障。

【0046】 圖3A為例示性HEMT 300之橫截面圖。HEMT 300包括源極接點305、汲極接點310、閘極315、基板320、緩衝層325、通道層330、障壁層335、介電質340、閘極接點350及場板360。HEMT 300亦包括場板380及場板390。

【0047】 HEMT 300在結構及材料方面實質上類似於如關於圖1及圖2所展示及描述之HEMT 100，不同之處在於其在障壁層335的表面上包括兩個場板，場

板380及場板390，以及針對場板380及場板390的構造調節。HEMT 300包括兩個此類場板，然而，應注意，在其他實施方案中，HEMT可包括僅一個此類場板，或超過兩個此類場板。

【0048】 出於示例之目的，HEMT 300為增強模式裝置，然而，應注意，本文中所描述之原理亦適用於空乏模式HEMT裝置。一些實施方案包括關於圖3A所描述之例示性組件之子集或額外組件。舉例而言，一些實施方案包括基板（該基板包括不同的層組合）上之源極、閘極及汲極，或略去場板。

【0049】 在圖3A之實施例中，當閘極接點350及源極接點305均處於接地電位時，HEMT 300處於斷開狀態，且當閘極接點350高於臨界電壓時，處於接通狀態。障壁層335具有比通道層330高的帶隙，由此促進形成2DEG 370。在接通狀態下，由於汲極接點310相對於源極接點305在電位上增加，因此電場迫使2DEG 370中的高遷移率電子自源極接點305向汲極接點310遷移，從而使得電流流動。在閘極接點350下方2DEG 370之存在取決於施加至閘極接點350之電壓。高於臨界閘極電壓，2DEG 370在源極接點305與汲極接點310之間為連續的。低於臨界閘極電壓，2DEG 370變得耗乏，直至在源極接點305與汲極接點310之間的閘極接點350下方的2DEG 370斷開。當閘極接點150低於臨界閘極電壓時，2DEG 370停止在汲極接點310與源極接點305之間流動，從而阻止電流流動且使HEMT 300進入斷開狀態。

【0050】 基板320可由任何適合之材料製成，諸如矽（Si）、工程基板（例如，QST®）、碳化矽（SiC）、氮化鎵（GaN）或任何其他適合之材料或材料組合，例如，能夠支持III族氮化物材料生長的材料。在此實施例中，基板320係由QST製成。在一些實施方案中，成核層（未圖示）可形成於基板320上，例如以減少HEMT 300之基板與緩衝層325之間的晶格失配。成核層可包括任何適合材料，且可使用任何適合之一或多種半導體生長技術於基板320上形成，該一或多種半導

體生長技術諸如為金屬氧化物化學氣相沈積(MOCVD)、混合氣相磊晶(HVPE)或分子束磊晶(MBE)。

【0051】 緩衝層325可形成於基板320(或對應成核層)上。在一些實施方案中,緩衝層325為高電阻率材料或包括高電阻率材料。在此情形下,高電阻率材料為裝置中電阻率不會引起漏電流高於所需量(例如高於臨界漏電流)之材料。在一些實施方案中,此類材料可具有(或大致,或大約) $1 \times 10^{15}/\text{cm}^3$ 之摻雜濃度(有意或無意摻雜)。在一些實施方案中,緩衝層325包括摻雜或未摻雜III族氮化物材料層。在此實施例中,緩衝層325由單層或多層AlGa_N製成,然而,可使用任何適合之III族氮化物材料。緩衝層325可使用任何適合之一或多種半導體生長技術,諸如MOCVD、HVPE或MBE,於基板320(或對應成核層)上形成。

【0052】 通道層330可形成於緩衝層325上。在一些實施方案中,通道層330包括任何適合的摻雜或未摻雜III族氮化物材料。在此實施例中,通道層由Ga_N製成,然而,可使用任何適合之III族氮化物材料。通道層330可使用任何適合之一或多種半導體生長技術,諸如MOCVD、HVPE或MBE,於緩衝層325上形成。

【0053】 場板380可使用任何適合之一或多種半導體生長技術,諸如MOCVD、HVPE或MBE,於障壁層335之表面上形成。在一些實施方案中,場板380係由Ga_N(例如,p型Ga_N)製成。在一些實施方案中,場板380充當場板以屏蔽閘極315免受電場(例如,高電場,諸如具有高於臨界場強度之強度的場)影響。

【0054】 在一些實施方案中,場板380由用於形成閘極315之相同Ga_N(例如,P-GAN)材料層形成(例如,藉由圖案化及/或蝕刻)。

【0055】 在一些實施方案中,場板380具有不同於閘極315之摻雜濃度的摻雜濃度。在一些實施方案中,場板380摻雜有不同於閘極315之摻雜材料的摻雜材料。在一些實施方案中,場板380具有在 $1 \times 10^{16} \text{ cm}^3 \sim 1 \times 10^{20} \text{ cm}^3$ (例如 2×10^{19}

$\text{cm}^3 \sim 3 \times 10^{19} \text{ cm}^3$) 範圍內之摻雜濃度。在一些實施方案中，場板380實質上比閘極315薄。在一些實施方案中，場板380之厚度為或大致為閘極335的三分之一至二分之一。在一些實施方案中，場板380具有不同於閘極335之尺寸（例如，長度、高度、寬度）的尺寸。在一些實施方案中，相比於閘極315，場板380之減小的厚度或不同的尺寸係藉由將罩幕及蝕刻製程應用於場板380來達成。在一些實施方案中，場板380經由金屬與源極接點305電連接或與其通信，或以其他方式保持在與源極接點305相同的電位下。在一些實施方案中，場板380由與用於形成閘極315之材料不同的材料形成。舉例而言，在閘極315由PGaN形成的情況下，場板380可由AlGaN形成。

【0056】 場板390可形成於障壁層335之表面上。在一些實施方案中，場板390包括任何適合之III族氮化物材料。在此實施例中，場板390由生長於障壁層335上之摻雜GaN（在此實施例中為P型GaN）製成。在一些實施方案中，場板390具有不均勻摻雜濃度（在此實施例中為p型）。舉例而言，在一些實施方案中，可對此類不均勻摻雜濃度進行選擇以在場板390內形成特定電場及空乏區。

【0057】 場板390可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於障壁層335之表面上形成。在一些實施方案中，場板390係由GaN（例如，p型GaN）製成。在一些實施方案中，場板380充當場板以屏蔽閘極315免受電場（例如，高電場，諸如具有高於臨界場強度之強度的場）影響。

【0058】 在一些實施方案中，場板390由用於形成閘極315及/或場板380之相同GaN（例如，P-GAN）材料層形成（例如，藉由圖案化及/或蝕刻）。在一些實施方案中，場板390具有不同於閘極315之摻雜濃度的摻雜濃度。在一些實施方案中，場板390摻雜有不同於閘極315之摻雜材料的摻雜材料。在一些實施方案中，場板390具有在 $1 \times 10^{16} \text{ cm}^3 - 1 \times 10^{20} \text{ cm}^3$ （例如 $2 \times 10^{19} \text{ cm}^3 \sim 3 \times 10^{19} \text{ cm}^3$ ）範圍內

之摻雜濃度。在一些實施方案中，場板390實質上比閘極315薄。在一些實施方案中，場板390之厚度為或大致為閘極335的三分之一至二分之一。在一些實施方案中，場板390具有不同於閘極335之尺寸（例如，長度、高度、寬度）的尺寸。在一些實施方案中，相比於閘極315，場板390之減小的厚度或不同的尺寸係藉由將罩幕及蝕刻製程應用於場板390（例如，用於達成場板380之厚度的相同製程）來達成。

【0059】 在一些實施方案中，場板390會浮動且並不經由金屬與源極接點105電連接或與其通信，或以其他方式保持在與源極接點105相同的電位下。應注意，場板390比場板380接近汲極110。在具有多於一個此類場板之一些實施方案中，最接近於汲極的場板會浮動且並不經由金屬與地面電連接或與其通信。在僅具有一個此類場板之一些實施方案中，該單個場板會浮動且並不經由金屬與地面電連接或與其通信。

【0060】 閘極接點350係與閘極315呈肖特基或歐姆接觸且使用任何適合之一或多種金屬沈積技術形成的電極。閘極接點350由鋁或任何其他適合的金屬、金屬堆疊物或任何其他導體或導體層製成。在一些實施方案中，此等材料經配置以提供歐姆或肖特基接觸。在一些實施方案中，如圖3A中所示，閘極接點350在汲極接點310之方向上在障壁層335上方延伸，但並不接觸障壁層（例如，藉由介電質分開）。在一些此類實施方案中，閘極接點350之延伸部分可充當場板以屏蔽閘極315免受電場（例如，高電場，諸如具有高於臨界場強度之強度的場）影響。

【0061】 汲極接點310係在與障壁層335之障壁接合面處展現歐姆特性，形成汲極區的電極。汲極接點310包括安置於障壁層335上，形成HEMT 300之汲極區的一或多個金屬層。汲極接點310係由鋁或任何其他適合的金屬、金屬堆疊物或其他導體製成。汲極接點310包括安置於障壁層335上之一或多個接觸金屬層。

【0062】 源極接點305係在與障壁層335之障壁接合面處展現歐姆特性，形成源極區的電極。源極接點305係由鋁或任何其他適合的金屬或其他導體製成。源極接點305包括安置於障壁層335上之一或多個接觸金屬層。在一些實施方案中，如圖3A中所示，源極接點305在汲極接點310之方向上在障壁層335上方延伸，但並不接觸障壁層335。在一些此類實施方案中，閘極接點350之延伸部分可充當場板以屏蔽閘極315免受電場（例如，高電場，諸如具有高於臨界場強度之強度的場）影響。

【0063】 在一些實施方案中，若干金屬層沈積形成源極接點305，且如圖3A中所示，各該等金屬層之部分在汲極接點310之方向上在障壁層335上方延伸，但並不接觸障壁層335。在一些此等實施方案中，源極接點305之多個延伸部分可充當場板以屏蔽閘極315免受電場（例如，高電場，諸如具有高於臨界場強度之強度的場）影響。在一些此類實施方案中，介電質340沈積於源極接點305之各金屬層的形成場板的延伸部分之間、場板與閘極接點315之間以及場板與障壁層335之間，例如，如圖3A中所示。

【0064】 應注意，在一些實施方案中，相較於由場板360形成的場板，場板380及場板390的優點為提供對閘極315之顯著較多的屏蔽以免受電場影響（例如，在控制閘極315之邊緣處的峰值電場方面較有效），此係由於例如其與閘極315較接近。因此，在一些實施方案中，略去場板360。略去場板360的優點可為減少源極接點305與汲極接點310的金屬之間的寄生電容。

【0065】 介電質340係介電材料，諸如氮化矽（SiN）、二氧化矽（SiO₂）、氧化鋁（Al₂O₃）或任何其他適合之介電材料。如圖3A中所示，介電質340沈積於HEMT 300上方，將HEMT 300之結構在電性上及物理上與環境及彼此分離。在一些實施方案中，介電質340沈積於若干層中。舉例而言，如圖3A中所示，介電質340沈積於障壁層335及閘極315上方之第一層中。在此實施例中，介電質340

之第一層經圖案化及蝕刻或以其他方式處理以暴露閘極315，使得閘極接點350可沈積於閘極315上。在閘極接點350沈積之後，第二介電層340經沈積以覆蓋閘極接點350及介電質340之第一層。介電質340之諸層經圖案化及蝕刻或以其他方式處理以使得源極接點305之第一層可沈積於障壁層335上，且源極接點305之一部分可沈積於介電質340之第二層上以形成場板360。可反覆地執行介電質340之複數個層的圖案化、蝕刻及沈積，以產生介電質340之諸層及其他如圖3A中所示之HEMT結構，或任何其他適合的HEMT結構。

【0066】 圖3B為HEMT 300之放大視圖，展示額外結構。如圖3B中所示，金屬接點385沈積於場板380上。金屬接點385經由一或多個金屬層（未圖示金屬接點385之連接部分）在場板380與源極接點305之間產生電連接。

【0067】 圖4為圖3之例示性HEMT的橫截面圖，其進一步繪示在HEMT 300處於斷開狀態時電場之存在。在此實施例中，HEMT 300為增強模式裝置。因此，在斷開狀態下，閘極接點350及源極接點305均處於接地電位，而汲極接點310處於相對較高電位。

【0068】 在此實施例中，在斷開狀態下，閘極315之接地電位阻止2DEG 370自汲極接點310經由通道層330流動至源極接點305。如圖4中覆蓋HEMT 300之陰影所示，在汲極接點310處為正電壓的情況下，在斷開狀態下，在緊鄰場板390之區域中的電場較強，但在閘極315之區域中實質上不存在電場。在一些狀況下，此係歸因於場板390及/或場板380之屏蔽效應。在一些情況下，此優點在於避免或減少了原本可由存在於閘極315之邊緣處之強電場引起或促成的HEMT 300之不適合的運行特性及/或電子或電洞捕獲。舉例而言，在一些情況下，此優點在於避免降低HEMT 300之裝置臨界電壓、避免在HEMT 300中產生汲極-源極漏電流及/或閘極-汲極漏電流、避免在HEMT 300老化或陳舊化期間造成閘極損壞及/或避免可導致閘極及裝置故障之電子或電洞捕獲。

【0069】 圖5為說明歸因於圖2中所繪示之電場，在HEMT 100中的障壁層135及介電質140之邊界處的電場強度之線圖。標繪在汲極110之方向上的距閘極115之邊緣的電場強度。指示峰值場強度500。圖6為說明歸因於圖4中所繪示之電場，在HEMT 300的障壁層335及介電質340之邊界處的電場強度之線圖。標繪在汲極310之方向上的距閘極315之邊緣的電場強度。指示峰值場強度600。

【0070】 應注意，閘極315與峰值場強度600處之電場之間的距離比閘極115與峰值場強度500處之電場之間的距離遠。峰值場強度600亦低於峰值場強度500。在一些實施方案中，此差異係歸因於場板390及/或場板380之屏蔽效應。在一些實施方案中，自閘極315至峰值場強度600之距離增加的優點在於避免或減少了原本可由存在於閘極315之邊緣處之強電場引起或促成的HEMT 300之不適合的操作特性。

【0071】 圖7為說明歸因於圖2中所繪示之電場，在HEMT 100的2DEG 170處之電場強度的線圖。標繪在汲極110之方向上的距閘極115之邊緣的電場強度。指示峰值場強度700。圖8為說明歸因於圖4中所繪示之電場，在HEMT 300的2DEG 170處之電場強度的線圖。標繪在汲極310之方向上的距閘極315之邊緣的電場強度。指示峰值場強度800。

【0072】 應注意，閘極315與峰值場強度800處之電場之間的距離比閘極115與峰值場強度700處之電場之間的距離遠。在一些實施方案中，此差異係歸因於場板390及/或場板380之屏蔽效應。在一些實施方案中，自閘極315至峰值場強度800之距離增加的優點在於避免或減少了原本可由存在於閘極315之邊緣處之強電場引起或促成的HEMT 300之不適合的操作特性。應注意，在一些實施方案中，即使峰值場強度800高於峰值場強度700（例如，歸因於距閘極315之距離增加），此亦如此。

【0073】 圖9為如關於圖3A、圖3B及圖4所展示及描述的HEMT 300之平面

視圖。橫截面A指示如圖3A、圖3B及圖4中所示之視角。出於明晰之目的，圖9略去HEMT 300的若干特徵。如圖9中所示，場板380及場板390連續延伸且完全跨越（在垂直方向上，如圖9中所示）HEMT 300，使得沿著（在水平方向上，如圖9中所示）HEMT 300在源極305與汲極310之間的任何路徑在場板380及場板390下方、內部或上方通過。在一些實施方案中，場板380及場板390連續的優點在於避免或減少在HEMT 300處於斷開狀態且汲極310處之電壓增加時強電場對閘極315之影響。

【0074】 圖10為說明用於製造例示性HEMT之例示性步驟製程1000的流程圖。舉例而言，可使用製程1000之一些或所有步驟製造如上文所展示及描述的HEMT 300。

【0075】 在此實施例中，在基板上形成HEMT。基板可為矽（Si）基板、工程基板（engineered substrate，QST）、碳化矽（SiC）、氮化鎵（GaN），或可包括能夠支持III族氮化物材料生長的任何其他材料或材料組合。在一些實施方案中，HEMT 300之基板120對應於此基板。

【0076】 在步驟1005中，在基板材料上形成成核層。在一些實施方案中，此可具有減少HEMT中基板與下一層之間的晶格失配的優點。成核層可包括任何適合之材料（例如，氮化鋁（AlN）），且可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於基板上形成。在一些實施方案中，形成於HEMT 300之基板120上的成核層對應於此步驟。

【0077】 在步驟1010中，在成核層上形成緩衝層。在一些實施方案中，緩衝層為高電阻率層，其可包括摻雜或未摻雜III族氮化物材料層。在一些實施方案中，緩衝層由多個AlGaN層製成。緩衝層可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於成核層上形成。在一些實施方案中，HEMT 300之緩衝層125對應於此步驟。

【0078】 在步驟1015中，在緩衝層上形成通道層。在一些實施方案中，通道層由摻雜或未摻雜III族氮化物材料製成。在一些實施方案中，通道層由Ga₂N製成。通道層可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於緩衝層上形成。在一些實施方案中，通道層具有在數百奈米之範圍內的厚度。在一些實施方案中，通道層為可由無意摻雜或低摻雜材料製成之高電阻層。在一些實施方案中，通道層為n型III族氮化物材料或包括n型III族氮化物材料。在一些實施方案中，HEMT 300之通道層130對應於此步驟。

【0079】 在步驟1020中，在通道層上形成障壁層。障壁層可包括摻雜或未摻雜III族氮化物材料層。障壁層可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於通道層上形成。可對障壁層之厚度及組成進行選擇以獲得正臨界電壓。在一些實施方案中，對障壁層之厚度及組成進行選擇以提供比通道層大的帶隙，該障壁層典型地具有AlGa₂N，Al莫耳分數為0.18至0.23。在一些此實例中，障壁層包含厚度在12 nm~25 nm範圍內之AlGa₂N。在一些實施方案中，HEMT 300之障壁層135對應於此步驟。

【0080】 在步驟1025中，在障壁層上形成Ga₂N層。在一些實施方案中，Ga₂N層包括任何適合之III族氮化物材料。在此實施例中，Ga₂N層由生長於障壁層上之摻雜Ga₂N（在此實施例中為p型Ga₂N）製成。在一些實施方案中，Ga₂N層具有不均勻摻雜濃度（在此實施例中為p型）。在一些實施方案中，對此不均勻摻雜濃度進行選擇以在Ga₂N層內形成特定電場及空乏區。

【0081】 Ga₂N層可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於障壁層135上形成。在步驟1030中，蝕刻Ga₂N層以界定閘極區及接近於閘極但不與閘極連接的一或多個場板區。在一些實施方案中，界定罩幕層且執行罩幕及蝕刻製程以使得場板Ga₂N區實質上比閘極Ga₂N區薄。在一些實施方案中，場板Ga₂N為閘極Ga₂N厚度的二分之一至三分之一。在一些實施

方案中，閘極GaN區具有在 $1 \times 10^{16} \text{ cm}^3 - 1 \times 10^{20} \text{ cm}^3$ （例如 $2 \times 10^{19} \text{ cm}^3 \sim 3 \times 10^{19} \text{ cm}^3$ ）範圍內之摻雜濃度及在50nm~150 nm範圍內之厚度。在一些實施方案中，HEMT 300的閘極區315以及場板380及場板390對應於此步驟。

【0082】 在步驟1035中，HEMT與裝置之其他非活動區或基板上之其他裝置電性分離。在一些實施方案中，此係基於主動HEMT外部之例如氮氣或氬氣之台面腐蝕或離子植入來執行。

【0083】 在步驟1040中，在結構表面上沈積介電層。在一些實施方案中，介電層為介電材料，諸如氮化矽（SiN）、二氧化矽（SiO₂）、氧化鋁（Al₂O₃）或任何其他適合之介電材料。在一些實施方案中，在HEMT上方沈積介電層，以使HEMT的結構在電性上及物理上與環境及彼此分離。在一些實施方案中，在若干層中沈積介電層。在一些實施方案中，HEMT 300的介電質340對應於此步驟。

【0084】 在步驟1045中，在對介電層進行遮罩及蝕刻之後，金屬源極及汲極電極形成，從而形成與障壁層之歐姆接觸。在一些實施方案中，可應用沈積前及/或沈積後處理及退火製程。在一些實施方案中，HEMT 300之源極接點305及汲極接點310對應於此步驟。

【0085】 在步驟1050中，在GaN閘極區上形成金屬閘極電極。在一些實施方案中，金屬閘極電極係在遮罩及蝕刻介電層之後形成GaN閘極區之肖特基或歐姆閘極金屬接點。在一些實施方案中，可應用沈積前及/或沈積後處理及退火製程。在一些實施方案中，HEMT 300之閘極接點350對應於此步驟。應注意，在一些實施方案中，形成源極、汲極及閘極金屬接點之順序（例如，步驟1045及步驟1050）可逆。

【0086】 在步驟1055中，在障壁層上形成一或多個場板。在一些實施方案中，場板包括任何適合之III族氮化物材料，諸如GaN或AlGaN。舉例而言，在一些實施方案中，場板由生長在障壁層上的摻雜GaN（在此實施例中為p型GaN）

製成。在一些實施方案中，場板具有不均勻摻雜濃度。在一些實施方案中，對此不均勻摻雜濃度進行選擇以在場板內形成特定電場及空乏區。

【0087】 在一些實施方案中，場板可使用任何適合之一或多種半導體生長技術，諸如MOCVD、HVPE或MBE，於障壁層上形成。在一些實施方案中，場板係由GaN（例如p型GaN）製成。在一些實施方案中，場板屏蔽閘極區及/或閘極接點免受電場（例如，高電場，諸如具有高於臨界場強度之強度的場）影響。在一些實施方案中，場板由用於形成GaN閘極區之相同GaN（例如，P-GAN）材料層形成（例如，藉由圖案化及/或蝕刻）。

【0088】 在一些實施方案中，場板具有不同於閘極區之摻雜濃度的摻雜濃度。在一些實施方案中，場板摻雜有不同於閘極區之摻雜材料的摻雜材料。在一些實施方案中，場板具有在 $1 \times 10^{16} \text{ cm}^3 \sim 1 \times 10^{20} \text{ cm}^3$ （例如 $2 \times 10^{19} \text{ cm}^3 \sim 3 \times 10^{19} \text{ cm}^3$ ）範圍內之摻雜濃度。在一些實施方案中，場板實質上比閘極區薄。在一些實施方案中，場板之厚度為或大致為閘極區的三分之一至二分之一。在一些實施方案中，場板具有不同於閘極區之尺寸（例如，長度、高度、寬度）的尺寸。在一些實施方案中，相比於閘極區，場板之減小的厚度或不同的尺寸係藉由將罩幕及蝕刻製程應用於場板來達成。

【0089】 在一些實施方案中，HEMT 300之場板380及場板390對應於此步驟。

【0090】 在步驟1060中，將場板中之一或多者電連接至參考電壓。在一些實施方案中，一些場板經由金屬與源極接點305電連接或與其通信，或以其他方式保持在與源極接點305相同的電位下，且其他場板為浮動的且不與固定電壓源或參考電壓連接。在一些實施方案中，來自複數個場板當中的最接近汲極區的場板為浮動的，且其他場板中的一或多者電連接至參考電壓，諸如源極或地面。在一些實施方案中，僅存在一個場板，其為浮動的。在一些實施方案中，最接近閘

極之場板在地面（亦即，源極電位），例如用以避免場板獲取過高電位。

【0091】 在步驟1065中，使介電層（例如，SiN、SiO₂或Al₂O₃）沈積於閘極與源極之間的障壁區域上方、閘極與場板之間、場板與汲極之間且部分沈積於源極及汲極上。在一些實施方案中，介電層使HEMT的結構在電性上及物理上與環境及彼此分離。在一些實施方案中，在若干層中沈積介電層。在一些實施方案中，HEMT 300的介電質340對應於此步驟。

【0092】 應理解，基於本文中之揭示內容，許多變化為可能的。儘管特徵及元件在上文以特定組合來描述，但各特徵或元件可在無其他特徵及元件的情況下單獨使用或以具有或不具其他特徵及元件的各種組合使用。

【符號說明】

【0093】

100:高電子遷移率電晶體（HEMT）

105:源極接點

110:汲極接點

115:閘極

120:基板

125:緩衝層

130:通道層

135:障壁層

140:介電質

150:閘極接點

160:場板

170:二維電子氣（2DEG）

- 300:高電子遷移率電晶體 (HEMT)
- 305:源極接點
- 310:汲極接點
- 315:閘極
- 320:基板
- 325:緩衝層
- 330:通道層
- 335:障壁層
- 340:介電質
- 350:閘極接點
- 360:場板
- 370:二維電子氣 (2DEG)
- 380:場板
- 385:金屬接點
- 390:場板
- 500:峰值場強度
- 600:峰值場強度
- 700:峰值場強度
- 800:峰值場強度
- 1000:步驟製程
- 1005:步驟
- 1010:步驟
- 1015:步驟
- 1020:步驟

1030:步驟

1035:步驟

1040:步驟

1045:步驟

1050:步驟

1055:步驟

1060:步驟

1065:步驟

A:橫截面

【發明申請專利範圍】

【請求項1】一種高電子遷移率電晶體（HEMT），其包含：

安置於表面上之源極；

安置於該表面上之汲極；

安置於該源極與該汲極之間的該表面上之閘極；及

安置於該閘極與該汲極之間的該表面上之第一場板。

【請求項2】如請求項1之高電子遷移率電晶體，其中該第一場板包含摻雜氮化鎵（GaN）。

【請求項3】如請求項1之高電子遷移率電晶體，其中該第一場板處於浮動電壓下。

【請求項4】如請求項1之高電子遷移率電晶體，其中該第一場板並不電連接至電壓源。

【請求項5】如請求項1之高電子遷移率電晶體，其進一步包含安置於該閘極與該第一場板之間的該表面上之第二場板。

【請求項6】如請求項5之高電子遷移率電晶體，其中該第二場板電連接至電壓源。

【請求項7】如請求項5之高電子遷移率電晶體，其中該第二場板電連接至該源極。

【請求項8】如請求項1之高電子遷移率電晶體，其中該第一場板包含GaN且相較於該閘極具有不同的摻雜劑濃度、不同的摻雜劑類型或不同的摻雜材料。

【請求項9】如請求項1之高電子遷移率電晶體，其中該第一場板包含經配置以使該高電子遷移率電晶體之導通電阻之增加量降至最低的摻雜濃度、摻雜材料、幾何形狀及/或位置。

【請求項10】如請求項1之高電子遷移率電晶體，其中該第一場板為連續的。

【請求項11】如請求項1之高電子遷移率電晶體，其中該第一場板在該源極區與該汲極區之間且平行於該源極區及該汲極區連續延伸，使得任何自該源極至該汲極之路徑在該第一場板下方、內部或上方通過。

【請求項12】如請求項1之高電子遷移率電晶體，其中該第一場板連續延伸超出該源極與該汲極之間的該表面之整個寬度。

【請求項13】如請求項1之高電子遷移率電晶體，其中該第一場板距離該閘極比距離該汲極更近。

【請求項14】如請求項1之高電子遷移率電晶體，其中該第一場板包含p型摻雜GaN (P-GaN)。

【請求項15】如請求項1之高電子遷移率電晶體，其中該第一場板包含p型摻雜氮化鋁鎵 (AlGa_N) 或n型摻雜AlGa_N。

【請求項16】一種用於製造高電子遷移率電晶體 (HEMT) 之方法，該方法包含：

在源極與汲極之間的表面上沈積閘極材料；及

在該閘極材料與該汲極之間的該表面上沈積第一場板材料。

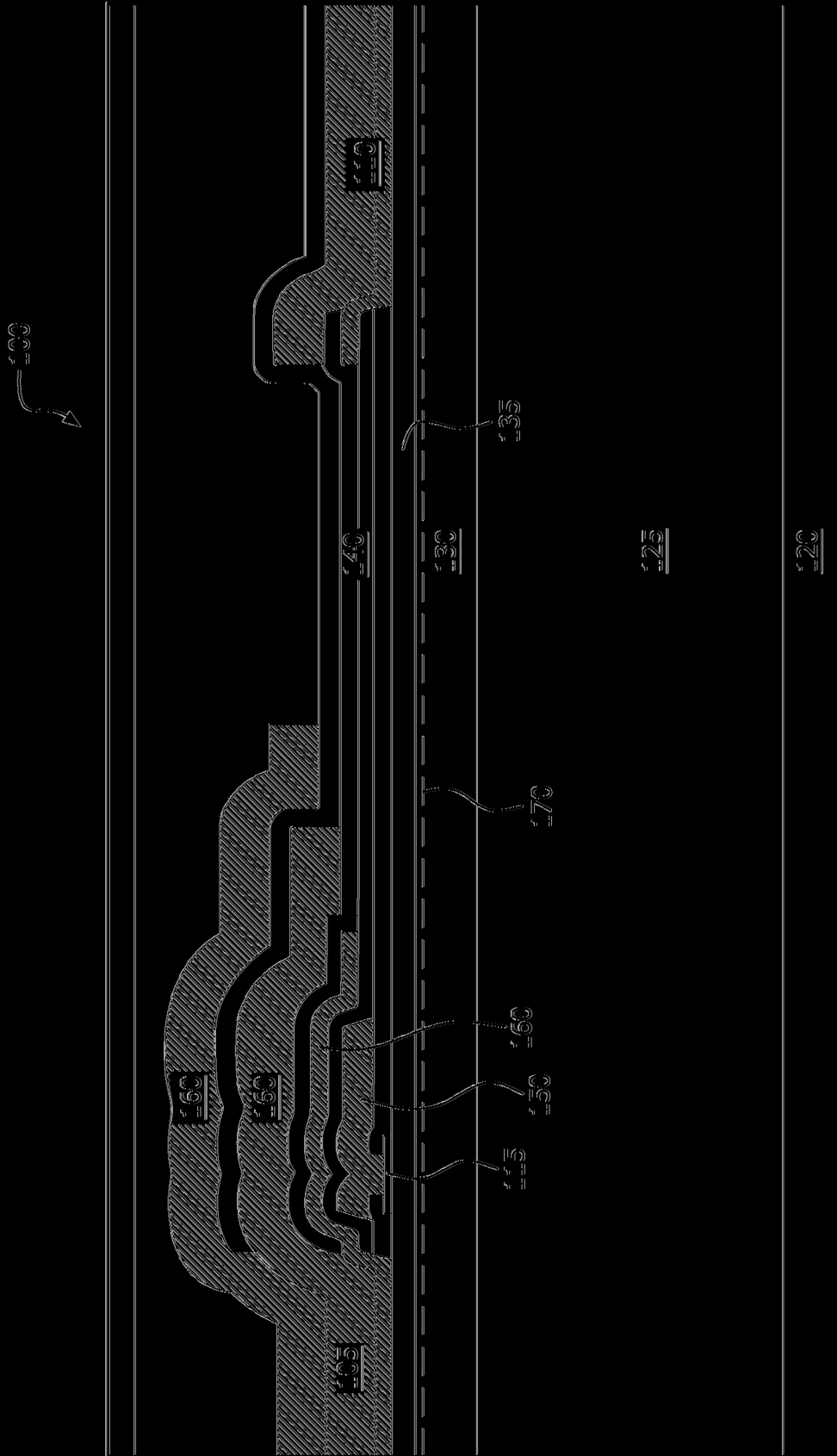
【請求項17】如請求項16之方法，其中該閘極材料及該第一場板材料包含摻雜氮化鎵 (Ga_N)。

【請求項18】如請求項16之方法，其中該第一場板材料跨越該源極與該汲極之間的該表面連續延伸，使得任何自該源極至該汲極之路徑在該第一場板材料下方、內部或上方通過。

【請求項19】如請求項16之方法，其中該第一場板材料包含p型摻雜Ga_N (P-Ga_N)。

【請求項20】如請求項16之方法，其中該第一場板材料包含p型摻雜氮化鋁鎵 (AlGa_N) 或n型摻雜AlGa_N。

(發明圖式)



4

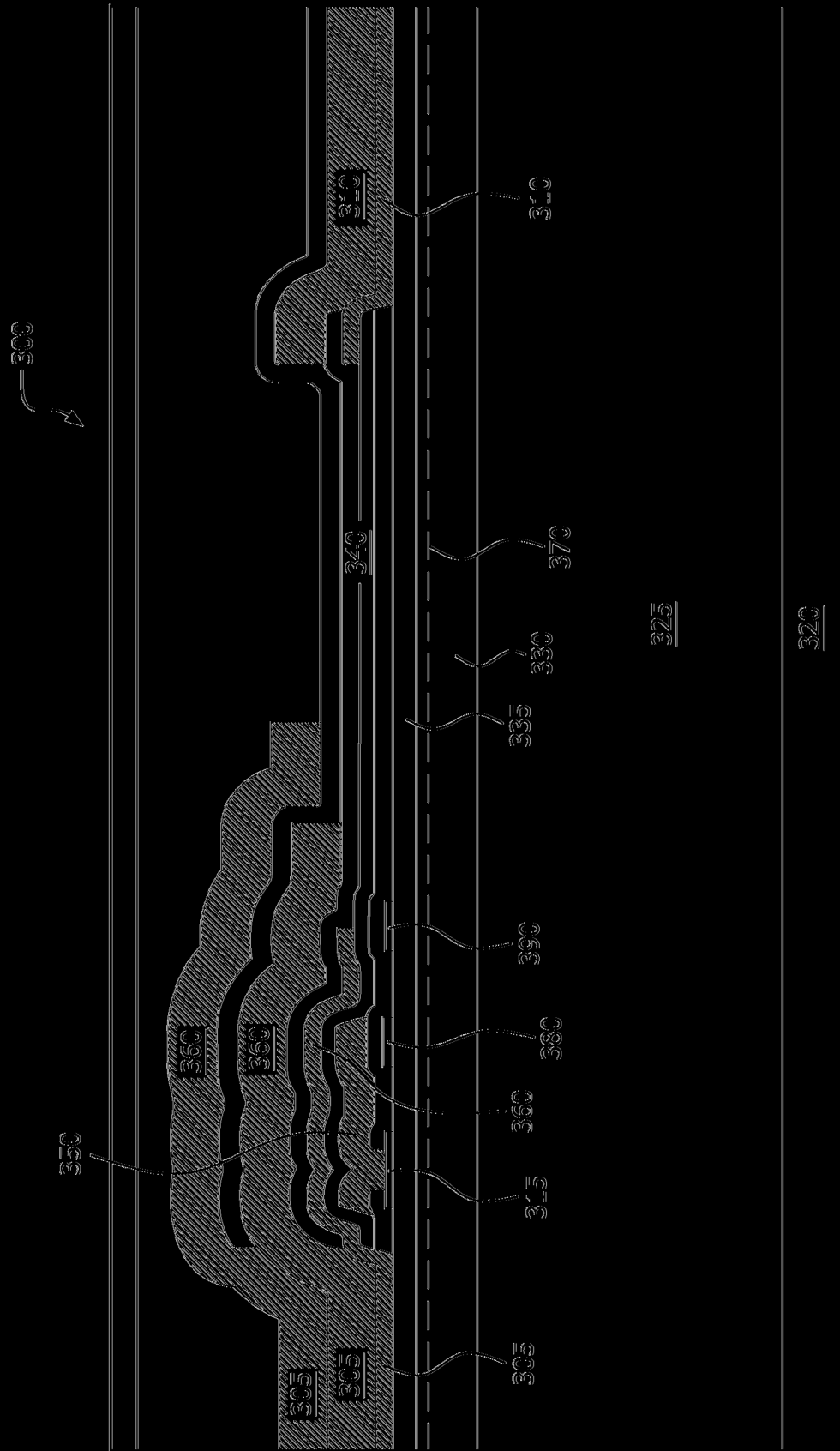


圖 3A

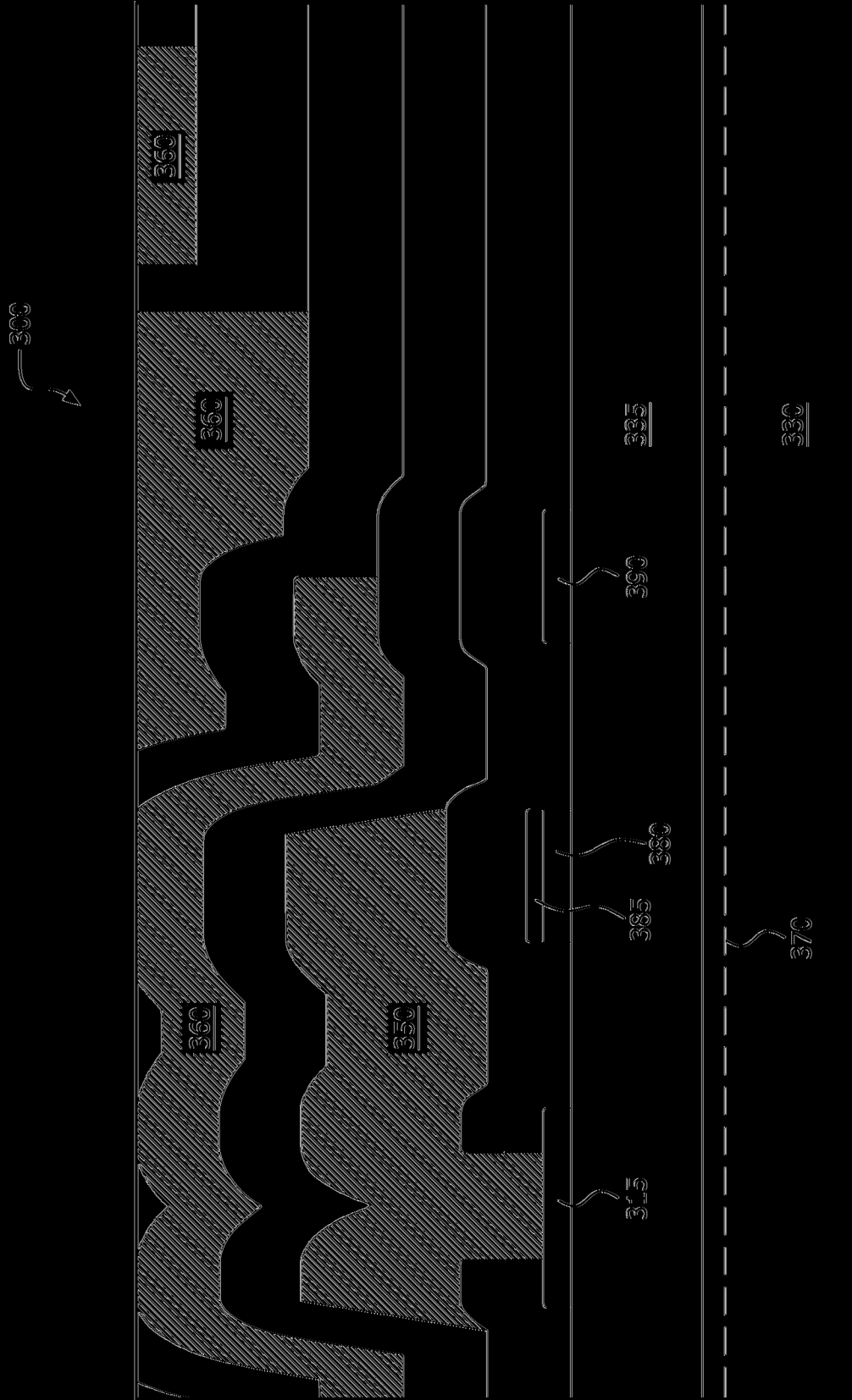


圖 33

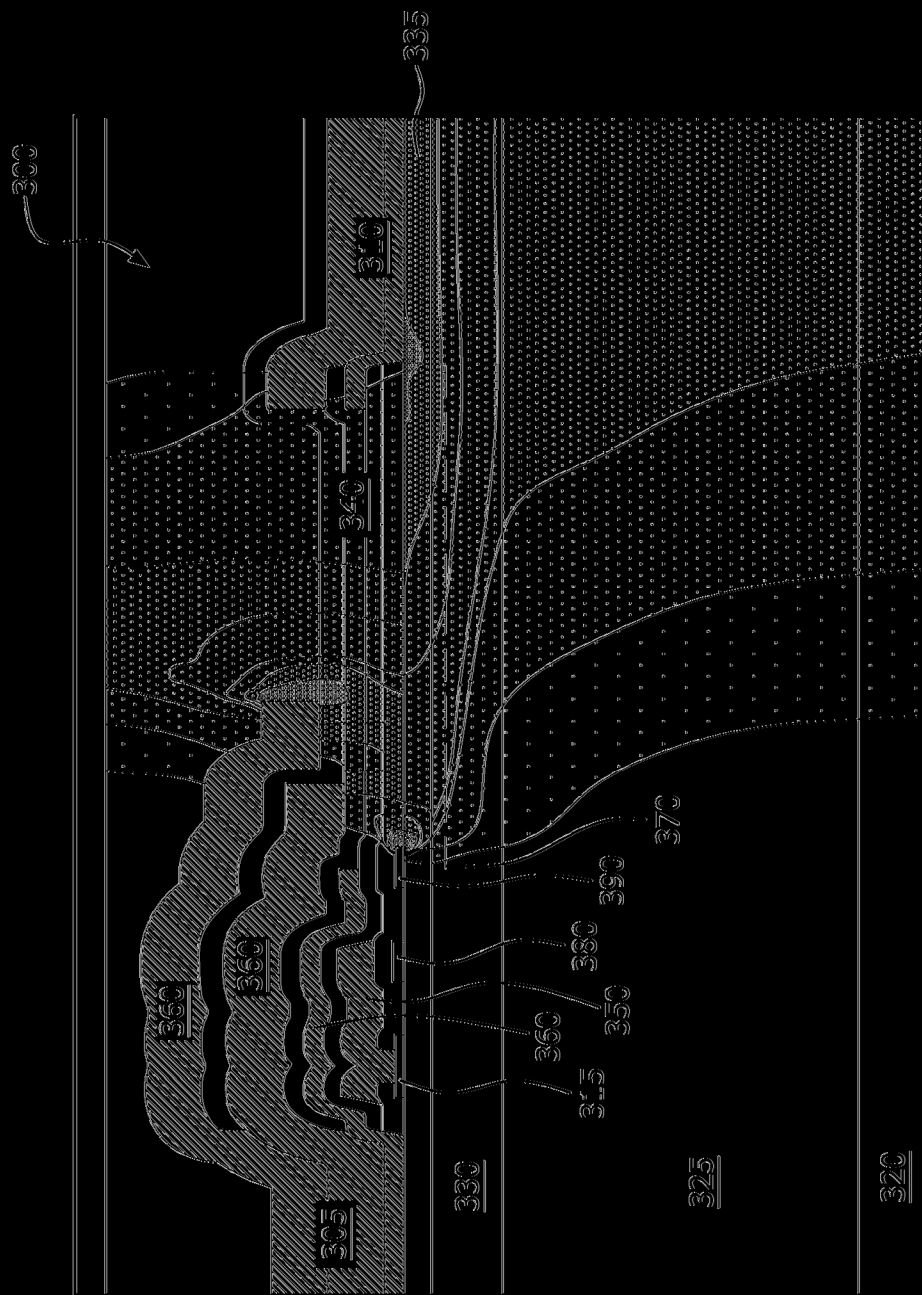


圖 7

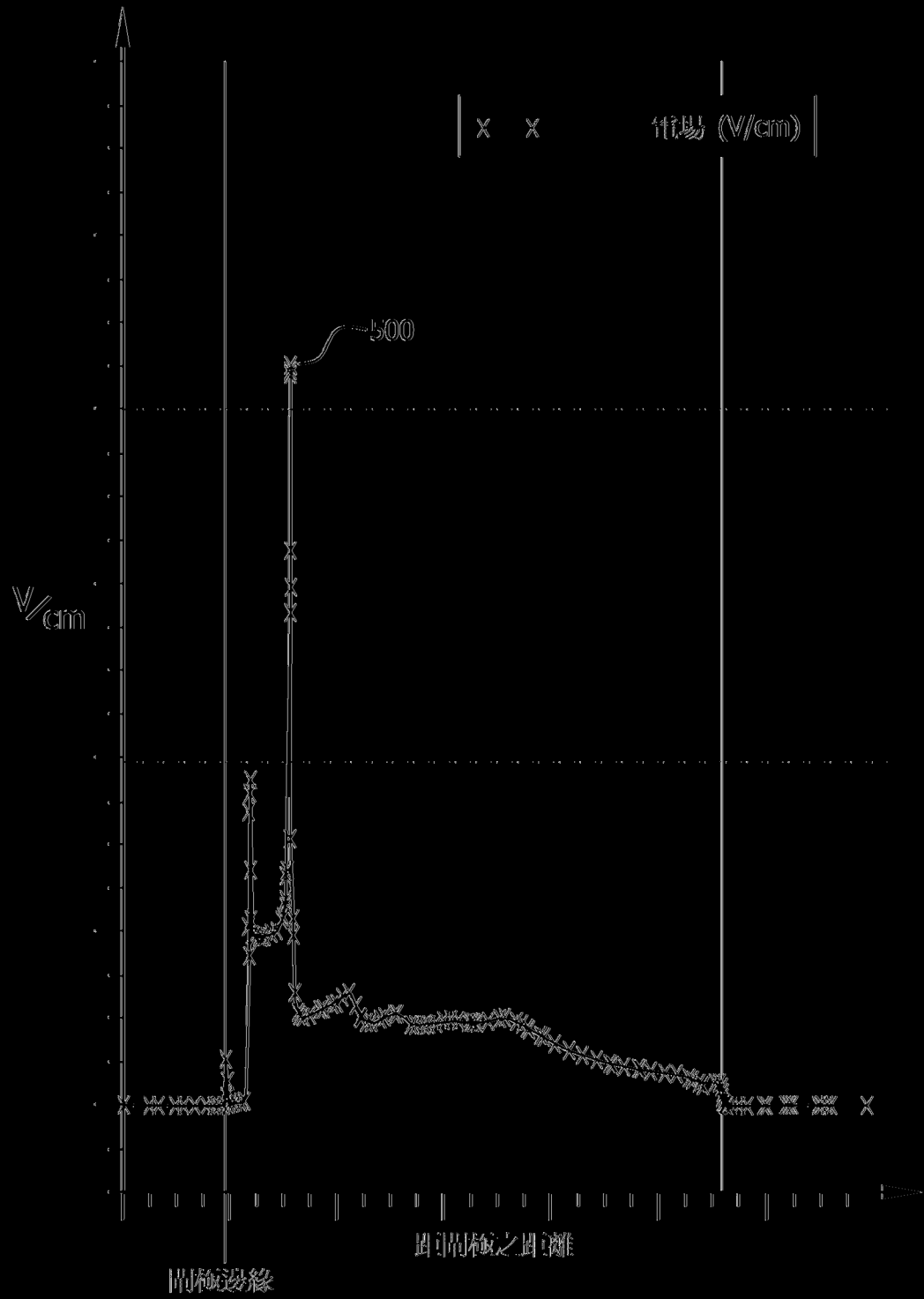


FIG. 5

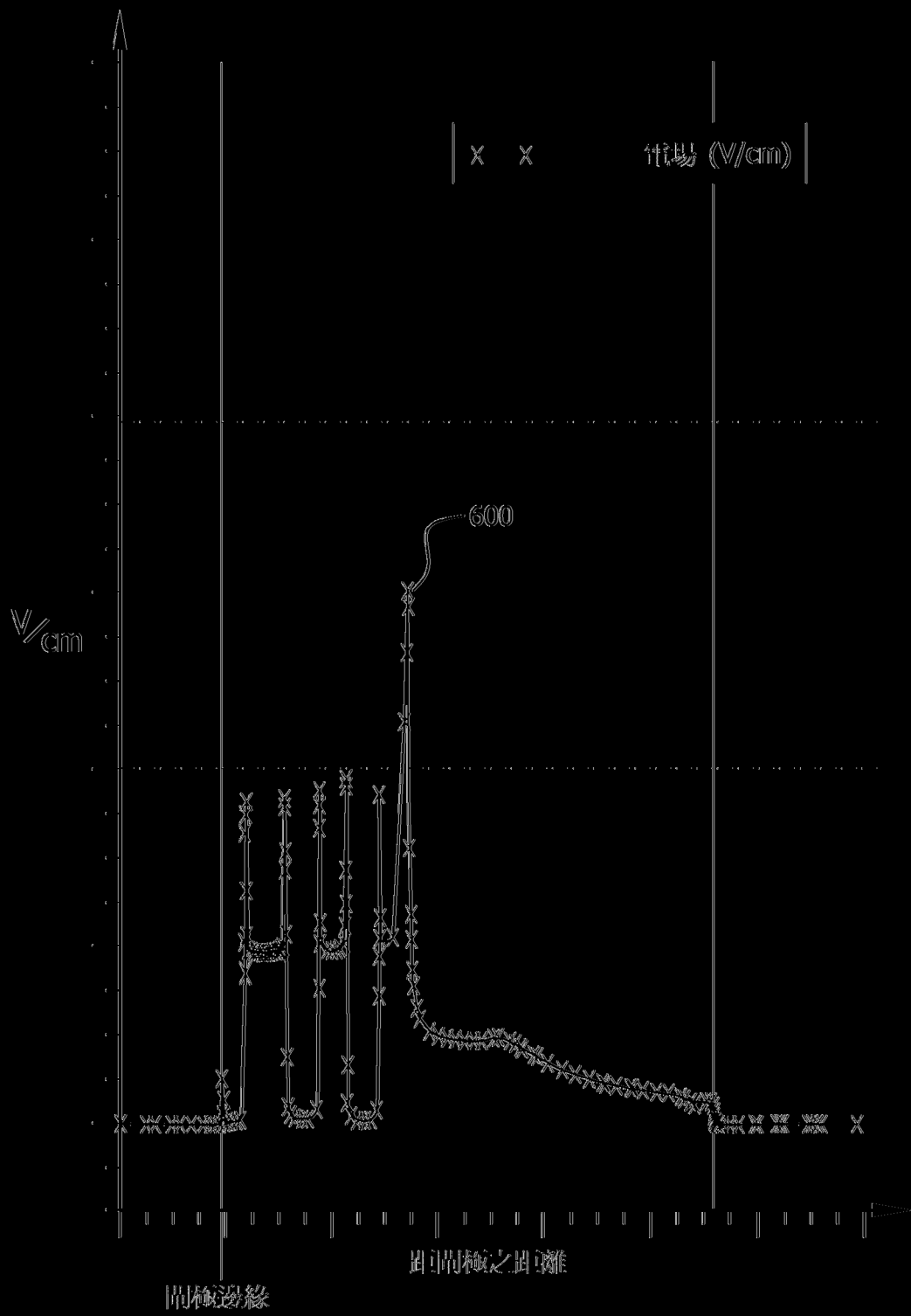
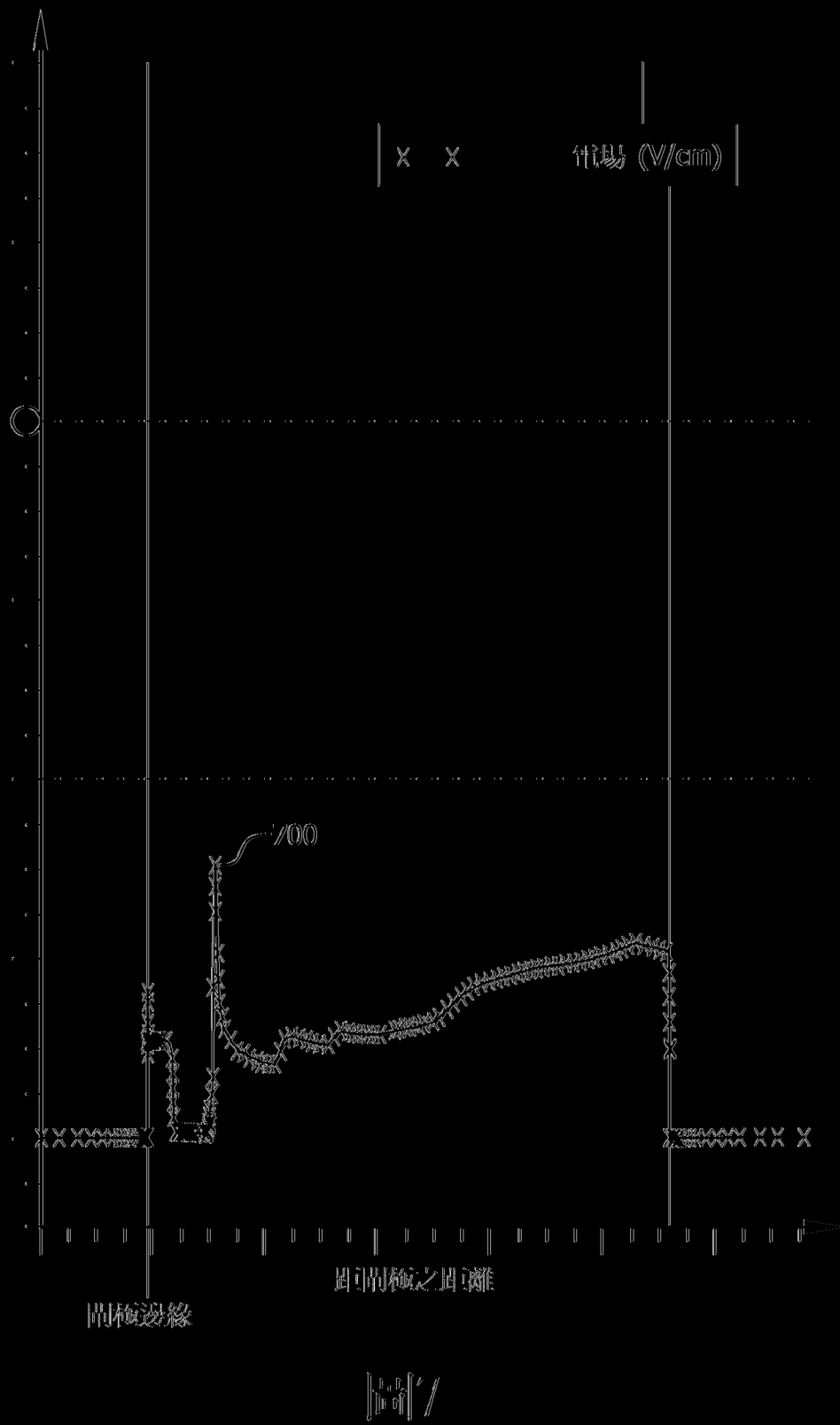
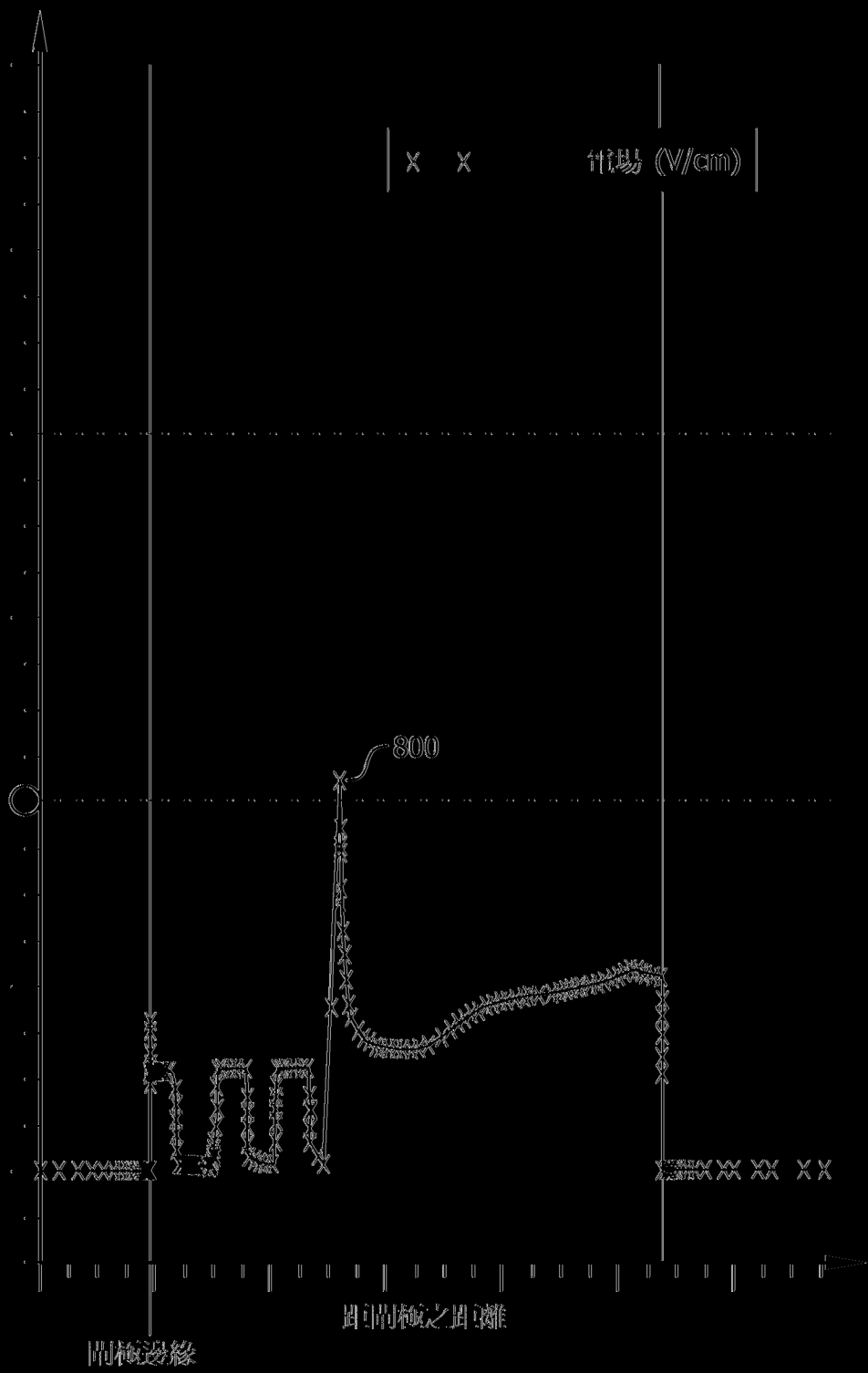


圖6





118

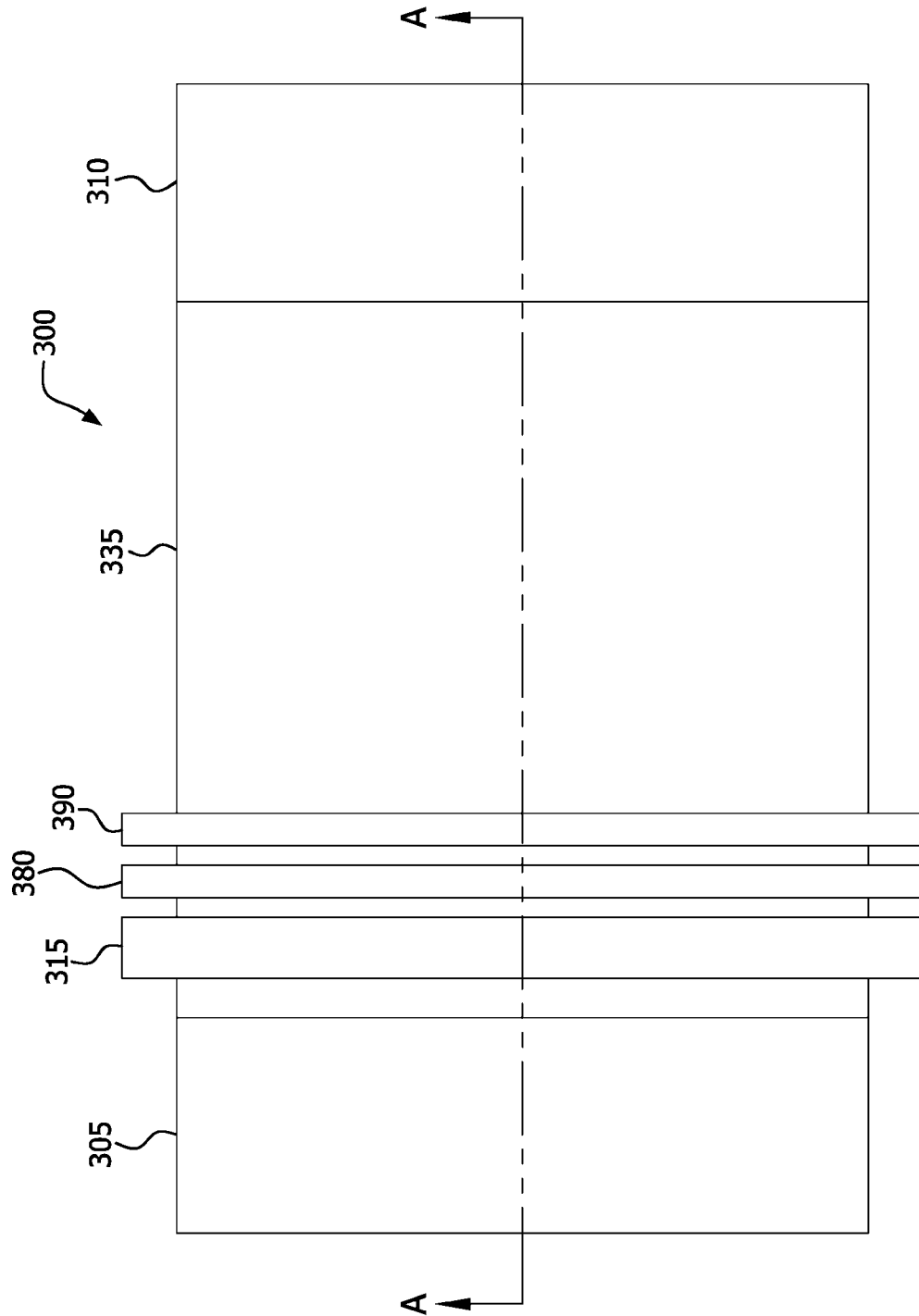


圖9

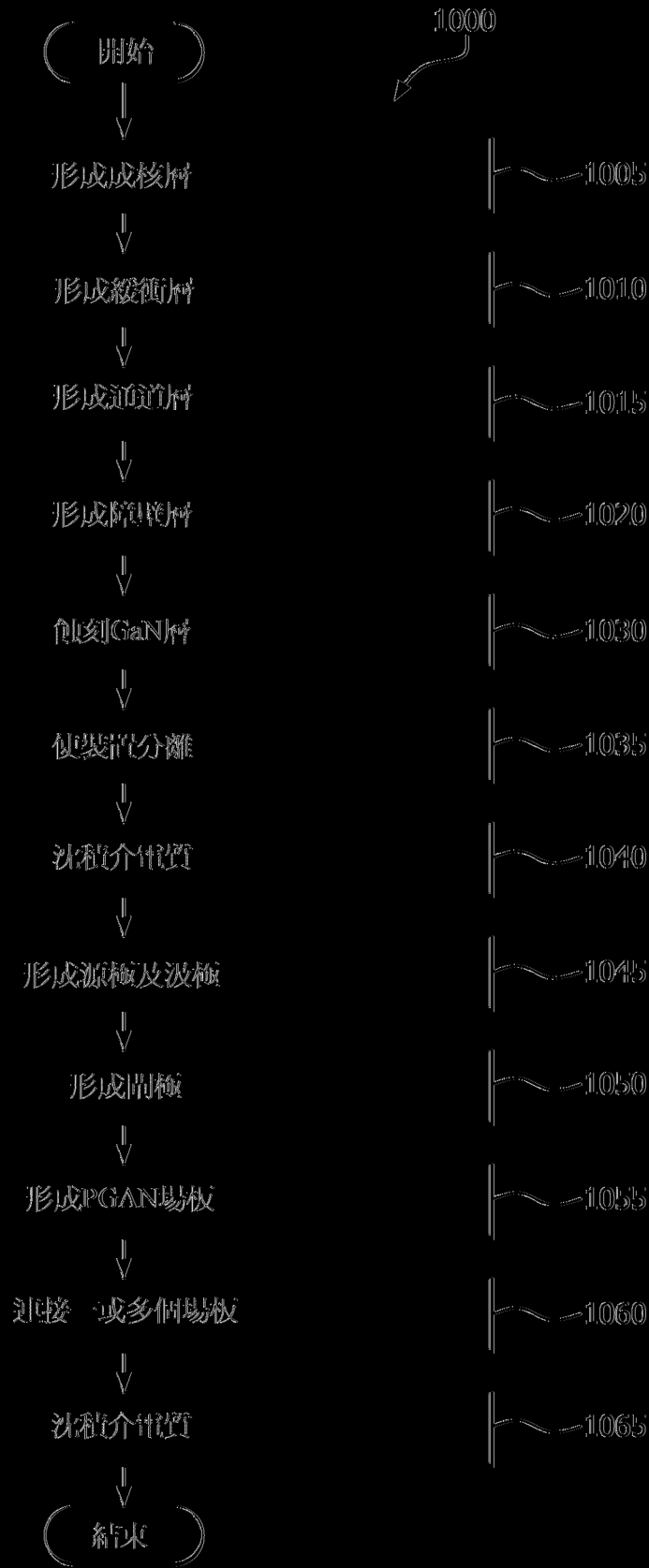


圖10