

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年10月16日(2008.10.16)

【公表番号】特表2008-529302(P2008-529302A)

【公表日】平成20年7月31日(2008.7.31)

【年通号数】公開・登録公報2008-030

【出願番号】特願2007-553101(P2007-553101)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 F

H 0 1 L 21/28 3 0 1 S

H 0 1 L 29/50 M

【手続補正書】

【提出日】平成20年8月22日(2008.8.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体構造体であって、

第 1 デバイス領域における p 型デバイス及び第 2 デバイス領域における n 型デバイスを有する基板と、

前記第 2 デバイス領域における前記 n 型デバイスへの第 1 型シリサイド・コンタクトであって、前記第 2 デバイス領域における前記 n 型デバイスの伝導帯と実質的に合わせられた仕事関数を有する第 1 型シリサイド・コンタクトと、

前記第 1 デバイス領域における前記 p 型デバイスへの第 2 型シリサイド・コンタクトであって、前記第 1 デバイス領域における前記 p 型デバイスの価電子帯と実質的に合わせられた仕事関数を有する第 2 型シリサイド・コンタクトと、
を備える半導体構造体。

【請求項 2】

半導体構造体を形成する方法であって、

基板の少なくとも第 1 デバイス領域上に第 1 シリサイド層を形成するステップであって、前記基板の前記第 1 デバイス領域が第 1 導電型デバイスを含み、前記第 1 シリサイド層が前記第 1 導電型デバイスの伝導帯と実質的に合わせられた仕事関数を有するステップと、

前記基板の少なくとも第 2 デバイス領域上に第 2 シリサイド層を形成するステップであって、前記基板の前記第 2 デバイス領域が第 2 導電型デバイスを含み、前記第 2 シリサイド層が前記第 2 導電型デバイスの価電子帯と実質的に合わせられた仕事関数を有するステップと、
を含む方法。

【請求項 3】

半導体デバイスであって、

第 1 デバイス領域及び第 2 デバイス領域を有する基板と、

少なくとも 1 つの第 1 型デバイスであって、前記第 1 デバイス領域内の前記基板の第 1 デバイス・チャンネル部分の上の第 1 ゲート領域と、前記第 1 デバイス・チャンネルに隣接するソース及びドレイン領域と、前記第 1 デバイス・チャンネルに隣接する前記ソース及びドレイン領域への第 1 シリサイド・コンタクトとを含み、前記第 1 シリサイド・コンタクトが前記基板の前記第 1 デバイス領域内に第 1 歪みを生み出す、第 1 型デバイスと、

少なくとも 1 つの第 2 型デバイスであって、前記第 2 デバイス領域内の前記基板の第 2 デバイス・チャンネル部分の上の第 2 ゲート領域と、前記第 2 デバイス・チャンネルに隣接するソース及びドレイン領域と、前記第 2 デバイス・チャンネルに隣接する前記ソース及びドレイン領域への第 2 シリサイド・コンタクトとを含み、前記第 2 シリサイド・コンタクトが前記基板の前記第 2 デバイス領域内に第 2 歪みを生み出す、第 2 型デバイスと、
を含み、

前記第 1 歪み及び前記第 2 歪みは圧縮歪みであって前記第 1 圧縮歪みは前記第 2 圧縮歪みよりも大きく、又は前記第 1 歪みは圧縮歪みであって前記第 2 歪みは引張歪みであり、或いは前記第 1 歪み及び前記第 2 歪みは引張歪みであって前記第 1 引張歪みは前記第 2 引張歪みよりも小さい、半導体デバイス。

【請求項 4】

半導体構造体を形成する方法であって、

基板の少なくとも第 1 デバイス領域上に第 1 シリサイド層を形成するステップであって、前記基板の前記第 1 デバイス領域が第 1 導電型デバイスを含み、前記第 1 シリサイド層が前記基板の前記第 1 デバイス領域内に第 1 歪みを生み出すステップと、

前記基板の少なくとも第 2 デバイス領域上に第 2 シリサイド層を形成するステップであって、前記基板の前記第 2 デバイス領域が第 2 導電型デバイスを含み、前記第 2 シリサイド層が前記基板の前記第 2 デバイス領域内に第 2 歪みを生み出すステップと、
を含み、

前記第 1 歪みが前記第 2 歪みとは異なる、方法。