

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年10月16日(2008.10.16)

【公表番号】特表2008-529302(P2008-529302A)

【公表日】平成20年7月31日(2008.7.31)

【年通号数】公開・登録公報2008-030

【出願番号】特願2007-553101(P2007-553101)

【国際特許分類】

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 21/28 (2006.01)

H 01 L 29/417 (2006.01)

【F I】

H 01 L 27/08 3 2 1 F

H 01 L 21/28 3 0 1 S

H 01 L 29/50 M

【手続補正書】

【提出日】平成20年8月22日(2008.8.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体構造体であって、

第1デバイス領域におけるp型デバイス及び第2デバイス領域におけるn型デバイスを有する基板と、

前記第2デバイス領域における前記n型デバイスへの第1型シリサイド・コンタクトであって、前記第2デバイス領域における前記n型デバイスの伝導帯と実質的に合わせられた仕事関数を有する第1型シリサイド・コンタクトと、

前記第1デバイス領域における前記p型デバイスへの第2型シリサイド・コンタクトであって、前記第1デバイス領域における前記p型デバイスの価電子帯と実質的に合わせられた仕事関数を有する第2型シリサイド・コンタクトと、

を備える半導体構造体。

【請求項2】

半導体構造体を形成する方法であって、

基板の少なくとも第1デバイス領域上に第1シリサイド層を形成するステップであって、前記基板の前記第1デバイス領域が第1導電型デバイスを含み、前記第1シリサイド層が前記第1導電型デバイスの伝導帯と実質的に合わせられた仕事関数を有するステップと、

前記基板の少なくとも第2デバイス領域上に第2シリサイド層を形成するステップであって、前記基板の前記第2デバイス領域が第2導電型デバイスを含み、前記第2シリサイド層が前記第2導電型デバイスの価電子帯と実質的に合わせられた仕事関数を有するステップと、

を含む方法。

【請求項3】

半導体デバイスであって、

第1デバイス領域及び第2デバイス領域を有する基板と、
少なくとも1つの第1型デバイスであって、前記第1デバイス領域内の前記基板の第1デバイス・チャネル部分の上の第1ゲート領域と、前記第1デバイス・チャネルに隣接するソース及びドレーン領域と、前記第1デバイス・チャネルに隣接する前記ソース及びドレーン領域への第1シリサイド・コンタクトとを含み、前記第1シリサイド・コンタクトが前記基板の前記第1デバイス領域内に第1歪みを生み出す、第1型デバイスと、

少なくとも1つの第2型デバイスであって、前記第2デバイス領域内の前記基板の第2デバイス・チャネル部分の上の第2ゲート領域と、前記第2デバイス・チャネルに隣接するソース及びドレーン領域と、前記第2デバイス・チャネルに隣接する前記ソース及びドレーン領域への第2シリサイド・コンタクトとを含み、前記第2シリサイド・コンタクトが前記基板の前記第2デバイス領域内に第2歪みを生み出す、第2型デバイスと、
を含み、

前記第1歪み及び前記第2歪みは圧縮歪みであって前記第1圧縮歪みは前記第2圧縮歪みよりも大きく、又は前記第1歪みは圧縮歪みであって前記第2歪みは引張歪みであり、或いは前記第1歪み及び前記第2歪みは引張歪みであって前記第1引張歪みは前記第2引張歪みよりも小さい、半導体デバイス。

【請求項4】

半導体構造体を形成する方法であって、
基板の少なくとも第1デバイス領域上に第1シリサイド層を形成するステップであって、前記基板の前記第1デバイス領域が第1導電型デバイスを含み、前記第1シリサイド層が前記基板の前記第1デバイス領域内に第1歪みを生み出すステップと、

前記基板の少なくとも第2デバイス領域上に第2シリサイド層を形成するステップであって、前記基板の前記第2デバイス領域が第2導電型デバイスを含み、前記第2シリサイド層が前記基板の前記第2デバイス領域内に第2歪みを生み出すステップと、
を含み、

前記第1歪みが前記第2歪みとは異なる、方法。