

# 發明專利說明書 200529316

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93135456

※ 申請日期：93.11.18

※IPC 分類：

H01L21/66

## 一、發明名稱：(中文/英文)

半導體積體電路裝置之製造方法

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

伊藤 達

ITO, SATORU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸內二丁目4番1號

4-1, MARUNOUCHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

## 三、發明人：(共 1 人)

姓 名：(中文/英文)

佐藤 匡史

國 籍：(中文/英文)

日本 JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年12月24日；特願2003-426137

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體積體電路裝置之製造技術，特別是關於可有效使用於使用含有探針卡之半導體檢查裝置檢查形成於半導體晶圓上之積體電路的檢查步驟之技術者。

### 【先前技術】

例如，一種提供探針卡之技術，其於含有多層配線基板之探針卡中，可於外周部分之連接區域配置實行向測定器頭之連接的連接機構，且可於內周部之零件安裝區域形成測定形成於檢查對象之半導體晶圓內之半導體裝置之特性的電子電路，於自上述連接區域電性連接至探針為止之信號圖案以包圍信號圖案之方式設置屏蔽圖案，於插入上述連接機構內之連接插腳設置屏蔽構件，將該屏蔽構件與上述屏蔽圖案連接，藉此可不受雜訊之影響，正確地測定高速動作信號或微小信號(例如，參照專利文獻1)。

[專利文獻1]日本專利特開平11-44709號公報

### [發明所欲解決之問題]

近年來，於半導體積體電路裝置中業者期望多功能化以及高速化，且隨之進行有配置於半導體晶片(以下簡稱為晶片)之主面之焊墊的多插腳化。隨之，於以晶圓狀態檢查(以下稱為探針檢查)該半導體晶片之良/不良之判定的探針卡方面，亦進行有搭載之電子零件以及配線(電路)之數量的增加。本發明者從事探針卡之開發，且於其中發現如

下課題。

即，於本發明者討論之探針卡中，隨著電子零件以及配線之增加，電子零件以及配線之密集亦在發展。因此，會難以於探針卡之製造中判斷配線產生斷線，而會於探針卡之動作確認時才會開始注意到斷線。其結果為，存在可僅以一次動作確認而交貨之探針卡會減少之問題。

又，於本發明者討論之探針卡中，限定有可搭載電子零件以及配線之區域。藉由於該限定之區域內增加電子零件以及配線，會產生因串擾以及反射等而造成之雜訊之影響，從而難以正確測定測試信號。

又，隨著搭載於探針卡之電子零件以及配線之增加，電子零件以及配線會密集，藉此於例如因焊接之安裝部之氧化而使電子零件以及配線隔以探針卡之情形時，配線會切斷之情形時，以及電子零件產生故障時等，會難以實行配線之再連接以及電子零件之交換等之修理。

又，伴隨搭載於探針卡之電子零件以及配線之增加，電子零件以及配線不僅會密集而且向上部之重疊亦在發展。另一方面，於安裝探針卡之探針機中，限定有用以安裝該探針卡而設置之區域之寬度。因於探針卡上較高地重疊有電子零件以及配線，故而於用以安裝探針卡而設置之區域較小的探針機中，會產生無法自動安裝探針卡之問題。進而，因限定有用以安裝該探針卡而設置之區域之寬度，故而會難以增加搭載於探針卡之電子零件以及配線。

又，伴隨半導體積體電路裝置之多功能化，於探針卡中

會增加信號端子，檢查用電路之複雜化亦會進一步加大。伴隨檢查用電路之複雜化，會進一步增加以及密集搭載於探針卡之電子零件以及配線。然而，因於探針卡內限定有可配置該等電子零件以及配線之區域，故而會難以對應信號端子增加之要求。

又，伴隨搭載於探針卡之電路(電子零件以及配線)之增加，包含於電路之繼電器之溫度會上升，且會有產生該繼電器之動作不良之問題。

由如上之原因，於本發明者討論之探針卡中，存在良率會降低之課題。

本發明之目的在於提供一種可提高探針卡之良率之技術。

本發明之上述以及其他目的與新穎之特徵由本說明書之記述以及附圖當可明瞭。

### 【發明內容】

如下簡單說明於本申請案中揭示之發明中之代表者之概要。

本發明之半導體積體電路裝置之製造方法含有以下步驟：

(a)準備半導體晶圓之步驟，該半導體晶圓係劃分為複數個晶片區域，於上述複數個晶片區域之各區域形成半導體積體電路，且於主面上形成與上述半導體積體電路電性連接之複數個第1電極；

(b)準備探針卡之步驟，該探針卡具有第1板，其具有用

以與上述複數個第1電極接觸之複數個接觸端子，第2板，其搭載於上述第1板上，且形成有與上述複數個接觸端子電性連接之複數個配線層，以及複數個電子零件，其搭載於上述第2板之主面上，且形成有與測定器電性連接之第1電路；且上述第1板與上述第2板經由第1配線電性連接；及

(c)使上述複數個接觸端子之上述前端接觸上述複數個第1電極，實行上述半導體積體電路之電性檢查之步驟。

#### [發明之效果]

如下就藉由本申請案中揭示之發明中之代表者而獲得之效果加以簡單說明。

即，可提高探針卡之良率。

#### 【實施方式】

於就本申請發明加以詳細說明之前，先如下就本申請案中之用語之含義加以說明。

晶圓係指使用於積體電路之製造之單晶矽基板(一般為大致平面圓形狀)、SOI(Silicon on Insulator, 絕緣物上矽)基板、藍寶石基板、玻璃基板、其他絕緣、反絕緣或半導體基板等以及該等之複合性基板。又，於本申請案中所謂半導體積體電路裝置時，並非僅係製作於矽晶圓或藍寶石基板等之半導體或絕緣體基板上者，特別是除有明確指出並非該者之情形時，亦可為包含如 TFT(Thin Film Transistor, 薄膜電晶體)以及 STN(Super-Twisted-Nematic, 超扭轉向列)液晶等之製作於玻璃等之外之絕緣基板上者等。

裝置面係指晶圓之主面，且於該面藉由微影蝕刻形成對應於複數個晶片區域之裝置圖之面。

探針或簡稱針可除其前端為傳統之探針狀者之外，亦含有前端變細之針狀之接觸端子、前端為錐形狀之接觸端子、其他形狀之凸塊電極等者。

探針檢查係指對於晶圓步驟結束之晶圓使用探針機實行之電性試驗，且將上述探針之前端接觸於形成於晶片區域之主面上之電極實行半導體積體電路之電性檢查，實行確認是否如特定功能般動作之功能測試或DC動作特性以及AC動作特性之測試，判斷良品/不良品。需與分割為各晶片後(或封裝結束後)實行之篩選測試(最終測試)區分開。

測定器(Test System)係指電性檢查半導體積體電路者，且產生特定之電壓以及成為基準之時序等之信號。

測試頭係指與測定器電性連接，接收自測定器發送之電壓以及信號，對於半導體積體電路產生電壓以及詳細之時序等之信號，經由彈簧針等向下述之效能板發送信號。

效能板係指經由彈簧針等與測試頭電性連接，將自測試頭發送之電壓以及信號向下述之集流環發送者。又，亦有設有下列之OSC電路、X'tal電路、分流電路以及AD/DA電路等，產生於測定器中無法產生之信號，向集流環發送之情形。

OSC(Oscillator System Clock, 振盪系統時脈)電路係指產生用以使CPU(Central Processing Unit, 中央處理單元)以及周邊功能動作之基準時脈之系統時脈產生電路。當將

系統時脈輸入至裝置時，則於裝置內以數10位元之計數器分周，經分周之時脈成為內藏周邊模組之內部時脈。

X'tal電路主要係指時脈用計時器之時脈產生電路。當於裝置輸入時脈用計時器時脈(例如，32.768 kHz以及38.4 kHz)時，則於裝置內以數位元之計數器分周，經分周之時脈成為使用於計時器之時脈用時基動作之時脈。

分流電路係指實行電源雜訊之除去的電路，其藉由電解電容器以及陶瓷電容器除去高頻雜訊以及低頻雜訊。

AD/DA電路係指將類比信號轉換為數位信號，將數位信號轉換為類比信號之電路。

集流環係指經由彈簧針等與效能板以及下述探針卡電性連接，將自效能板發送之信號發送至下述探針卡者。

探針卡係指經由彈簧針等與集流環電性連接，具有與成為檢查對象之晶圓接觸之探針以及多層配線基板等的構造體，將自集流環發送之信號向成為對象之晶圓發送者。又，亦有設有OSC電路、X'tal電路、分流電路以及AD/DA電路等，產生測定器中無法產生之信號，將該信號送向成為檢查對象之晶圓之情形。

探針機係指含有集流環、探針卡以及含有載置成為檢查對象之晶圓之晶圓臺之試料支持系的檢查裝置。

於以下實施形態中於方便上存有該必要時，會分割為複數個部分或實施形態而加以說明，但除特別明示之情形以外，則該等並非互無關係者，一方為他方之一部或全部之變形例、詳細、補充說明等之關係。

又，於以下實施形態中，提及要素之數等(包含個數、數值、數量、範圍)之情形時，除特別明示之情形以及原理上明確限定特定數之情形等之外，並非限定於該特定之數者，亦可為特定之數以上或以下。

進而，於以下實施形態中，該構成要素(亦包含要素階段等)，除特別明示之情形以及原理上明確認為必須之情形等之外，並非必須者。

同樣地於以下實施形態中，提及構成要素等之形狀、位置關係等時，除特別明示之情形以及原理上明確認為並非如此之情形等之外，亦可含有實質上與該形狀等近似或類似者等。此情形與上述數值以及範圍相同。

又，於用以說明本實施形態之全圖中具有相同功能者賦予同樣符號，並省略其重複說明。

又，於本實施形態中使用之圖式中，雖為平面圖但為更容易地理解圖式亦有部分地加有影線之情形。

以下，依據圖式就本發明之實施形態加以詳細說明。

圖1係表示本實施形態之探針檢查步驟中使用之測定器以及夾具之構成與測試信號之流動的說明圖。又，圖2係包含於該夾具之效能板之要部平面圖。如圖1所示，該夾具含有測試頭2、效能板3、集流環4、探針卡5以及晶圓臺6等，集流環4之一部、探針卡5以及晶圓臺6收容於探針機7內。

測試頭2與測定器1電性連接。又，於測試頭2中，與設置於其內部之電路電性連接之複數個彈簧針8以將其前端

朝向效能板3側之方式設置。該等複數個彈簧針8之前端藉由與設置於效能板3之連接墊9連接，可將測試頭2與效能板3電性連接。

集流環4中設有與設置於其內部之電路電性連接之複數個彈簧針10以及複數個彈簧針11。又，彈簧針10之前端朝向效能板3側，彈簧針11之前端朝向探針機7內之探針卡5側。複數個彈簧針10之前端與於效能板3內相對地設置於連接墊9內側之連接墊12連接，藉此可將集流環4與效能板3電性連接。又，複數個彈簧針11之前端藉由與設置於探針卡5之連接墊連接而可將集流環4與探針卡5電性連接。又，連接墊12經由形成於效能板3內之電路與連接墊9電性連接。

探針卡5含有下述主板以及子板，以與載置於晶圓臺6上之成為檢查對象之晶圓14對向之方式設置有複數個探針(接觸端子)15。該等複數個探針15經由包含於探針卡5之特定之電路與集流環4電性連接。晶圓14將其主面劃分為複數個晶片區域，且於各晶片區域內形成有半導體積體電路以及電性連接該半導體積體電路之複數個焊墊(第1電極(省略圖示))。藉由複數個探針15與該等焊墊接觸，形成於測定器1、測試頭2、效能板3、集流環4、探針卡5以及晶圓14內之半導體積體電路電性連接，藉由將檢查信號送至該半導體積體電路可實行探針檢查。

圖3係表示至將上述探針卡5搬送至探針機7內，且安裝於集流環4為止之步驟的說明圖。於探針卡5上設置有用以

配置電子零件以及配線之平面圓形之區域16，該電子零件以及配線形成電性連接上述複數個探針15與集流環4之電路等。於本實施形態中，該區域16藉由直徑D與高度H得以規定。直徑D以於平面中配置於來自集流環4之彈簧針(連接機構)11連接之連接墊17之排列之內側之方式得以規定。高度H以於將探針卡5搬送至探針機7內時，配置於區域16內之電子零件以及配線不會與形成探針機7之構件衝突而無法自動搬送至對集流環4之安裝位置之尺寸得以規定。

如圖4以及圖5所示，探針卡5含有主板(第1板)18與配置於主板18之主面上之子板(第2板)19。再者，圖4係上述探針卡5之平面圖，圖5係表示沿圖4中之A-A線之剖面者。

又，如圖4、圖5以及圖6所示，於主板18之主面自外周開始設有外周焊墊區域(第5區域)20，其設置有上述連接墊17，內周焊墊區域(第4區域)22，其設置有與安裝於主板18之背面之探針電性連接之焊墊21，以及接地電位區域(第3區域)23，其與接地電位電性連接。再者，圖6係表示主板18之主面的平面圖。連接墊17與焊墊21係經由設置於主板18之內部之配線而電性連接有特定之者等。

子板19於平面上配置於內周焊墊區域22之內側，藉由連接於接地電位區域23之複數個金屬製之支柱24自背面得以支持。支柱24電性連接形成於子板19之上面、下面以及內部之配線中之成為接地電位的配線。設置於主板18之焊墊21中之特定者經由跳線(第1配線)25與配置於子板19之上面

之焊墊(圖4中以及圖5中省略圖示)電性連接。

於本實施形態中，於子板19設有OSC電路、X'tal電路、分流電路以及AD/DA電路等之檢查用電路(第1電路)。該等檢查用電路含有安裝於子板19之上面(主面)的繼電器26、27、電容器28、石英振盪器29、以及IC30等電子零件等。於本實施形態中，該等電子零件於滿足形成檢查用電路方面所必須之特性者中選擇外形尺寸、特別是高度盡可能小者。

於子板19，安裝有與形成於子板19之上面(主面)、下面以及內部之配線中之特定者電性連接之複數個插口31。電子零件安裝於對應之插口31，藉由使插口31所具有之端子(第1端子)與電子零件之引導端子(第2端子)接觸而可安裝於子板19。如此，藉由使用插口31將電子零件安裝於子板19之構成，可於例如電子零件之故障時容易地進行與新電子零件之交換。

繼電器26、27沿子板19之上面外周排列為一行。又，如上所述，至於繼電器26、27，於滿足形成檢查用電路方面所必須之特性者中選擇外形尺寸盡可能小者。藉此，可避免繼電器26、27之密集，故而可容易的散逸自繼電器26、27產生之熱量。又，子板19於主板18上藉由支柱24得以支持，故而自繼電器26、27產生之熱量可自子板19下之空間散逸。藉由如此可容易地散逸自繼電器26、27產生之熱量，故而可以動作保證溫度(例如20°C~60°C左右)動作繼電器26、27。即，可防止因溫度上升造成之繼電器26、27之

動作不良。又，藉由可容易地散逸自繼電器 26、27 產生之熱量，可減少包含繼電器 26、27 之電子零件之熱量負荷，故而可使該等電子零件延長壽命。

跳線 25 於子板 19 之上面連接於配置於配置有繼電器 26、27 之區域之外側之區域的焊墊。又，該跳線 25 所連接之子板 19 之上面之焊墊盡可能選擇配置於接近跳線 25 所連接之焊墊 21 的位置者。藉此，可盡可能縮短跳線 25 之長度。其結果為，可防止於經由跳線 25 發送之信號中混入例如反射等而造成之雜訊。又，如上所述，子板 19 於平面中配置於內周焊墊區域 22 之內側，故而可容易地安裝跳線 25。

於上述檢查用電路設置於探針卡 5 之上部之構件、例如效能板 3 之情形時，伴隨形成於晶圓 14 之半導體積體電路之微細化以及電路動作之高速化可能會產生如下問題。即，於如 OSC 電路以及 X'tal 電路般之時脈產生器之附近，通過自例如測試頭 2 發送之信號時，會產生因串擾等造成之雜訊，而無法產生正常之時脈(信號波形)。關於接收混有雜訊之信號的檢查對象之半導體積體電路，會產生錯誤動作，從而會有無法實行正確之探針檢查之問題。考慮到如上原因，較好的是上述檢查用電路設置於盡可能接近於檢查對象之晶圓 14 之位置，即探針卡 5。

圖 7 係說明上述主板 18 之內部構造之平面圖。圖 8 係配置於主板 18 之內部之配線的剖面圖。圖 9 係表示於主板 18 之內部交叉如圖 8 所示之配線等之區域的要部剖面圖。

如圖 7 所示，連接墊 17 與焊墊 21 經由埋入於主板 18 之內

部之配線(第5配線)32電性連接有特定者。如圖8所示，該配線32藉由以聚醯亞胺樹脂膜34被覆直徑均一之銅線33之周圍，進而於該聚醯亞胺樹脂膜34之周圍塗布接著劑35而形成。埋入有如此之配線32之主板18可以首先使用經電腦控制之配線機，於含有玻璃布環氧樹脂或聚醯亞胺之基材36(參照圖9)上以特定之圖案配線複數個配線32後，於配線有複數個配線32之基材36上以含有例如玻璃布環氧樹脂之預浸料坯37被覆之方式形成。於使用如此之配線32電性連接特定之連接墊17與焊墊21之情形時，於主板18內可使複數個配線32自由交叉，故而可縮短該配線32之長度。藉此，可於配線32中難以產生因串擾以及反射等造成之雜訊。又，銅線33直徑均一且可獲得安定之特性阻抗，故而配線32可容易地使電性特性之理論值與實測值一致，從而實行正確之檢查信號之轉送。又，複數個配線32因於主板18內可自由地交叉，故而可設為用以信號週期之等長配線。藉此，本實施形態之探針卡5對於形成於檢查對象之晶圓14之複數個晶片區域同時發送檢查信號之情形時，可減少晶片區域間之檢查信號之到達時間之差，故而可防止因檢查信號之到達之延遲而判斷為不良晶片之情形。

圖10係說明上述主板18之下面的平面圖。如圖10所示，本實施形態之探針卡5係例如對於2個晶片區域同時使複數個探針15接觸而實行探針檢查者。各探針15自內周焊墊區域22引出，與上述焊墊21(參照圖6以及圖7)電性連接。又，各探針15之前端以位於與探針檢查時形成於對應之晶

片區域的焊墊對向之位置之方式而配置。

圖 11 係說明上述子板 19 之上面之平面圖。又，圖 12 係子板 19 之要部剖面圖。

本實施形態之子板 19 係藉由交互堆積絕緣層 39 與配線層 40~49 而形成之積層配線板。於子板 19 之上面、配置有繼電器 26、27 (圖 11 中省略圖示) 之區域 (第 1 區域) 之外側之區域 (第 2 區域) 配置有焊墊 50。該焊墊 50 連接有上述跳線 25 (圖 11 中省略圖示)。於子板 19 之上面內，焊墊 50 與配置於配置有焊墊 50 之區域之內側的區域之焊墊 51 經由最上層之配線層 49 電性連接有對應者等。又，於子板 19 內設有通路孔 52，各配線層間以及焊墊 50、51 與配線層 40~49 之間經由埋入該通路孔 52 內之導電性材料電性連接。又，於本實施形態中可例示為，配線層 44 電性連接支柱 24 (參照圖 5) 以及接地電位區域 23 作為接地電位，配線層 45 用以將電源電壓供給至繼電器 26、27，配線層 41~43 以及配線層 46~48 用以轉送檢查信號，配線層 40、49 用以於子板 19 之上面或下面電性連接焊墊間。

於本實施形態中，關於形成於子板 19 之表面之最上層之配線層 49，預先形成於對應之所有焊墊 50 與焊墊 51 之間，無用之配線層 (第 4 配線) 49 藉由例如切割器等切斷，選擇電性連接焊墊 50 之焊墊 51、配線層以及探針 15。藉此，可以一種子板 19 對應複數種半導體積體電路之探針檢查。

使用形成有上述般之配線層 40~49 之子板 19 形成含有 OSC 電路、X'tal 電路、分流電路以及 AD/DA 電路等之檢查

用電路之各種電路，藉此可使形成該等電路之配線(配線層)間隔以特定之距離(第1距離)，故而可防止於配線中產生因該配線(配線層)密集產生之串擾以及反射等而造成之雜訊。又，即使將與接地電位連接之配線層44配置於配線層間，亦可難以產生雜訊。

然而，於未使用上述本實施形態之子板19而形成探針卡5之情形時，上述繼電器26、27、電容器28、石英振盪器29以及IC30等電子零件(參照圖4以及圖5)安裝於主板18之上面，與該等電子零件連接，且形成上述各種電路之配線配置於主板18上。因此，配線會密集且平行地延伸，故而有於配線產生因串擾以及反射等而造成之雜訊的問題。此處，圖13係表示因串擾而造成之雜訊之產生部位的說明圖，圖14以及圖15係表示因串擾以及反射而造成之雜訊之產生部位的說明圖。於配線密集且平行地延伸時，如圖13~圖15所示，位址匯流排(信號A~D)中之任一者自High(5V)變化為Low(0 V)時，於保持為High之狀態之資料匯流排(信號E)中會產生雜訊。其為串擾。產生因如此之串擾而造成之雜訊之情形時，會有探針檢查之精度降低之問題。又，檢查信號之頻率成為高頻之情形時，例如如圖14以及圖15所示，時脈自20 MHz(週期50 ns)變為40 MHz(週期25 ns)時，判定點之間隔縮小到一半。資料匯流排於判定點中以P表示之位置之緊接後方變化，但該變化之前不久容易產生因反射造成之雜訊，故而於以該P表示之位置會消去測定之時序之餘量，從而產生探針檢查之精度下降之問

題。此處，圖16以及圖17係說明產生因反射而造成之雜訊之產生部位者，圖16係表示未使用本實施形態之子板19而形成之探針卡5之探針檢查的結果者，圖17係表示本實施形態之探針卡5之探針檢查之結果者。如圖16以及圖17所示，藉由未使用子板19而形成之探針卡5實行探針檢查之情形時，會無法正確獲得以R表示之部分之資料。其原因在於因反射而造成之雜訊之影響。又，於主板18上限定有可配置電子零件以及配線之區域，故而於推進探針檢查之對象之半導體積體電路裝置之多功能化之情形時，配線會增加進而密集，會容易於配線產生雜訊。即，會有探針卡5無法對應探針檢查之對象之半導體積體電路裝置之多功能化之問題。另外，根據本實施形態，如上所述，可儘量縮短電性連接主板18與子板19之跳線25以及埋入主板18之配線32之長度，且使包含於子板19之配線層40~49之間隔以特定之距離，故而可防止於配線產生因串擾以及反射等而造成之雜訊。又，因藉由形成於子板19之內部以及表面之配線層40~49形成各種電路，故而可大幅度減少配置於探針卡5上之配線數，防止該配線會密集。藉此，可防止於配線產生因串擾以及反射等而造成之雜訊。即，即使於推進作為探針檢查之對象之半導體積體電路裝置之多功能化之情形時，可無需增加配線數即可對應。又，根據本實施形態，可防止於配線產生因反射而造成之雜訊，故而即使於檢查信號之頻率變為高頻之情形時亦可防止探針檢查之精度降低。

又，於未使用本實施形態之子板19而形成探針卡之情形時，於主板18上限定可配置電子零件以及配線之區域，故而該等電子零件以及配線會密集配置。又，因必須於所限定之區域內配置電子零件以及配線，故而關於無法配置於該區域內之電子零件以及配線，則會向上方重疊配置。因此，自電子零件以及配線產生之熱量會難以散逸，從而造成電子零件特別是繼電器之溫度上升而動作不良之問題。又，因難以散逸自電子零件以及配線產生之熱量，故而會有縮短電子零件之壽命之問題。又，因將電子零件以及配線向上方重疊，故而探針卡5之高度會變高，因此會有探針卡5之向探針機7內之自動搬送以及向探針機7外之自動搬送與探針卡5之對集流環4之自動裝卸無法實行之問題。另外，根據本實施形態，如上所述，藉由形成於子板19之內部以及表面之配線層40~49形成各種電路，藉此可大幅度縮小配置於探針卡5上之配線數，將繼電器26、27(參照圖4)沿子板19之上面外周排列為一行。藉此，可避免電子零件以及配線之密集，故而可容易地散逸自電子零件以及配線產生之熱量。又，子板19於主板18上藉由支柱24而支持，藉此自電子零件以及配線產生之熱量可自子板19下之空間散逸。藉此，可實現電子零件之動作不良之防止以及長壽命化。又，如上所述，作為電子零件，於滿足形成檢查用電路方面所必須之特性者中選擇外形尺寸、特別是高度盡可能小者，故而可防止探針卡5之高度變高。藉此，可實現探針卡5之向探針機7內之自動搬送以及向探針機7

外之自動搬送與探針卡5之向集流環4之自動裝卸。

又，於未使用本實施形態之子板19而形成探針卡5之情形時，於主板18上密集配置電子零件以及配線，故而當因將電子零件以及配線安裝於主板18之焊錫之氧化等，電子零件以及配線會自主板18脫離或切斷時，會有修理變為困難之問題。又，因電子零件以及配線密集，故而於以焊錫安裝電子零件之情形時，會有於電子零件發生故障時難以更換該電子零件之問題。又，因主板18上之配線數變多，故而會有未注意到配線連接於錯誤之焊墊21或配線為切斷而直接將探針卡交貨之問題。另外，於本實施形態中，藉由埋入於主板18之配線32與形成於子板19之內部以及表面之配線層40~49而形成含有檢查用電路之各種電路，故而可大幅度減少配置於探針卡5上之配線數，避免配線之密集。藉此，於電子零件以及配線自探針卡5脫離或切斷之情形時，可容易地修理。又，於本實施形態中，因電子零件使用插口安裝於探針卡5(子板19)，故而於電子零件發生故障時可容易地更換該電子零件。又，根據本實施形態，可大幅度地減少配置於探針卡5上之配線數，故而可防止未注意到配線連接於配線錯誤之焊墊21或配線切斷而直接將探針卡交貨之情形。又，根據本實施形態，可大幅度地減少配置於探針卡5上之配線數，故而可縮短探針卡5之製作時間。即，可縮短探針卡5之交貨期。又，藉由可大幅度地縮短配置於探針卡5上之配線數，可減少本實施形態之探針卡5之製造成本。

圖 18 係表示對於同樣晶圓 14(參照圖 1)實施三次探針檢查之情形時之第二次之探針檢查之良率與第三次之探針檢查之良率之差者，表示關於使用本實施形態之探針卡 5 之情形時(以下，記作條件 A)與使用未使用本實施形態之子板 19 而形成之探針卡 5 之情形時(以下，記作條件 B)各情形的結果。如圖 18 所示，條件 B 中成為樣品之 2347 片晶圓 14 之第二次之探針檢查之良率與第三次之探針檢查之良率之差之平均值約為 2.69%，與此相對，條件 A 中成為樣品之 2494 片之平均值約為 1.48%，改善 1.21%。即，自該平均值之差亦可知藉由使用本實施形態之探針卡 5 可提高探針檢查之良率。

圖 19 係表示於對於一片晶圓 14(參照圖 1)實施探針檢查之情形時，因產生於設置於探針卡 5 之配線的雜訊(因上述串擾或反射等而造成之雜訊)而判斷為不良之晶片區域之產生率者，表示關於上述條件 A、B 之各條件之結果。如圖 19 所示，於條件 B 中，成為樣品之 2347 片晶圓 14 中，因該雜訊而判斷為不良之晶片區域之產生率之平均值約為 0.73%，與此相對，條件 A 中，成為樣品之 2494 片之平均值約為 0.48%，改善約 0.25%。即，自該平均值之差亦可知，藉由使用本實施形態之探針卡 5 可減少於設置於探針卡 5 之配線中產生之雜訊。

圖 20 以及圖 21 係表示對於與圖 18 以及圖 19 所示之作為探針檢查之對象之晶圓 14 為不同種類之形成有半導體積體電路之複數片晶圓實施探針檢查之情形的結果者，表示有關

於上述條件 A、B 之各種條件之結果。示於圖 20 之結果中，條件 B 中成為樣品之 3281 片晶圓之探針檢查之良率之平均值約為 91.98%，與此相對，條件 A 中成為樣品之 1654 片之平均值約為 94.11%，改善有約 2.13%。又，於圖 21 所示之結果中，條件 B 中成為樣品之 4103 片晶圓之探針檢查之良率之平均值約為 91.26%，與此相對，條件 A 中，成為樣品之 4768 片之平均值約為 93.77%，改善有約 2.51%。即，自該平均值之差可知，藉由使用本實施形態之探針卡 5 可提高探針檢查之良率。

於上述探針卡 5 中，如圖 22 所示，以藉由探針 15(參照圖 1)之一次接觸實施探針檢查之晶片區域 CHP 沿探針卡 5 之動作方向(第 1 方向)鄰接有兩個之方式配置探針 15。又，圖 23 表示檢查對象之晶圓 14(參照圖 1)之主面之晶片區域 CHP 之排列、探針卡 5 之動作方向、以及同時實行探針檢查之兩個晶片區域 CHP 之組合，關於該兩個晶片區域 CHP 之組合，顯示有附有影線之組合或無影線之組合。藉由如此選擇晶片區域 CHP，於晶圓 14 內，例如於劃分 232 個晶片區域 CHP 之情形時，使探針 15 與晶圓 14 接觸 116 次，藉此可關於所有晶片區域 CHP 實施探針檢查。

此處，如圖 22 所示，將藉由探針 15 之一次接觸實施探針檢查之兩個晶片區域 CHP 於對角線之延伸方向鄰接兩個之情形時，成為如圖 25 所示之晶圓 14 之主面之晶片區域 CHP 之排列、探針卡 5 之動作方向、以及同時實行探針檢查之兩個晶片區域 CHP 之組合。於圖 25 中，關於該兩個晶片區

域 CHP 之組合，亦顯示有附有影線之組合或無影線之組合。於如此選擇晶片區域 CHP 之情形時，亦有不選擇兩個晶片區域 CHP 而選擇僅有一個晶片區域 CHP 之情形，於該場合時，與實際上未存在之虛設晶片區域 DCHP 組合而實行探針檢查。再者，於圖 25 中，虛設晶片區域 DCHP 係以點線表示之晶片區域。該情形時，於晶圓 14 內劃分有例如 232 個晶片區域 CHP 之情形時，藉由使探針 15 與晶圓 14 接觸 128 次，可關於所有晶片區域 CHP 實施探針檢查，與圖 22 以及圖 23 所示之本實施形態相比，使探針 15 與晶圓 14 接觸之次數會增加。即，根據本案施之形態，可減少使探針 15 與晶圓 14 接觸之次數，故而可縮短探針檢查所需之時間。

以上，依據實施形態就本發明者之發明加以具體說明，但本發明並非僅限於上述實施形態者，當然可於不脫離該要旨之範圍內加以各種變化。

例如，於上述實施形態中，就於主板上配置子板形成探針卡之情形加以說明，但亦可將具有與子板相同構造以及功能之一片以上之基板藉由與將子板配置於主板上之方法相同之方法配置於子板上，形成探針卡。

又，上述實施形態中，就藉由金屬製之支柱將子板配置於主板上形成探針卡之情形加以說明，但亦可例如將子板設為圓弧型，以該圓弧型之弦之部分與主板連接之方式將一片以上之子板配置於主板上。

[產業上之可利用性]

本發明之半導體積體電路裝置之製造方法可廣泛適用於形成於晶圓之半導體積體電路之探針檢查。

**【圖式簡單說明】**

圖1係表示本發明之一實施形態之半導體積體電路裝置之製造方法的探針檢查步驟中所使用之測定器以及夾具之構成的說明圖。

圖2係圖1中所示之效能板之平面圖。

圖3係表示將圖1中所示之探針卡安裝於探針機內之步驟的說明圖。

圖4係圖1中所示之探針卡之平面圖。

圖5係沿圖4中之A-A線之剖面圖。

圖6係表示圖4中所示之主板之主面的平面圖。

圖7係說明圖4中所示之主板之內部的平面圖。

圖8係圖7中所示之配線之剖面圖。

圖9係表示圖4中所示之主板之內部中配線交叉之區域的要部剖面圖。

圖10係說明圖4中所示之主板之下面的平面圖。

圖11係表示圖4中所示之子板之上的平面圖。

圖12係圖11所示之子板之要部剖面圖。

圖13係表示因串擾而造成之雜訊之產生部位的說明圖。

圖14係表示因串擾以及反射而造成之雜訊之產生部位的說明圖。

圖15係表示因串擾以及反射而造成之雜訊之產生部位的說明圖。

圖 16 係說明因反射而造成之雜訊之產生部位的說明圖。

圖 17 係說明因反射而造成之雜訊之產生部位的說明圖。

圖 18 係表示對於同樣晶圓實施三次探針檢查之情形的第二次探針檢查之良率與第三次探針檢查之良率之差的說明圖。

圖 19 係表示對於一片晶圓實施探針檢查之情形時，因設置於探針卡之配線中產生之雜訊而判斷為不良之晶片區域之產生率的說明圖。

圖 20 係表示對於複數片晶圓實施探針檢查之情形的結果之說明圖。

圖 21 係表示對於複數片晶圓實施探針檢查之情形的結果之說明圖。

圖 22 係表示藉由探針之一次接觸而實施探針檢查的晶片區域之排列的平面圖。

圖 23 係表示檢查對象之晶圓之主面之晶片區域之排列、探針卡之動作方向、以及同時實行探針檢查之兩個晶片區域之組合的平面圖。

圖 24 係表示藉由探針之一次接觸實施探針檢查之晶片區域之排列的平面圖。

圖 25 係表示檢查對象之晶圓之主面之晶片區域之排列、探針卡之動作方向、以及同時實行探針檢查之兩個晶片區域之組合的平面圖。

### 【主要元件符號說明】

1 測定器

2	測試頭
3	效能板
4	集流環
5	探針卡
6	晶圓臺
7	探針機
8	彈簧針
9	連接焊墊
10	彈簧針
11	彈簧針(連接機構)
12	連接焊墊
14	晶圓
15	探針(接觸端子)
16	區域
17	連接墊
18	主板(第1板)
19	子板(第2板)
20	外周焊墊區域(第5區域)
21	焊墊
22	內周焊墊區域(第4區域)
23	接地電位區域(第3區域)
24	支柱
25	跳線(第1配線)
26, 27	繼電器

28	電 容 器
29	石 英 震 盪 器
30	IC
31	插 口
32	配 線 (第 5 配 線)
33	銅 線
34	聚 醯 亞 胺 樹 脂 膜
35	接 著 劑
36	基 材

### 五、中文發明摘要：

本發明係提高探針卡之良率。本發明係自主板18與配置於主板18之主面上之子板19形成探針卡，子板19於平面中配置於比內周焊墊區域22內側，繼電器26、27沿子板19之上面外周以一行排列，繼電器26、27、電容器28、石英振盪器29以及IC30等之電子零件選擇外形尺寸盡可能小者，藉由子板19上之電子零件與子板19內之配線層形成檢查用電路。

### 六、英文發明摘要：

## 十、申請專利範圍：

1. 一種半導體積體電路裝置之製造方法，其含有以下步驟：
  - (a)準備半導體晶圓之步驟，該半導體晶圓係劃分為複數個晶片區域，於上述複數個晶片區域之各區域形成有半導體積體電路，且於主面上形成有與上述半導體積體電路電性連接之複數個第1電極；
  - (b)準備探針卡之步驟，該探針卡具有第1板，其具有用以與上述複數個第1電極接觸之複數個接觸端子，第2板，其搭載於上述第1板上，且形成有與上述複數個接觸端子電性連接之複數個配線層，以及複數個電子零件，其搭載於上述第2板之主面上，且形成有與測定器電性連接之第1電路；且上述第1板與上述第2板經由複數個第1配線電性連接；及
  - (c)使上述複數個接觸端子之前端接觸上述複數個第1電極，實行上述半導體積體電路之電性檢查之步驟。
2. 如請求項1之半導體積體電路裝置之製造方法，其中上述(c)步驟係使上述複數個接觸端子之上述前端接觸上述複數個晶片區域中包含於複數個第1晶片區域之上述複數個第1電極而實行。
3. 如請求項2之半導體積體電路裝置之製造方法，其中上述複數個第1晶片區域為兩個上述晶片區域，沿於上述(c)步驟中上述探針卡動作之第1方向鄰接配置。
4. 如請求項1之半導體積體電路裝置之製造方法，其中以埋入上述第1板內之方式形成有與上述複數個接觸端子

電性連接之第5配線，上述第5配線係

(i)具有導電層以及絕緣層；

(ii)上述導電層藉由上述絕緣層被覆。

5. 如請求項1之半導體積體電路裝置之製造方法，其中上述第2板內之上述配線層分別隔以特定之第1距離而配置。

6. 如請求項1之半導體積體電路裝置之製造方法，其中上述複數個電子零件含有複數個繼電器；

上述複數個繼電器沿上述第2板之上述主面之外周以一行排列。

7. 如請求項6之半導體積體電路裝置之製造方法，其中上述複數個第1配線於上述第2板之上述主面連接於比排列有上述複數個繼電器之第1區域外周之第2區域。

8. 如請求項1之半導體積體電路裝置之製造方法，其中於上述第2板之上述主面，配置與上述第1電路電性連接，且安裝有上述複數個電子零件之複數個插口；

藉由使上述複數個插口具有之第1端子與上述複數個電子零件具有之第2端子接觸，電性連接上述複數個插口與上述複數個電子零件。

9. 如請求項1之半導體積體電路裝置之製造方法，其中上述第1板之主面含有：

(i)第3區域，其與接地電位電性連接；

(ii)第4區域，其包圍上述第3區域，連接有電性連接上述第1板與上述第2板之複數個第3配線；及

(iii)第5區域，其包圍上述第4區域，連接電性連接上述探針卡與上述測定器之連接機構；

上述第2板於平面上配置於上述第3區域內。

10. 如請求項1之半導體積體電路裝置之製造方法，其中上述複數個配線層形成於上述第2板之上述主面以及內部；

藉由切斷上述第2板之包含於上述主面之上述配線層之複數個配線中之特定之第4配線，選擇上述複數個電子零件電性連接之上述配線層或上述配線。

十一、圖式：

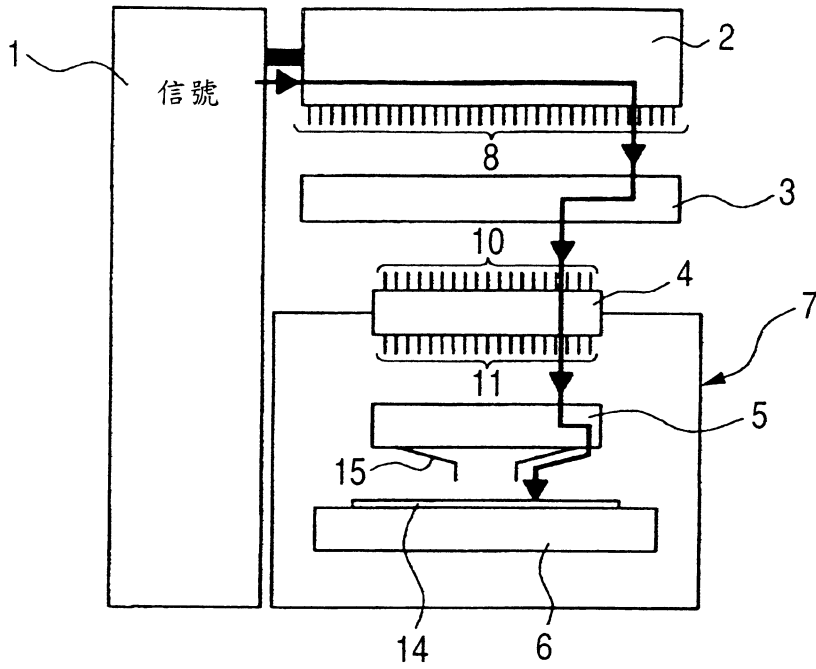


圖 1

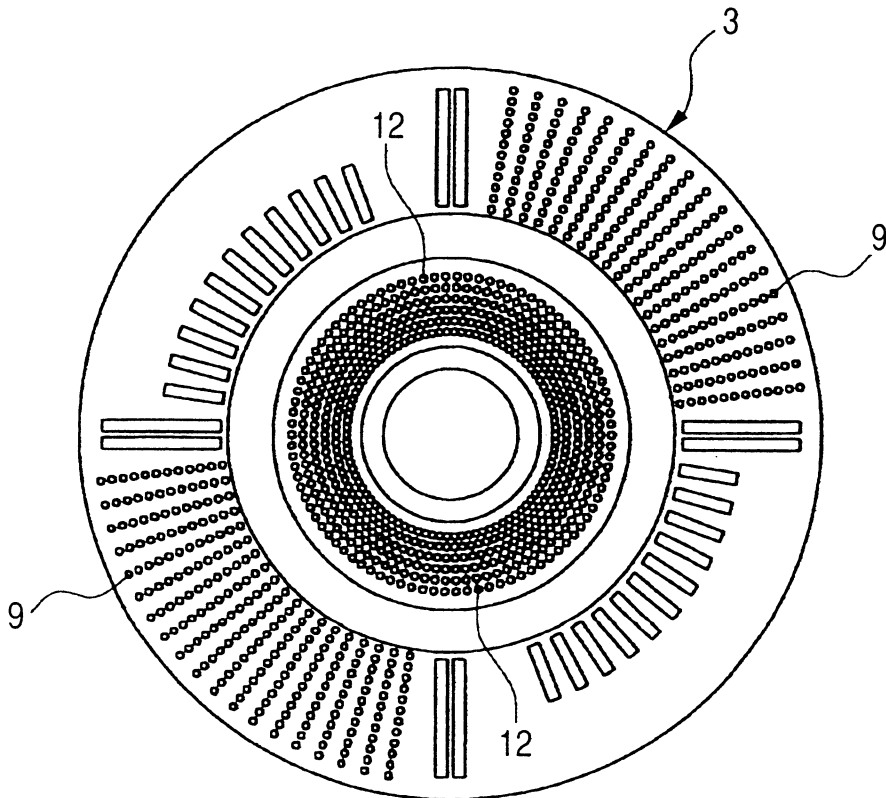


圖 2

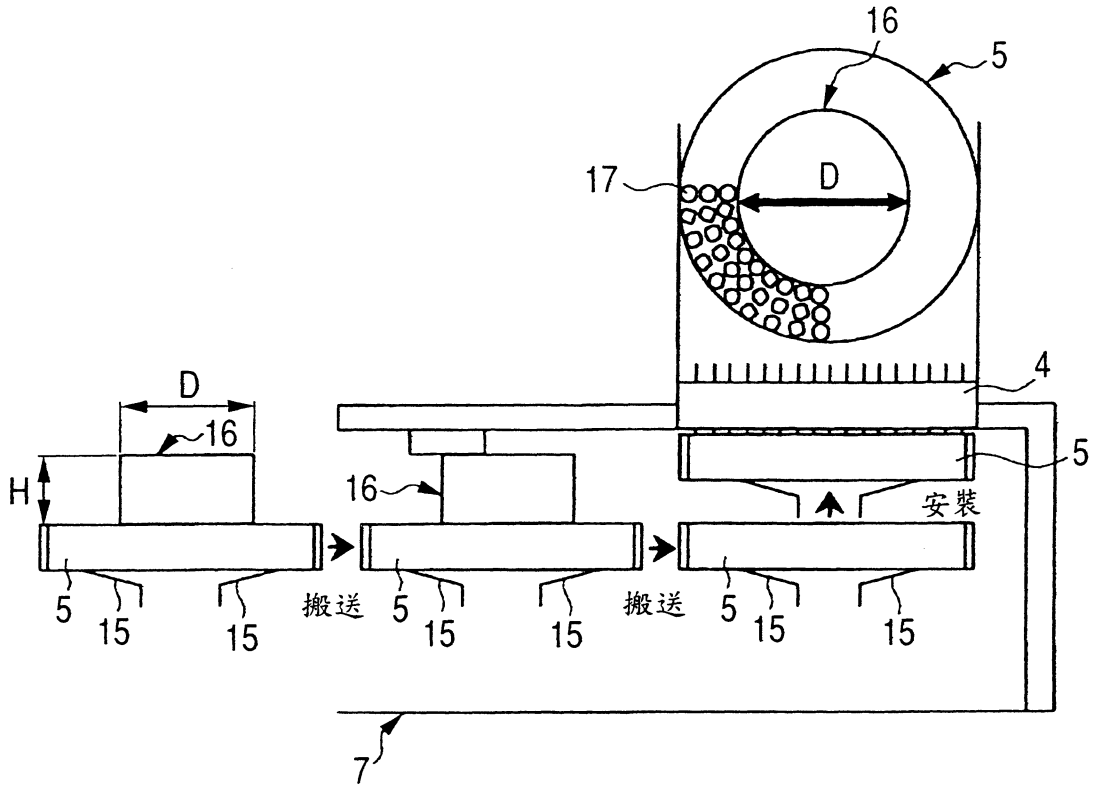


圖 3

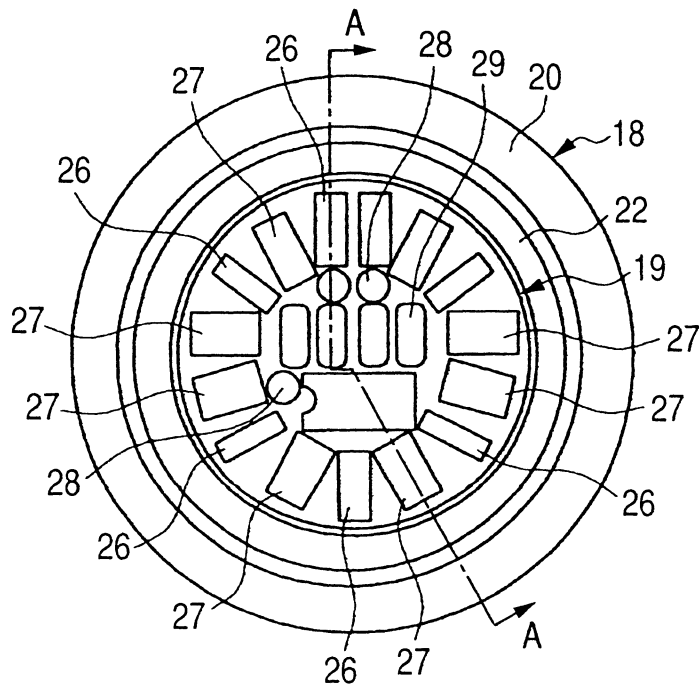


圖 4

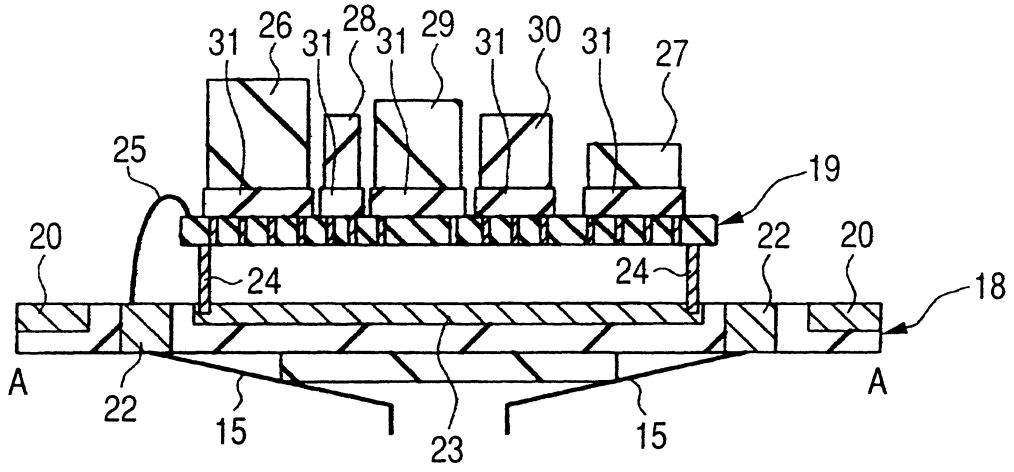


圖 5

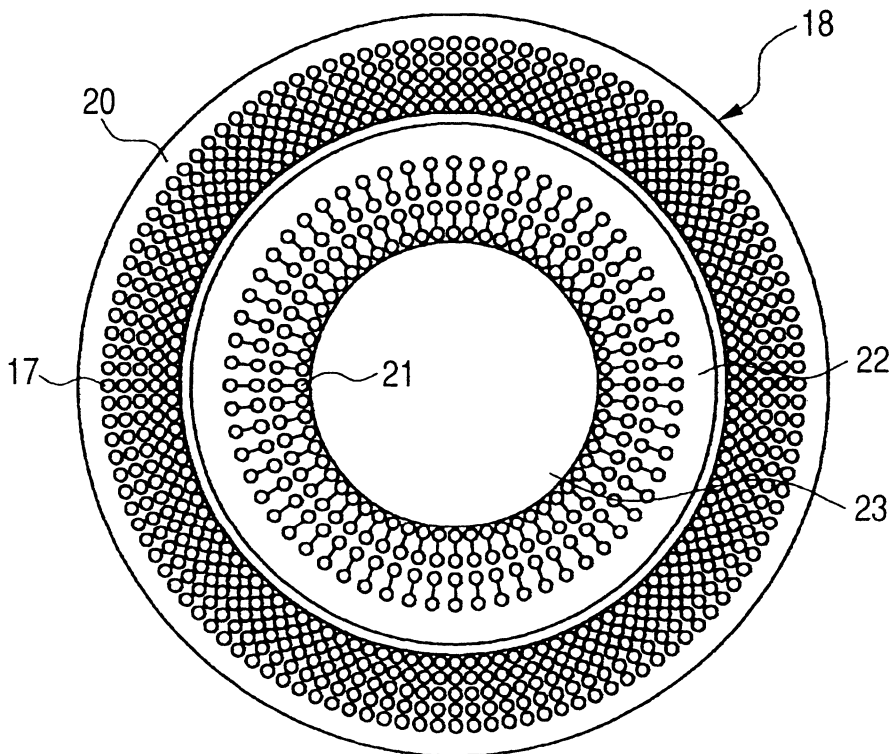


圖 6

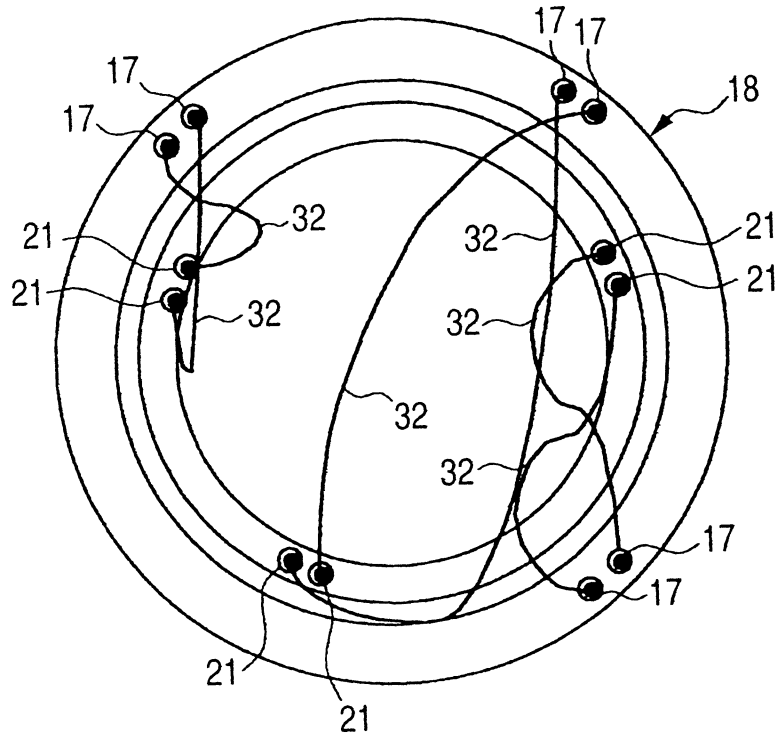


圖 7

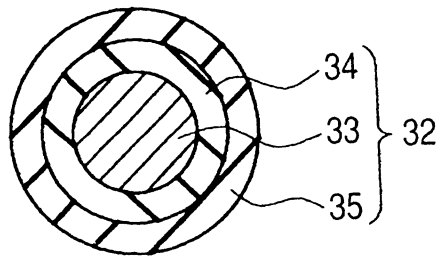


圖 8

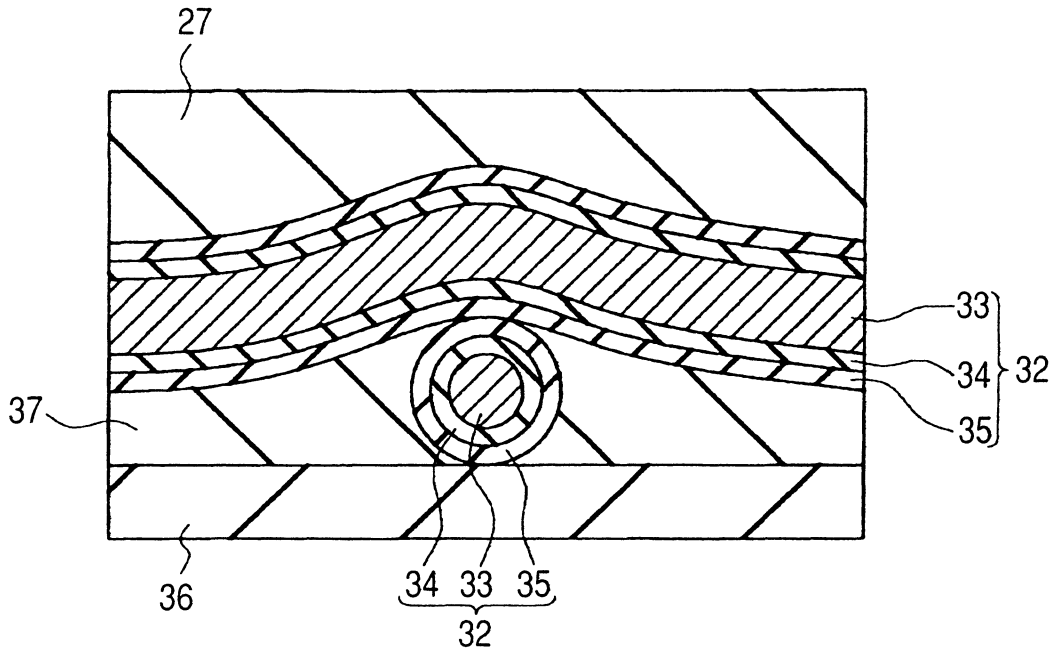


圖 9

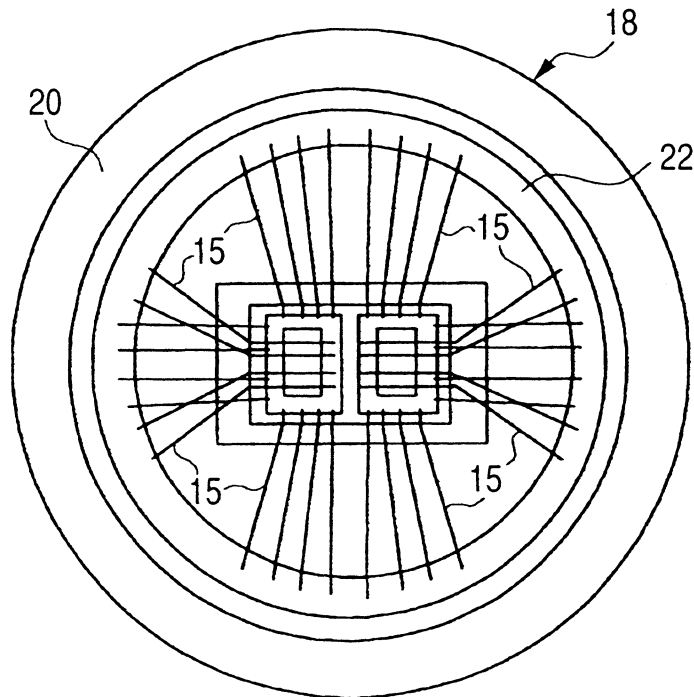


圖 10

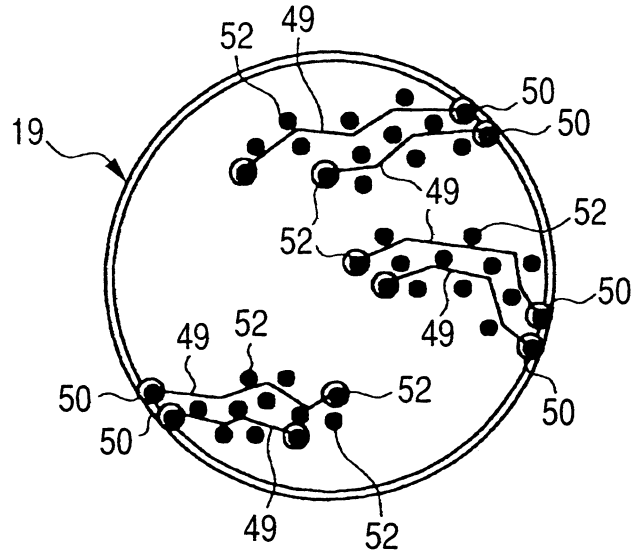


圖 11

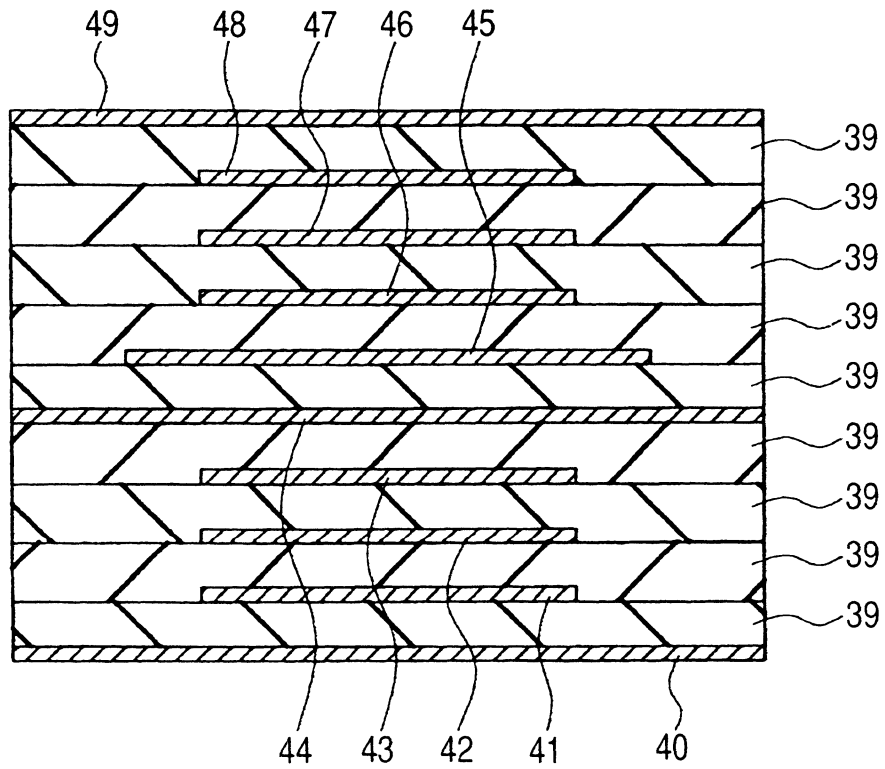


圖 12

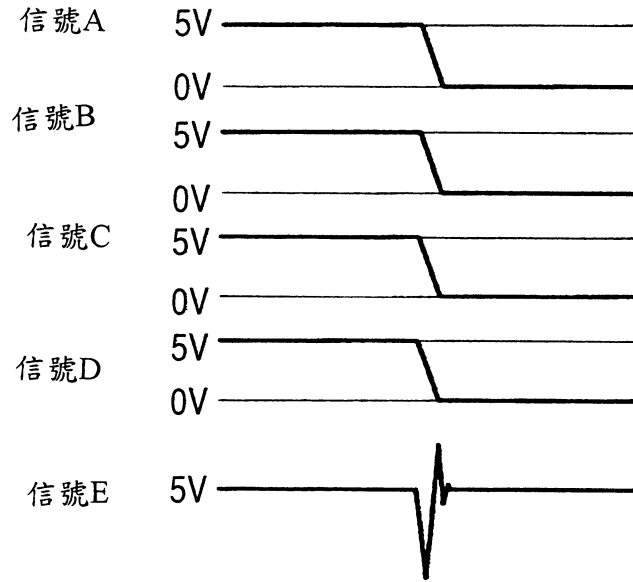


圖 13

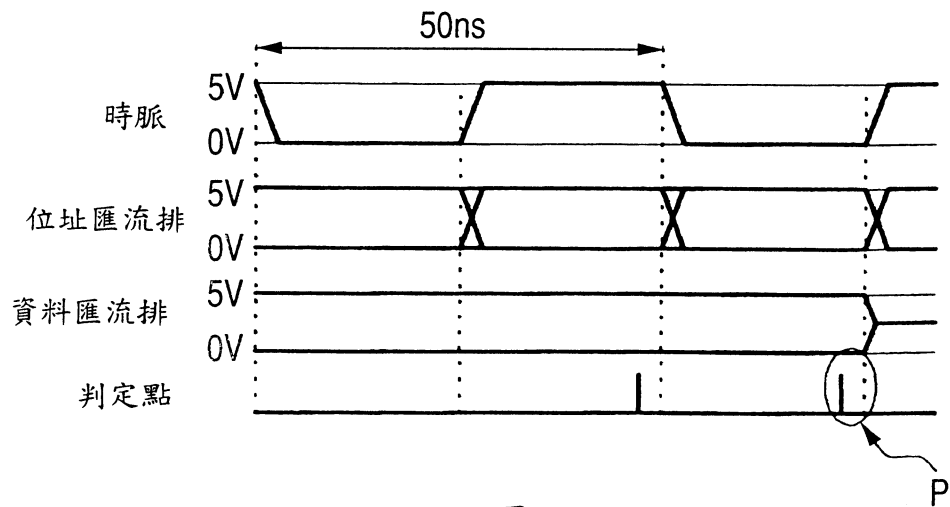


圖 14

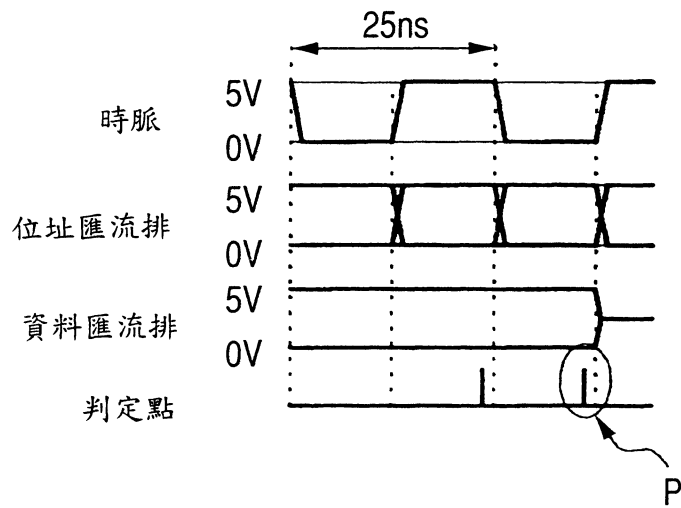


圖 15

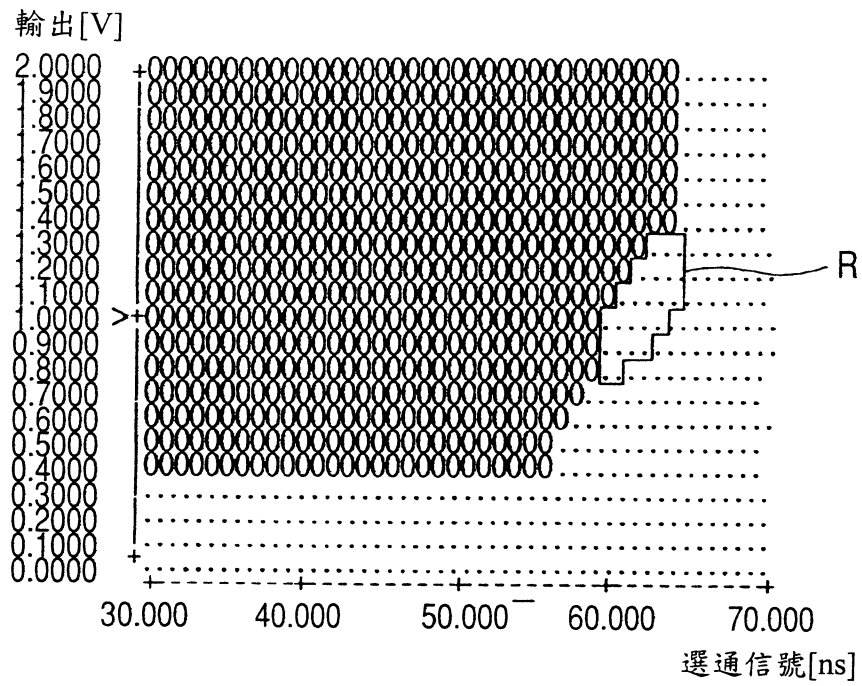


圖 16

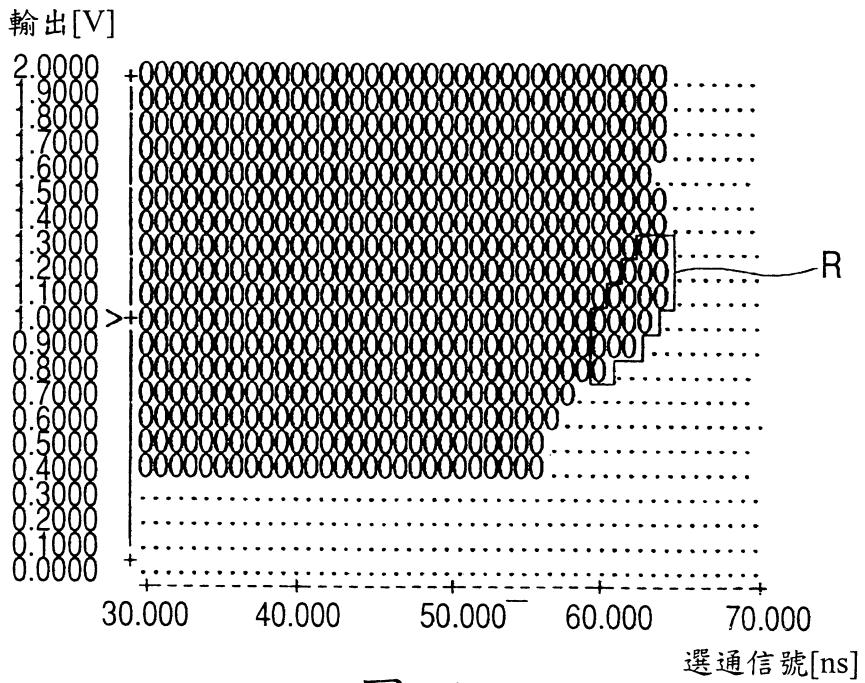


圖 17

	良率差
條件 A (樣品數:2494個)	1.48%
條件B (樣品數：2347個)	2.69%

圖 18

	產生率
條件 A (樣品數：2494個)	0.48%
條件B (樣品數：2347個)	0.73%

圖 19

	平均良率
條件A (樣品數：1654個)	94.11%
條件B (樣品數：3281個)	91.98%

圖 20

	平均良率
條件A (樣品數：4768個)	93.77%
條件B (樣品數：4103個)	91.26%

圖 21

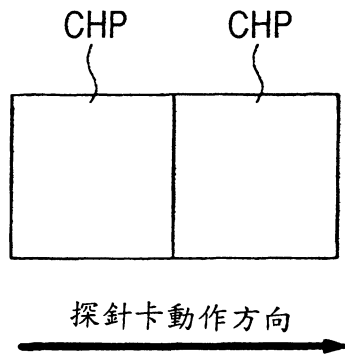


圖 22

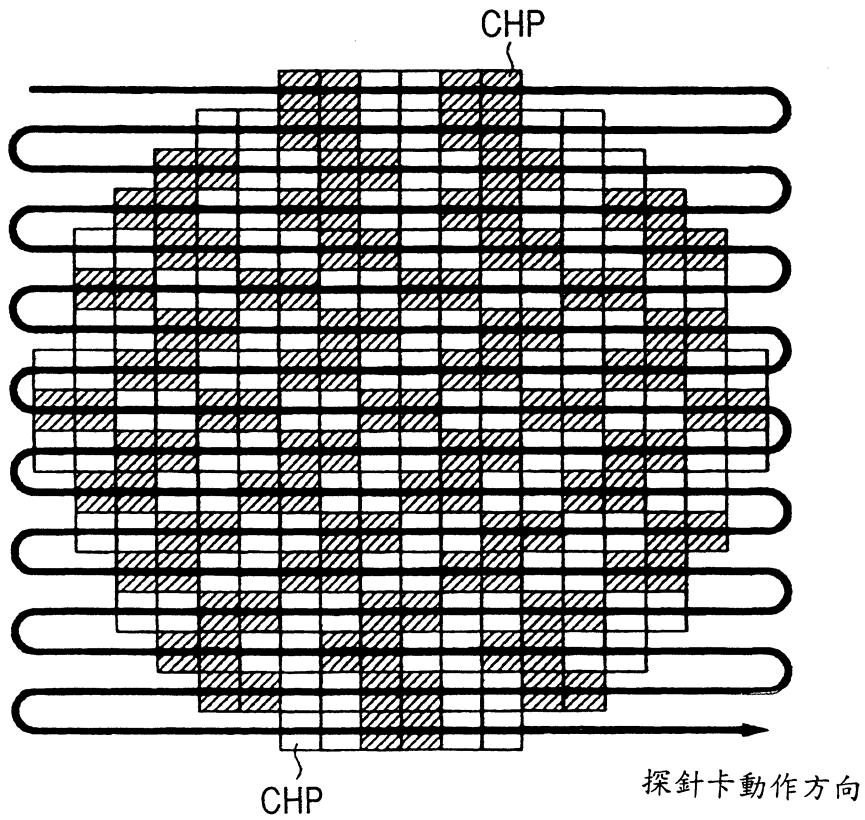


圖 23

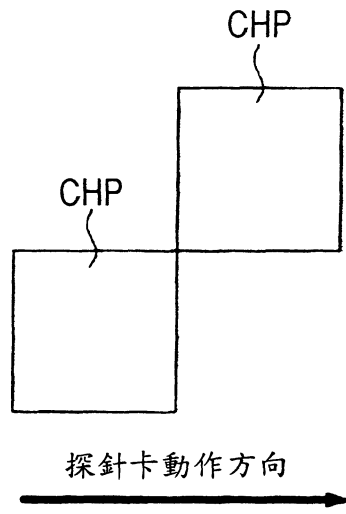


圖 24

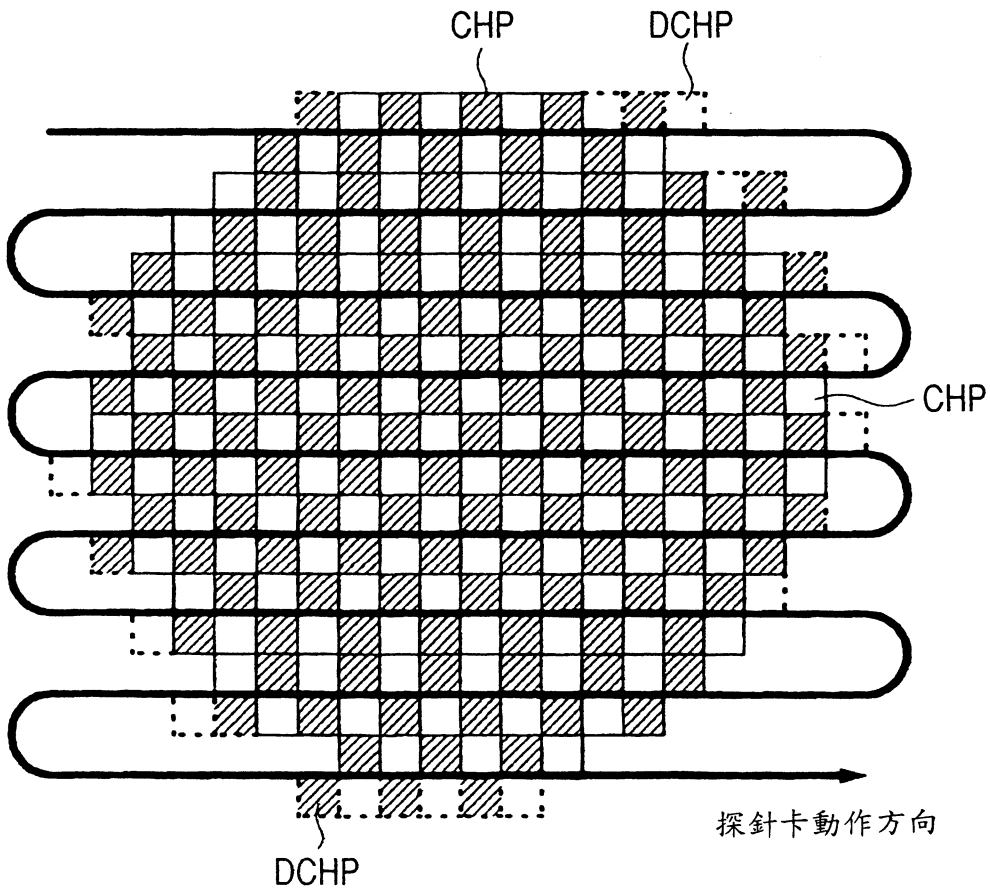


圖 25

**七、指定代表圖：**

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

15	探針(接觸端子)
18	主板(第1板)
19	子板(第2板)
20	外周焊墊區域(第5區域)
22	內周焊墊區域(第4區域)
23	接地電位區域(第3區域)
24	支柱
25	跳線(第1配線)
26, 27	繼電器
28	電容器
29	石英振盪器
30	IC
31	插口

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)