(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월13일
(11) 등록번호 10-1007716
(24) 등록일자 2011년01월05일

(51) Int. Cl.
G02F 1/133 (2006.01)
(21) 출원번호 10-2004-0004716
(22) 출원일자 2004년01월26일
심사청구일자 2009년01월08일
(65) 공개번호 10-2005-0076913
(43) 공개일자 2005년07월29일
(56) 선행기술조사문헌
JP2001305578 A*
KR1020030080979 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
김수진
경기도수원시팔달구영통동1041-10번지204호
나병선
경기도화성군태안읍반월리신영통현대아파트212동1503호
(74) 대리인
박영우

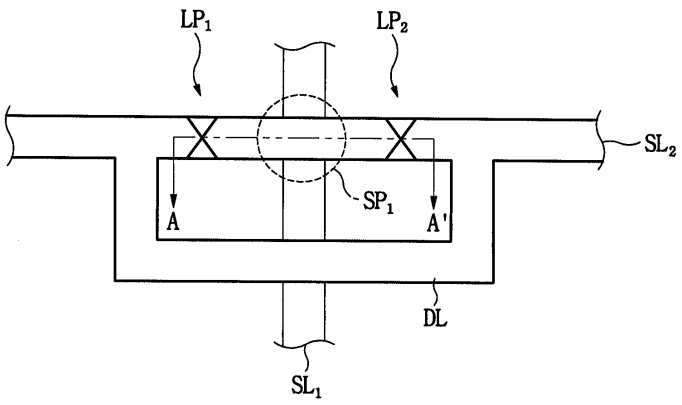
전체 청구항 수 : 총 3 항 심사관 : 이강하

(54) 표시장치

(57) 요 약

리페어 가능한 게이트 구동회로를 갖는 표시장치가 개시된다. 표시패널은 게이트 신호와 데이터 신호에 응답하여 영상을 표시한다. 게이트 구동회로는 표시패널에 내장되고 순차적으로 게이트 신호를 출력하는 다수의 스테이지로 이루어진다. 데이터 구동회로는 게이트 신호에 응답하여 데이터 신호를 표시패널로 제공한다. 게이트 구동회로는 제1 신호배선, 제1 신호배선의 상부에서 제1 신호배선과 전기적으로 절연된 상태로 교차하는 제2 신호배선, 및 제2 신호배선의 제1 지점으로부터 분기하여 제2 신호배선의 제2 지점에 연결되어 제2 신호배선과 다른 경로로 제1 신호배선과 교차하는 하나 이상의 더미배선을 포함한다. 따라서, 게이트 구동회로를 리페어함으로써 정상화시킬 수 있다.

대 표 도 - 도3



특허청구의 범위

청구항 1

게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시패널;

상기 표시패널에 내장되고, 순차적으로 게이트 신호를 출력하는 다수의 스테이지로 이루어진 게이트 구동회로; 및

상기 게이트 신호에 응답하여 상기 데이터 신호를 상기 표시패널로 제공하는 데이터 구동회로를 포함하고,

상기 게이트 구동회로의 각 스테이지는,

제1 신호배선;

상기 제1 신호배선의 상부에서 상기 제1 신호배선과 전기적으로 절연된 상태로 교차하는 제2 신호배선;

상기 제2 신호배선의 제1 지점으로부터 분기하여 상기 제2 신호배선의 제2 지점에 연결되어 상기 제2 신호배선과 다른 경로로 상기 제1 신호배선과 교차하는 하나 이상의 더미배선; 및

서로 병렬 연결된 제1 및 제2 TFT를 포함하되,

상기 제1 TFT는 상기 제1 신호배선과 동일한 레이어에 구비되는 제1 게이트 전극, 상기 제2 신호배선과 동일한 레이어에 구비되는 제1 소오스 전극 및 제1 드레인 전극을 포함하며,

상기 제2 TFT는 상기 제1 게이트 전극과 전기적으로 연결된 제2 게이트 전극, 상기 제1 소오스 전극과 전기적으로 연결된 제2 소오스 전극 및 상기 제1 드레인 전극과 전기적으로 연결된 제2 드레인 전극을 포함하는 것을 특징으로 하는 표시장치.

청구항 2

제1항에 있어서, 상기 제2 신호배선의 일부분이 상기 제1 신호배선과 단락되면,

상기 더미배선은 상기 제2 신호배선의 일부분과 전기적으로 절연되어, 상기 제2 신호배선을 통과하는 신호는 상기 더미배선으로 우회하는 것을 특징으로 하는 표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제1 및 제2 TFT 중 어느 하나의 TFT가 오동작하면, 다른 하나의 TFT는 상기 어느 하나의 TFT와 전기적으로 절연되는 것을 특징으로 하는 표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0013] 본 발명은 표시장치에 관한 것으로, 더욱 상세하게는 리페어 가능한 게이트 구동회로를 갖는 표시장치에 관한 것이다.

[0014] 일반적으로, 액정표시장치는 다수의 게이트 라인과 다수의 데이터 라인이 구비된 액정표시패널, 다수의 게이트 라인에 게이트 구동신호를 출력하는 게이트 구동회로 및 다수의 데이터 라인에 영상신호를 출력하는 데이터 구

동회로로 이루어진다.

[0015] 게이트 구동회로 및 데이터 구동회로는 칩 형태로 이루어져 액정표시패널에 실장된다. 그러나, 최근에는 액정표시장치의 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 게이트 구동회로를 액정표시패널에 내장하는 구조가 개발되고 있다.

[0016] 게이트 구동회로가 액정표시패널에 내장되는 구조에서, 게이트 구동회로는 서로 종속적으로 연결된 복수의 스테이지를 갖는 하나의 쉬프트 레지스트로 이루어진다.

[0017] 외부적인 요인에 의해서 또는 제조 공정 상에서 발생되는 불량으로 인해서 게이트 구동회로를 구성하는 복수의 스테이지 중 어느 하나의 스테이지가 오동작하면, 오동작한 스테이지에 대응하는 게이트 라인에는 게이트 신호가 출력되지 못하는 라인 결함이 발생한다.

[0018] 뿐만 아니라, 복수의 스테이지가 서로 종속적으로 연결되기 때문에 하나의 스테이지가 오동작하면 오동작하는 스테이지 이후의 스테이지들도 오동작한다. 따라서, 게이트 구동회로의 스테이지 불량은 액정표시패널의 라인 결함을 발생시킬 뿐만 아니라, 더 나아가서는 게이트 구동회로의 전체적인 오동작을 유발하여 액정표시장치의 표시 특성을 저하시킨다.

발명이 이루고자 하는 기술적 과제

[0019] 따라서, 본 발명의 목적은 리페어 가능한 게이트 구동회로를 갖는 표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0020] 본 발명의 일 특징에 따른 표시장치는 표시패널, 게이트 구동회로 및 데이터 구동회로를 포함한다.

[0021] 상기 표시패널은 게이트 신호와 데이터 신호에 응답하여 영상을 표시한다. 상기 게이트 구동회로는 상기 표시패널에 구비되고 순차적으로 게이트 신호를 출력하는 다수의 스테이지로 이루어진다. 상기 데이터 구동회로는 상기 게이트 신호에 응답하여 상기 데이터 신호를 상기 표시패널로 제공한다.

[0022] 상기 게이트 구동회로는 제1 신호배선, 상기 제1 신호배선의 상부에서 상기 제1 신호배선과 전기적으로 절연된 상태로 교차하는 제2 신호배선, 및 상기 제2 신호배선의 제1 지점으로부터 분기하여 상기 제2 신호배선의 제2 지점에 연결되어 상기 제2 신호배선과 다른 경로로 상기 제1 신호배선과 교차하는 하나 이상의 더미배선을 포함한다.

[0023] 이러한 표시장치에 따르면, 상기 제2 신호배선의 일부분이 제1 신호배선과 단락되더라도, 상기 제2 신호배선의 일부분과 상기 더미배선을 전기적으로 절연시키는 리페어 공정이 이루어짐으로써, 상기 제2 신호배선을 통과하는 신호는 상기 더미배선으로 우회한다.

[0024] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0025] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.

[0026] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(400)는 영상을 표시하는 액정표시패널(100), 상기 액정표시패널(100)에 내장되어 게이트 신호를 출력하는 게이트 구동회로(200) 및 상기 액정표시패널(100) 상에 구비되어 데이터 신호를 출력하는 데이터 구동회로(300)를 포함한다.

[0027] 상기 액정표시패널(100)은 영상을 표시하는 표시영역(DA)과 상기 표시영역(DA)에 인접한 제1 및 제2 주변영역(PA1, PA2)으로 이루어진다.

[0028] 상기 표시영역(DA)에는 제1 방향(D1)으로 연장된 다수의 게이트 라인(GL1 ~ GLn) 및 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장되어 상기 다수의 게이트 라인(GL)과 절연되어 교차하는 다수의 데이터 라인(DL1 ~ DLm)이 구비된다. 따라서, 상기 표시영역(DA)에는 매트릭스 형태의 화소영역이 제공된다.

[0029] 상기 각 화소영역에는 TFT(112) 및 상기 TFT(110)에 연결된 액정 커패시터(Clc)를 구비된다. 상기 TFT(112)는 게이트 전극이 해당 게이트 라인에 연결되고, 소오스 전극이 해당 데이터 라인에 연결되며, 드레인 전극이 상기 액정 커패시터(Clc)에 결합된다.

[0030] 상기 제1 주변영역(PA1)은 상기 다수의 게이트 라인(GL1 ~ GLn)의 일단부와 인접하는 영역이다. 상기 제1 주변영역(PA1)에는 상기 다수의 게이트 라인(GL1 ~ GLn)에 게이트 신호를 순차적으로 출력하기 위한 게이트 구동회

로(200)가 구비된다. 상기 게이트 구동회로(200)는 상기 표시영역(DA)에 구비되는 상기 TFT(112)와 동일한 공정을 거쳐서 상기 액정표시패널(100)에 내장된다.

[0031] 한편, 상기 제2 주변영역(PA2)은 상기 다수의 데이터 라인(DL1 ~ DLm)의 일단부와 인접하는 영역이이다. 상기 제2 주변영역(PA2)에는 상기 다수의 데이터 라인(DL1 ~ DLm)에 데이터 신호를 출력하기 위한 데이터 구동회로(300)가 구비된다. 상기 데이터 구동회로(300)는 칩 형태로 이루어져 상기 액정표시패널(100) 상에 실장된다.

[0032] 도 2는 도 1에 도시된 게이트 구동회로를 나타낸 블록도이다.

[0033] 도 2를 참조하면, 게이트 구동회로(200)는 서로 종속적으로 연결된 다수의 스테이지(SRC1 ~ SRCn)로 이루어진 하나의 쉬프트 레지스터를 포함한다. 상기 쉬프트 레지스터의 각 스테이지는 하나의 S-R 래치와 앤드 게이트(AND)로 구성된다.

[0034] 동작 시, 상기 S-R 래치는 이전 스테이지의 출력신호에 의해 활성화되고, 다음 스테이지의 출력신호에 의해 비활성화된다. 상기 앤드 게이트(AND)는 상기 S-R 래치가 활성화 상태이고, 제공되는 제1 또는 제2 클럭(CKV, CKVB)이 하이 레벨일 때 게이트 신호(OUT1 ~ OUTn)를 발생시킨다.

[0035] 도 2에 도시된 바와 같이, 홀수번째 스테이지(SRC1)에는 상기 제1 클럭(CKV)이 인가되고, 짝수번째 스테이지(SRC2, SRCn)에는 상기 제1 클럭(CKV)과는 다른 위상을 갖는 상기 제2 클럭(CKVB)이 인가된다. 여기서, 상기 제1 클럭(CKV)과 상기 제2 클럭(CKVB)은 서로 반대 위상을 갖는다.

[0036] 따라서, 상기 홀수번째 스테이지(SRC1)의 앤드 게이트(AND)는 상기 S-R 래치가 활성화 상태이고, 상기 제1 클럭(CKV)이 하이 레벨일 때 게이트 신호(OUT1)를 발생시킨다. 상기 짝수번째 스테이지(SRC2, SRCn)의 앤드 게이트(AND)는 상기 S-R 래치가 활성화 상태이고, 상기 제2 클럭(CKVB)이 하이 레벨일 때 게이트 신호(OUT2, OUTn)를 발생시킨다.

[0037] 이처럼, 각 스테이지는 유기적으로 결합된 다수의 구동 TFT(미도시) 및 상기 구동 TFT들을 유기적으로 결합시키기 위하여 서로 다른 층에 배치되는 제1 및 제2 신호배선(미도시)을 구비한다. 상기 구동 TFT를 유기적으로 결합시키는 상기 제1 및 제2 신호배선에 대해서는 이후 도 3 내지 도 5를 참조하여 구체적으로 설명한다. 또한, 상기 구동 TFT에 대해서는 이후 도 6 및 도 7을 참조하여 구체적으로 설명한다.

[0038] 여기서, 상기 각 스테이지를 구성하는 상기 구동 TFT의 개수는 게이트 구동회로가 구비되는 액정표시장치의 종류에 따라서 달라지는데, 통상적으로 3개 이상 14개 이하로 이루어진다.

[0039] 도 3은 도 2에 도시된 각 스테이지의 일부분을 나타낸 레이-아웃도이고, 도 4는 도 3에 도시된 각 스테이지의 일부분에 대응하는 종래의 레이-아웃도이다. 도 5는 도 3에 도시된 절단선 A - A`에 의해서 절단된 단면도이다.

[0040] 도 3을 참조하면, 각 스테이지에는 제1 신호가 제공되는 제1 신호배선(SL1) 및 제2 신호가 제공되는 제2 신호배선(SL2)이 구비된다. 상기 제2 신호배선(SL2)은 상기 제1 신호배선(SL1)과 전기적으로 절연되게 상기 제1 신호배선(SL1)의 상부에 구비된다. 상기 제2 신호배선(SL2)은 제1 경로로 진행되어 특정 부분에서 상기 제1 신호배선(SL1)과 교차한다.

[0041] 한편, 더미배선(DL)은 상기 제2 신호배선(SL2)의 제1 및 제2 지점으로부터 분기된다. 상기 더미배선(DL)은 상기 제2 신호배선(SL2)과 전기적으로 연결되므로, 상기 제2 신호배선(SL2)으로 제공되는 상기 제2 신호는 상기 제2 신호배선(SL2) 뿐만 아니라 상기 더미배선(DL)을 통과한다.

[0042] 이때, 상기 더미배선(DL)은 상기 제1 경로와는 다른 제2 경로로 진행되어 상기 제1 신호배선(SL1)과 교차한다. 따라서, 상기 더미배선(DL)과 상기 제1 신호배선(SL1)이 교차된 부분은 상기 제1 및 제2 신호배선(SL1, SL2)이 교차된 부분과 서로 다르다.

[0043] 도 5에 도시된 바와 같이, 외부적인 요인 또는 공정 과정에서, 상기 제1 및 제2 신호배선(SL1, SL2)이 제1 단락 포인트(SP1)에서 단락된다. 이러한 불량을 리페어하기 위하여 상기 제1 및 제2 레이저 포인트(LP1, LP2)에서 상기 제2 신호배선(SL1)을 오픈시키는 공정이 수행된다. 상기 제1 및 제2 레이저 포인트(LP1, LP2)에 레이저를 조사하면, 상기 제1 및 제2 레이저 포인트(LP1, LP2)에서 상기 제2 신호배선(SL2)이 오픈된다. 따라서, 상기 더미배선은 단락이 발생한 상기 제2 신호배선의 일부분과 전기적으로 절연시키는 리페어 공정이 이루어짐으로써, 상기 제2 신호는 제1 지점부터 제2 지점까지 상기 더미배선(DL)으로 우회하여 상기 제2 신호의 흐름은 정상적으로 회복된다.

[0044] 한편 도 4를 참조하면, 상기 더미배선(DL)을 구비하지 않는 종래의 스테이지는 제1 단락 포인트(SP1)에서 상기

제1 및 제2 신호배선(SL1, SL2)이 단락됨으로써 정상적으로 동작할 수 없다.

[0045] 이처럼, 상기 제1 및 제2 신호배선(SL1, SL2)이 교차하는 부분에서 상기 제2 신호배선(SL2)으로부터 분기되는 상기 더미배선(DL)을 추가함으로써, 상기 제1 및 제2 신호배선(SL1, SL2)이 단락되는 것에 의해서 스테이지가 오동작하는 것이 방지할 수 있다.

[0046] 도 3에서는 하나의 더미배선(DL)만이 상기 제2 신호배선(SL2)으로부터 분기된 구조를 도시하였지만, 상기 각 스테이지는 상기 제2 신호배선(SL2)으로부터 분기된 두 개 또는 그 이상의 더미배선을 구비할 수 있다. 이때, 더미배선의 개수가 증가될수록 각 스테이지의 리페어 가능 횟수를 증가시킬 수 있다. 하지만, 더미배선의 개수가 증가할수록 스테이지의 구성이 복잡해지고, 사이즈가 증가할 수 있기 때문에, 더미배선의 개수를 제한할 수도 있다.

[0047] 도 6은 도 2에 도시된 각 스테이지의 다른 일부분을 나타낸 레이-아웃도이고, 도 7은 도 6 도시된 각 스테이지의 일부분에 대응하는 종래의 레이-아웃도이다.

[0048] 도 6을 참조하면, 각 스테이지는 유기적으로 결합된 다수의 구동 TFT로 이루어진다. 상기 각 구동 TFT는 서로 병렬 연결된 제1 및 제2 TFT(TR1, TR2)를 포함한다.

[0049] 상기 제1 TFT(TR1)는 제1 신호배선(SL1, 도 3에 도시됨)과 동일한 레이어에 구비되는 제1 게이트 전극(GE1), 상기 제2 신호배선(SL2, 도 3에 도시됨)과 동일한 레이어에 구비되는 상기 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1)으로 이루어진다. 또한, 상기 제2 TFT(TR2)는 상기 제1 게이트 전극(GE1)과 전기적으로 연결된 제2 게이트 전극(GE2), 상기 제1 소오스 전극(SE1)과 전기적으로 연결된 제2 소오스 전극(SE2) 및 상기 제1 드레인 전극(DE1)과 전기적으로 연결된 제2 드레인 전극(DE2)으로 이루어진다.

[0050] 외부적인 요인 또는 공정 과정에서, 상기 제1 드레인 전극(DE1)과 제1 게이트 전극(GE1)이 제2 단락 포인트(SP2)에서 단락된다. 이러한 불량을 리페어하기 위하여 상기 제3 및 제4 레이저 포인트(LP3, LP4)에 레이저를 조사하여, 상기 제1 및 제2 게이트 전극(GE1, GE2)을 전기적으로 절연시키는 공정이 수행된다. 따라서, 상기 제1 TFT(TR1)가 오동작하더라도, 상기 스테이지는 정상적으로 동작하는 상기 제2 TFT(TR2)와 상기 제1 TFT(TR1)를 전기적으로 분리시키는 리페어 공정을 통해 정상적으로 동작할 수 있다.

[0051] 한편 도 7에 도시된 바와 같이, 종래에는 각 스테이지의 구동 TFT 각각이 하나의 제3 TFT(TR3)로 이루어졌다. 따라서, 종래의 각 스테이지는 제2 단락 포인트(SP2)에서 상기 제3 게이트 전극(GE3)과 제3 드레인 전극(DE3)이 단락되는 것에 의해서 오동작을 일으킨다.

[0052] 이처럼, 종래의 상기 제3 TFT(TR3)를 본 발명과 같이 두 개의 제1 및 제2 TFT(TR1, TR2)로 구성함으로써, 단락 발생시 스테이지는 간단한 리페어 공정을 거침으로써 정상적으로 동작할 수 있다. 이때, 상기 제1 및 제2 TFT(TR1, TR2) 각각의 채널폭은 상기 제3 TFT(TR3)의 채널 폭의 1/2인 것이 바람직하다. 따라서, 상기 제3 TFT(TR3)를 제1 및 제2 TFT(TR1, TR2)로 2분할하더라도 전체 TFT의 채널폭은 변동이 없다.

[0053] 리페어 공정 이후, 불량이 발생한 스테이지는 상기 제1 및 제2 TFT(TR1, TR2) 중 단락이 일어나지 않은 어느 하나의 TFT만으로 동작하지만, 불량이 발생한 스테이지로 인해서 게이트 구동회로(200, 도 2에 도시됨)가 전체적으로 오동작하는 것을 방지할 수 있다.

[0054] 도 6에서는 상기 제3 TFT(TR3)가 상기 제1 및 제2 TFT(TR1, TR2)로 2분할된 구조만을 도시하였지만, 상기 제3 TFT(TR3)는 3 또는 그 이상으로 분할될 수 있다. 하지만, 상기 제3 TFT(TR3)의 분할은 스테이지의 사이즈 및 전체적인 구성을 고려하여 제한할 수 있다.

발명의 효과

[0055] 이와 같은 표시장치에 따르면, 각 스테이지는 제2 신호배선으로부터 분기된 더미배선을 더 구비하여, 상기 제2 신호배선의 일부분이 제1 신호배선과 단락되더라도, 상기 제2 신호배선의 일부분과 상기 더미배선을 전기적으로 절연시키는 리페어 공정이 이루어짐으로써, 상기 제2 신호배선을 통과하는 제2 신호는 상기 더미배선으로 우회한다.

[0056] 따라서, 상기 단락에 의해서 해당 스테이지의 오동작을 방지할 수 있을 뿐만 아니라, 해당 스테이지에 영향을 받는 나머지 스테이지의 오동작을 방지할 수 있다. 그로 인해서, 간단한 리페어 공정을 통해 게이트 구동회로를 정상화시킬 수 있다.

[0057] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된

본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.

[0002] 도 2는 도 1에 도시된 게이트 구동회로를 나타낸 블록도이다.

[0003] 도 3은 도 2에 도시된 각 스테이지의 일부분을 나타낸 레이-아웃도이다.

[0004] 도 4는 도 3에 도시된 각 스테이지의 일부분에 대응하는 종래의 레이아웃도이다.

[0005] 도 5는 도 3에 도시된 절단선 A - A`에 의해서 절단된 단면도이다.

[0006] 도 6은 도 2에 도시된 각 스테이지의 다른 일부분을 나타낸 레이-아웃도이다.

[0007] 도 7은 도 6 도시된 각 스테이지의 일부분에 대응하는 종래의 레이아웃도이다.

[0008] <도면의 주요 부분에 대한 부호의 설명>

[0009] 100 : 액정표시패널 200 : 게이트 구동회로

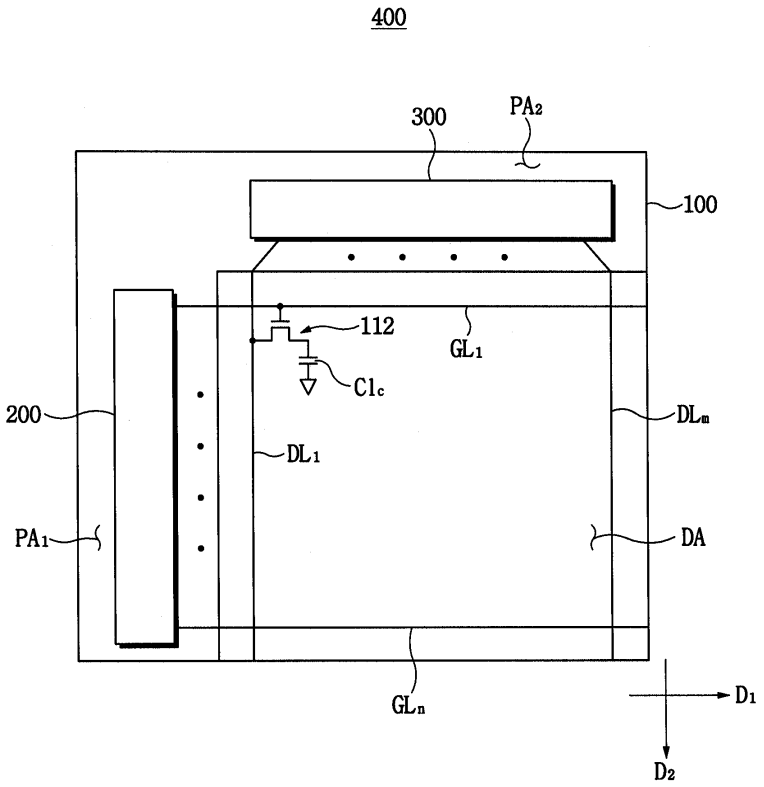
[0010] 300 : 데이터 구동회로 400 : 액정표시장치

[0011] SL1 : 제1 신호배선 SL2 : 제2 신호배선

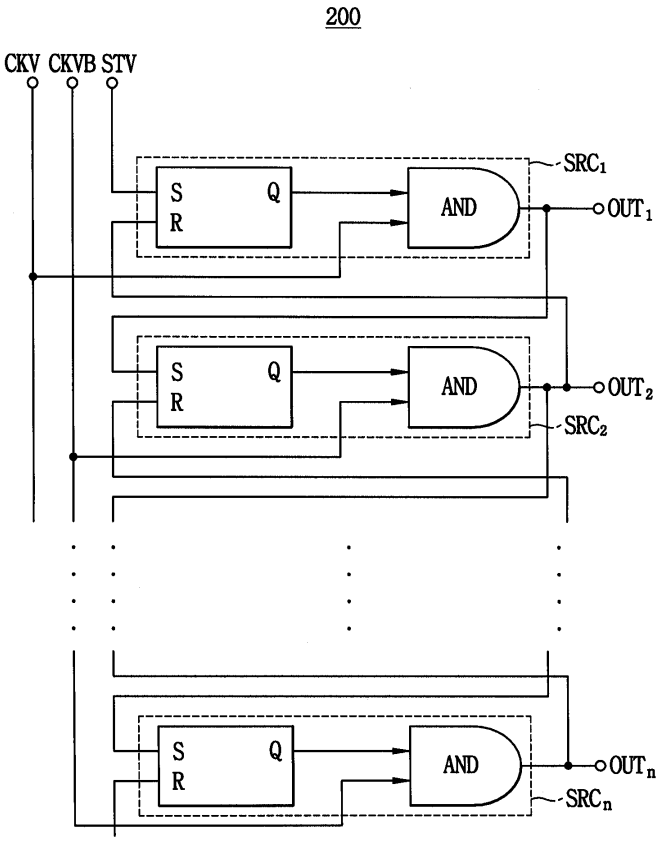
[0012] DL : 더미배선

도면

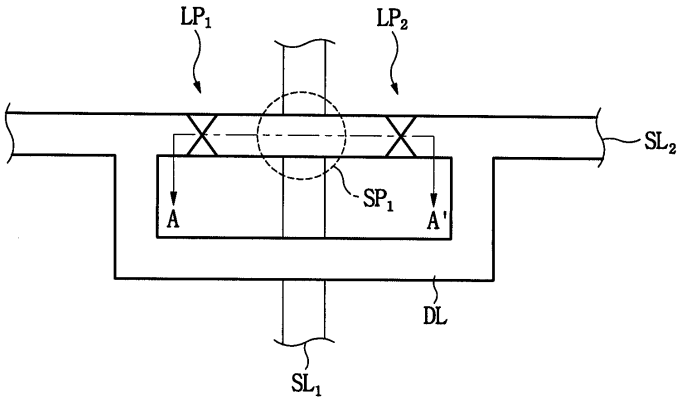
도면1



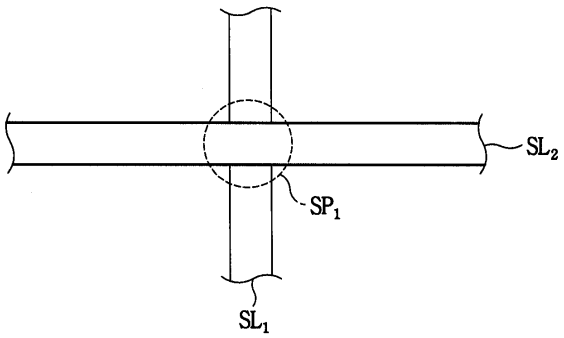
도면2


200
CKV CKVB STV
S
R
Q
AND
SRC1
OUT1
OUT2
SRC2
OUTn
SRCn

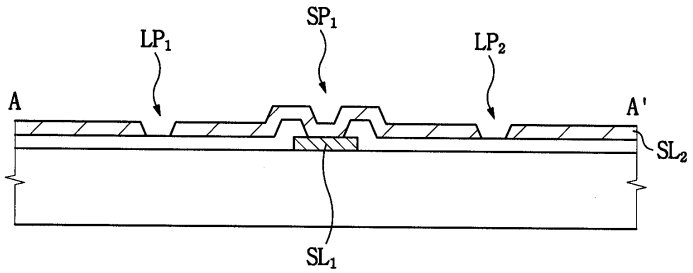
도면3


LP1
LP2
SL2
SP1
A
A'
DL
SL1

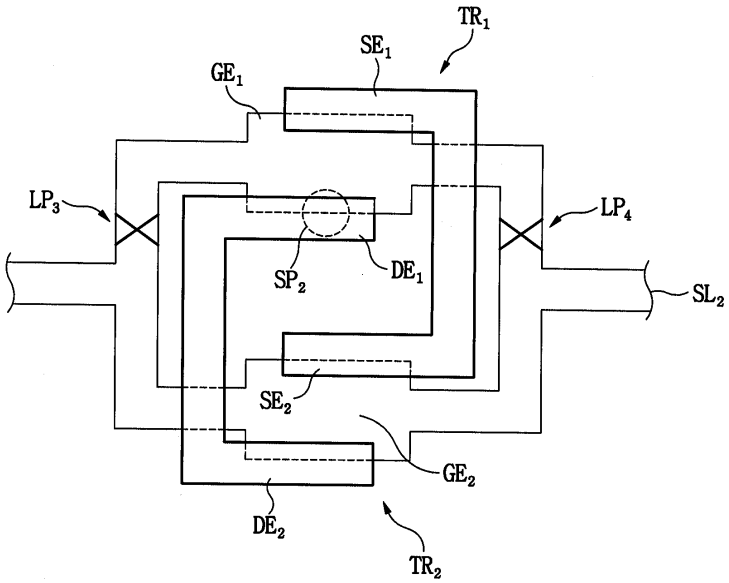
도면4


SL2
SP1
SL1

도면5


SP1
LP1
LP2
A
A'
SL2
SL1

도면6


TR1
SE1
GE1
LP3
LP4
SP2
DE1
SL2
SE2
GE2
DE2
TR2

도면7

