



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년08월07일

(11) 등록번호 10-2007678

(24) 등록일자 2019년07월31일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01) G11C 19/28 (2006.01)

(21) 출원번호 10-2012-0107008

(22) 출원일자 2012년09월26일

심사청구일자 2017년09월26일

(65) 공개번호 10-2013-0035910

(43) 공개일자 2013년04월09일

(30) 우선권주장

JP-P-2011-217150 2011년09월30일 일본(JP)

(56) 선행기술조사문헌

JP2003179479 A\*

JP2007123861 A\*

JP2005123865 A

JP2009188867 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

우메자키 아츠시

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 20 항

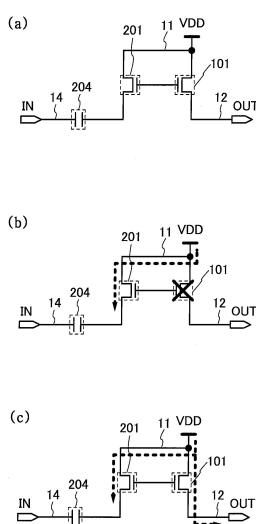
심사관 : 신영교

(54) 발명의 명칭 반도체 장치

**(57) 요약**

본 발명은 인버터 회로와 시프트 레지스터 회로를 갖고, 트랜지스터 수가 적다는 특징을 갖는 반도체 장치를 제공한다.

상기 반도체 장치는 제 1 트랜지스터, 제 2 트랜지스터, 및 용량 소자를 포함한다. 제 1 트랜지스터의 소스 및 드레인 중 하나가 제 1 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제 2 배선에 전기적으로 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 하나가 제 1 배선에 전기적으로 접속되고, 게이트가 제 1 트랜지스터의 게이트에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 용량 소자의 한쪽 전극에 전기적으로 접속되고, 용량 소자의 다른 쪽 전극이 제 3 배선에 전기적으로 접속된다. 제 1 트랜지스터와 제 2 트랜지스터는 같은 도전형을 갖는다.

**대 표 도** - 도16

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서,

각각 제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터와;

제 1 전극 및 제 2 전극을 포함하는 용량 소자를 포함하고,

상기 제 1 트랜지스터의 상기 제 1 단자는 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 제 1 트랜지스터의 상기 게이트는 상기 제 3 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 제 3 트랜지스터의 상기 제 1 단자는 상기 제 4 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 제 4 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 제 5 트랜지스터의 상기 제 1 단자는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 용량 소자의 상기 제 1 전극은 상기 제 2 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 용량 소자의 상기 제 2 전극은 상기 제 1 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 용량 소자의 상기 제 1 전극에 신호가 입력되는, 반도체 장치.

#### 청구항 2

반도체 장치에 있어서,

각각 제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터와;

제 1 전극 및 제 2 전극을 포함하는 용량 소자를 포함하고,

상기 제 1 트랜지스터의 상기 제 1 단자는 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 제 1 트랜지스터의 상기 게이트는 상기 제 3 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 제 3 트랜지스터의 상기 제 1 단자는 상기 제 4 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 제 4 트랜지스터의 상기 게이트는 상기 제 2 트랜지스터의 상기 게이트 및 상기 제 5 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 제 5 트랜지스터의 상기 제 1 단자는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 용량 소자의 상기 제 1 전극은 상기 제 2 트랜지스터의 상기 게이트에 전기적으로 접속되고;

상기 용량 소자의 상기 제 2 전극은 상기 제 1 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 용량 소자의 상기 제 1 전극에 신호가 입력되는, 반도체 장치.

#### 청구항 3

반도체 장치에 있어서,

각각 제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터와;

제 1 전극 및 제 2 전극을 포함하는 용량 소자를 포함하고,

상기 제 1 트랜지스터의 상기 제 1 단자는 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;

상기 제 1 트랜지스터의 상기 게이트는 상기 제 3 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 제 3 트랜지스터의 상기 제 1 단자는 상기 제 4 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;  
 상기 제 4 트랜지스터의 상기 게이트는 상기 제 5 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 제 5 트랜지스터의 상기 제 1 단자는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 용량 소자의 상기 제 1 전극은 상기 제 2 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 용량 소자의 상기 제 2 전극은 상기 제 1 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;  
 상기 용량 소자의 상기 제 1 전극에 신호가 입력되고;  
 상기 제 3 트랜지스터의 채널 폭(W) 대 채널 길이(L)의 비(W/L)의 값은 상기 제 1 트랜지스터의 비의 값보다  
 큼, 반도체 장치.

#### 청구항 4

반도체 장치에 있어서,

각각 제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터와;  
 제 1 전극 및 제 2 전극을 포함하는 용량 소자를 포함하고,  
 상기 제 1 트랜지스터의 상기 제 1 단자는 상기 제 2 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;  
 상기 제 1 트랜지스터의 상기 게이트는 상기 제 3 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 제 3 트랜지스터의 상기 제 1 단자는 상기 제 4 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;  
 상기 제 4 트랜지스터의 상기 게이트는 상기 제 2 트랜지스터의 상기 게이트 및 상기 제 5 트랜지스터의 상기  
 게이트에 전기적으로 접속되고;  
 상기 제 5 트랜지스터의 상기 제 1 단자는 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 용량 소자의 상기 제 1 전극은 상기 제 2 트랜지스터의 상기 게이트에 전기적으로 접속되고;  
 상기 용량 소자의 상기 제 2 전극은 상기 제 1 트랜지스터의 상기 제 1 단자에 전기적으로 접속되고;  
 상기 용량 소자의 상기 제 1 전극에 신호가 입력되고;  
 상기 제 3 트랜지스터의 채널 폭(W) 대 채널 길이(L)의 비(W/L)의 값은 상기 제 1 트랜지스터의 비의 값보다  
 큼, 반도체 장치.

#### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 신호는 하이 상태와 로우 상태를 반복하는, 반도체 장치.

#### 청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터 내지 제 5 트랜지스터는 같은 도전형을 갖는, 반도체 장치.

#### 청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터 내지 제 5 트랜지스터 중 적어도 하나는 채널 형성 영역에 산화물 반도체를 포함하는, 반  
 도체 장치.

#### 청구항 8

삭제

### 청구항 9

삭제

### 청구항 10

삭제

### 청구항 11

반도체 장치에 있어서,

제 1 배선 내지 제 4 배선과;

각각 제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 1 트랜지스터 내지 제 5 트랜지스터와;

제 1 전극 및 제 2 전극을 포함하는 용량 소자를 포함하고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 게이트는 상기 제 5 트랜지스터의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 전극에 전기적으로 접속되고, 상기 제 3 트랜지스터의 게이트는 상기 제 5 트랜지스터의 상기 제 2 단자에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 전극에 전기적으로 접속되고, 상기 제 4 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 5 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 1 전극은 상기 제 4 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 12

제 11 항에 있어서,

상기 제 3 배선에 공급되는 전위는 상기 제 1 배선에 공급되는 전위보다 낮은, 반도체 장치.

### 청구항 13

제 11 항에 있어서,

입력되어 온 신호를 지연할 수 있는 제 1 회로를 더 포함하고,

상기 제 5 트랜지스터의 상기 게이트는 상기 제 1 회로를 통하여 상기 제 4 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 14

제 11 항에 있어서,

입력되어 온 신호를 지연할 수 있는 제 2 회로를 더 포함하고,

상기 제 1 전극은 상기 제 2 회로를 통하여 상기 제 4 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 15

제 11 항에 있어서,

각각 입력되어 온 신호를 지연할 수 있는 제 1 회로 및 제 2 회로를 더 포함하고,

상기 제 5 트랜지스터의 상기 게이트는 상기 제 1 회로 및 상기 제 2 회로를 통하여 상기 제 4 배선에 전기적으로 접속되고,

상기 제 1 전극은 상기 제 2 회로를 통하여 상기 제 4 배선에 전기적으로 접속되고,

상기 제 1 전극은 상기 제 1 회로를 통하여 상기 제 5 트랜지스터의 상기 게이트에 전기적으로 접속되는, 반도체 장치.

### 청구항 16

제 11 항에 있어서,

입력되어 온 신호를 지연할 수 있는 제 1 회로를 더 포함하고,

상기 제 2 트랜지스터의 상기 게이트 및 상기 제 5 트랜지스터의 상기 게이트는 각각 상기 제 1 회로를 통하여 상기 제 4 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 17

제 11 항에 있어서,

제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 6 트랜지스터를 더 포함하고,

상기 제 3 트랜지스터의 상기 게이트는 상기 제 6 트랜지스터를 통하여 상기 제 5 트랜지스터의 상기 제 2 단자에 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 18

반도체 장치에 있어서,

제 1 배선 내지 제 5 배선과;

각각 제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 1 트랜지스터 내지 제 5 트랜지스터와;

인버터 회로를 포함하고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 1 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 게이트는 상기 제 4 트랜지스터의 제 2 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 게이트는 상기 인버터 회로에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 4 트랜지스터의 상기 제 2 단자에 전기적으로 접속되고, 상기 제 3 트랜지스터의 게이트는 상기 인버터 회로에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자 및 게이트는 각각 상기 제 4 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 4 트랜지스터의 제 2 단자에 전기적으로 접속되고, 상기 제 5 트랜지스터의 게이트는 상기 제 5 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 19

제 18 항에 있어서,

상기 제 1 배선에는 하이 레벨과 로우 레벨을 반복하는 클록 신호가 입력되는, 반도체 장치.

### 청구항 20

제 11 항 또는 제 18 항에 있어서,

상기 제 1 트랜지스터 내지 제 5 트랜지스터는 같은 도전형을 갖는, 반도체 장치.

### 청구항 21

제 18 항에 있어서,

제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 6 트랜지스터를 더 포함하고,

상기 제 6 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 6 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 6 트랜지스터의 게이트는 상기 제 5 배선에 전기적으로 접속되는, 반도체 장치.

### 청구항 22

제 18 항에 있어서,

제 1 단자, 제 2 단자, 및 게이트를 포함하는 제 6 트랜지스터 및 제 6 배선을 더 포함하고,

상기 제 6 트랜지스터의 제 1 단자는 상기 제 3 배선에 전기적으로 접속되고, 상기 제 6 트랜지스터의 제 2 단자는 상기 제 2 배선에 전기적으로 접속되고, 상기 제 6 트랜지스터의 게이트는 상기 제 6 배선에 전기적으로 접속되고,

상기 제 1 배선에는 하이 레벨과 로우 레벨을 반복하는 클록 신호가 입력되고,

상기 제 6 배선에는 상기 클록 신호와 위상이 반대인 신호가 입력되는, 반도체 장치.

### 청구항 23

제 1 항 내지 제 4 항, 제 11 항, 및 제 18 항 중 어느 한 항에 따른 반도체 장치를 포함하는, 전자 기기.

## 발명의 설명

### 기술 분야

[0001] 본 발명의 일 형태는 반도체 장치 및 표시 장치에 관한 것이다.

### 배경 기술

[0002] 액정 표시 장치나 EL 표시 장치 등의 표시 장치가 대형화됨에 따라, 더 부가 가치가 높은 표시 장치의 개발이 진행되고 있다. 특히, 일 도전형을 갖는 트랜지스터만을 사용하여 표시 장치의 구동 회로를 구성하는 기술 개발이 활발히 진행되고 있다(특허문헌 1, 비특허문헌 1 참조).

[0003] 도 17a는 특허문헌 1에 기재된 구동 회로를 도시한 것이다. 특허문헌 1에 기재된 구동 회로는 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 및 트랜지스터(M4)로 구성되어 있다. 신호(IN)가 하이 레벨(high level)인 경우에는 트랜지스터(M1)가 오프 상태가 되고, 트랜지스터(M2), 트랜지스터(M3), 및 트랜지스터(M4)가 온 상태가 된다. 그리고 신호(OUT)는 하이 레벨이 된다. 한편, 신호(IN)가 로우 레벨(low level)인 경우에는 트랜지스터(M1)가 온 상태가 되고, 트랜지스터(M2) 및 트랜지스터(M4)가 오프 상태가 되고, 트랜지스터(M3)가 일단 온 상태가 된 후에 오프 상태가 된다. 그리고 신호(OUT)는 로우 레벨이 된다.

[0004] 도 17b는 비특허문헌 1에 기재된 구동 회로를 도시한 것이다. 비특허문헌 1에 기재된 구동 회로는 트랜지스터(M11) 내지 트랜지스터(M19), 및 용량 소자(C11) 등으로 구성되어 있다. 신호(IN)가 하이 레벨인 경우에는 트랜지스터(M12), 트랜지스터(M14), 트랜지스터(M16), 및 트랜지스터(M17)가 온 상태가 되고, 트랜지스터(M11), 트랜지스터(M13), 및 트랜지스터(M15)가 오프 상태가 되고, 트랜지스터(M18) 및 트랜지스터(M19)가 일단 온 상태가 된 후에 오프 상태가 된다. 그리고 신호(OUT)는 로우 레벨이 된다. 한편, 신호(IN)가 로우 레벨인 경우

에는 트랜지스터(M12), 트랜지스터(M14), 트랜지스터(M16), 트랜지스터(M17), 및 트랜지스터(M18)가 오프 상태가 되고, 트랜지스터(M11) 및 트랜지스터(M15), 및 트랜지스터(M19)가 온 상태가 되고, 트랜지스터(M13)가 일단 온 상태가 된 후에 오프 상태가 된다. 그리고 신호(OUT)는 하이 레벨이 된다.

### 선행기술문헌

[0005] (특허문헌 1)

[0006] 일본국 특개2002-328643호 공보

[0007] (비)특허문헌 1)

[0008] Eri Fukumoto, Toshiaki Arai, Narihiro Morosawa, Kazuhiko Tokunaga, Yasuhiro Terai, Takashige Fujimori and Tatsuya Sasaoka, "High Mobility Oxide Semiconductor TFT for Circuit Integration of AM-OLED" IDW'10, pp.631-634

### 발명의 내용

#### 해결하려는 과제

[0009] 특허문헌 1에 기재된 구동 회로에서는 신호(IN)가 하이 레벨이 되면, 트랜지스터(M3) 및 트랜지스터(M4) 양쪽 모두가 온 상태가 되었다. 따라서, 신호(IN)가 하이 레벨인 기간에서는 전위(VDD)가 공급되는 배선으로부터 트랜지스터(M3) 및 트랜지스터(M4)를 차례로 통하여 전위(VSS)가 공급되는 배선에 전류가 계속 흐르기 때문에 소비 전력이 커졌다.

[0010] 또한 특허문헌 1에 기재된 구동 회로에서는 신호(IN)가 하이 레벨인 기간에서, 트랜지스터(M1)의 게이트의 전위를 트랜지스터(M1)가 오프 상태가 되는 정도까지 낮출 필요가 있었다. 그러므로, 트랜지스터(M4)의 W(W: 채널 폭)/L(L: 채널 길이)를 트랜지스터(M3)의 W/L보다 충분히 크게 할 필요가 있었지만, 이것은 반드시 용이한 일이 아니다. 왜냐하면, 트랜지스터(M3)의 W/L를 크게 하면, 트랜지스터(M4)의 W/L도 크게 할 필요가 있기 때문에, 레이아웃 면적이 증대되기 때문이다. 따라서, 신호(IN)가 하이 레벨인 기간에서, 트랜지스터(M3)가 온 상태가 되고, 전위(VDD)를 트랜지스터(M1)의 게이트에 공급하는 경우, 트랜지스터(M1)의 게이트의 전위가 소정의 전위에 도달하는 데 걸릴 시간이 길어졌다. 이로써, 트랜지스터(M1)가 온 상태가 되는 타이밍이 늦어지고, 또 트랜지스터(M1)의 V<sub>gs</sub>가 작아지기 때문에, 신호(OUT)의 상승 시간이 더 길어졌다. 따라서, 신호(OUT)가 지연되거나 또는 과형이 왜곡된다(wave distortion).

[0011] 또한 비특허문헌 1에 기재된 구동 회로는 특허문헌 1에 기재된 구동 회로와 비교하면 명확하지만, 다수의 트랜지스터 및 용량 소자 등의 소자가 필요하다.

[0012] 그래서, 본 발명의 일 형태에서는 회로의 배선간에서 트랜지스터를 통하여 흐르는 전류를 억제하여, 회로의 소비 전력을 저감하는 것을 과제 중 하나로 한다. 또한 회로로부터의 출력 신호의 상승 시간을 짧게 하며, 출력 신호의 지연 또는 과형의 왜곡을 억제하는 것을 과제 중 하나로 한다. 또한 회로의 트랜지스터 및 용량 소자 등의 소자 수를 감소하는 것을 과제 중 하나로 한다. 또한 신규 회로 구성을 제공하는 것을 과제 중 하나로 한다. 또한 과제는 효과와 표리일체의 관계이고, 본 명세서 등에서 효과를 기재하는 경우에는 그 효과에 대응하는 과제가 존재하는 것은 자명한 것이다. 마찬가지로, 본 명세서 등에서 과제를 기재하는 경우에는 그 과제에 대한 효과를 본 발명이 나타내는 것은 자명한 것이다.

#### 과제의 해결 수단

[0013] 본 발명의 일 형태는 소스 및 드레인 중 하나가 제 1 배선에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나가 제 2 배선에 전기적으로 접속된 제 1 트랜지스터와, 소스 및 드레인 중 하나가 제 1 배선에 전기적으로 접속되고, 게이트가 제 1 트랜지스터의 게이트에 전기적으로 접속된 제 2 트랜지스터와, 한쪽 전극이 제 3 배선에 전기적으로 접속되고, 다른 쪽 전극이 제 2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 용량 소자를 갖는 것을 특징으로 하는 반도체 장치이다.

[0014] 또한 상기 본 발명의 일 형태에 있어서, 제 1 트랜지스터의 W/L(W는 채널 폭, L는 채널 길이)는 제 2 트랜지스터의 W/L보다 커도 좋다.

[0015] 또한 상기 본 발명의 일 형태에 있어서, 제 1 트랜지스터와 제 2 트랜지스터는 같은 도전형을 가져도 좋다.

## 발명의 효과

[0016]

본 발명의 일 형태는 회로의 배선간에서 트랜지스터를 통하여 흐르는 전류를 억제하여, 회로의 소비 전력을 저감할 수 있다. 또한 회로로부터의 출력 신호의 상승 시간을 짧게 하여, 출력 신호의 지연 또는 파형의 왜곡을 억제할 수 있다. 또한 회로의 트랜지스터 및 용량 소자 등의 소자 수를 감소할 수 있다.

## 도면의 간단한 설명

[0017]

도 1a 및 도 1b는 본 발명의 일 형태에 따른 인버터 회로를 설명하기 위한 도면.

도 2a 및 도 2b는 본 발명의 일 형태에 따른 인버터 회로를 설명하기 위한 도면.

도 3a 및 도 3b는 본 발명의 일 형태에 따른 인버터 회로를 설명하기 위한 도면.

도 4a 내지 도 4f는 본 발명의 일 형태에 따른 인버터 회로에서 사용되는 회로를 설명하기 위한 도면.

도 5a 및 도 5b는 본 발명의 일 형태에 따른 인버터 회로를 설명하기 위한 도면.

도 6a 및 도 6b는 본 발명의 일 형태에 따른 인버터 회로를 설명하기 위한 도면.

도 7a 및 도 7b는 본 발명의 일 형태에 따른 시프트 레지스터 회로를 설명하기 위한 도면.

도 8a 및 도 8b는 본 발명의 일 형태에 따른 시프트 레지스터 회로를 설명하기 위한 도면.

도 9a 및 도 9b는 본 발명의 일 형태에 따른 시프트 레지스터 회로를 설명하기 위한 도면.

도 10a 및 도 10b는 본 발명의 일 형태에 따른 시프트 레지스터 회로를 설명하기 위한 도면.

도 11은 본 발명의 일 형태에 따른 시프트 레지스터 회로를 설명하기 위한 도면.

도 12는 본 발명의 일 형태에 따른 표시 장치를 설명하기 위한 도면.

도 13a 내지 도 13d는 본 발명의 일 형태에 따른 트랜지스터를 설명하기 위한 도면.

도 14는 본 발명의 일 형태에 따른 표시 장치를 설명하기 위한 도면.

도 15a 내지 도 15e는 본 발명의 일 형태에 따른 전자 기기를 설명하기 위한 도면.

도 16a 내지 도 16c는 본 발명의 일 형태에 따른 반도체 장치를 설명하기 위한 도면.

도 17a 및 도 17b는 종래의 구동 회로를 설명하기 위한 도면.

## 발명을 실시하기 위한 구체적인 내용

[0018]

본 발명을 설명하기 위한 실시형태의 일례에 대해서, 도면을 사용하여 이하에서 설명한다. 또한, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 실시형태의 내용을 변경하는 것은 당업자라면 용이하다. 따라서, 본 발명은 이하에 제시하는 실시형태의 기재 내용에 한정되지 않는다.

[0019]

(실시형태 1)

[0020]

본 실시형태에서는 본 발명의 일 형태에 따른 인버터 회로(반도체 장치 또는 구동 회로라고도 함)에 대해서 설명한다.

[0021]

본 실시형태의 인버터 회로의 구성에 대해서 도 1a를 참조하여 설명한다.

[0022]

도 1a의 인버터 회로는 회로(100) 및 회로(200)를 갖는다. 회로(100)는 배선(11), 배선(12), 배선(13), 배선(14), 및 회로(200)에 접속된다. 또한 회로(200)는 배선(11), 배선(13), 배선(14), 및 회로(100)에 접속된다.

[0023]

회로(100)는 트랜지스터(101) 및 트랜지스터(102)를 갖는다. 트랜지스터(101)의 제 1 단자(소스 및 드레인 중 하나라고도 함)는 배선(11)에 접속되고, 트랜지스터(101)의 제 2 단자(소스 및 드레인 중 다른 하나라고도 함)는 배선(12)에 접속된다. 트랜지스터(102)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(102)의 제 2 단자는 배선(12)에 접속되고, 트랜지스터(102)의 게이트는 배선(14)에 접속된다.

[0024]

회로(200)는 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 용량 소자(204)를 갖는다. 트랜지스터(201)의 제 1 단자는 배선(11)에 접속되고, 트랜지스터(201)의 게이트는 트랜지스터(101)의 게이트에 접속된다.

트랜지스터(202)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(202)의 제 2 단자는 트랜지스터(201)의 제 2 단자에 접속되고, 트랜지스터(202)의 게이트는 배선(14)에 접속된다. 트랜지스터(203)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(203)의 제 2 단자는 트랜지스터(201)의 게이트에 접속되고, 트랜지스터(203)의 게이트는 배선(14)에 접속된다. 용량 소자(204)의 제 1 전극(한쪽 전극이라고도 함)은 배선(14)에 접속되고, 용량 소자(204)의 제 2 전극(다른 쪽 전극이라고도 함)은 트랜지스터(201)의 제 2 단자에 접속된다.

[0025] 또한 트랜지스터(101)의 게이트와 트랜지스터(201)의 게이트와 트랜지스터(203)의 제 2 단자가 접속되는 개소를 노드(N1)라고 기재한다. 또한 트랜지스터(201)의 제 2 단자와 트랜지스터(202)의 제 2 단자와 용량 소자(204)의 제 2 전극이 접속되는 개소를 노드(N2)라고 기재한다.

[0026] 또한 본 실시형태의 인버터 회로가 갖는 트랜지스터는 같은 도전형을 갖는 것이 바람직하다. 예를 들어, 도 1a의 인버터 회로에서는 트랜지스터(101), 트랜지스터(102), 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)는 같은 도전형을 갖는 것이 바람직하다. 본 실시형태에서는 트랜지스터(101), 트랜지스터(102), 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)가 N채널형인 경우에 대해서 설명한다.

[0027] 또한, 본 명세서 등에서 ‘접속’ 이란 전기적인 접속을 의미하고, 전류, 전압, 전위, 신호, 또는 전하 등을 공급할 수 있는 상태, 또는 전송할 수 있는 상태에 상당한다. 따라서, ‘접속되어 있다’란 직접 접속되어 있는 상태뿐만 아니라, 예를 들어 배선, 도전막, 저항, 다이오드, 트랜지스터, 스위칭 소자 등의 소자를 통하여 간접적으로 접속되어 있는 상태도 그 범주에 포함한다.

[0028] 배선(11)(전원선이라고 함)에는 전위(VDD)가 공급되고, 배선(11)은 전위(VDD)를 전달하는 기능을 갖는다. 전위(VDD)는 일정한 전위이다.

[0029] 배선(13)(전원선이라고 함)에는 전위(VSS)가 공급되고, 배선(13)은 전위(VSS)를 전달하는 기능을 갖는다. 전위(VSS)는 일정한 전위이며, 전위(VDD)보다 낮은 전위이다.

[0030] 배선(14)(신호선이라고도 함)에는 신호(IN)가 입력되고, 배선(14)은 신호(IN)를 전달하는 기능을 갖는다. 신호(IN)는 도 1a의 인버터 회로의 입력 신호이다. 또한 신호(IN)는 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)의 도통 또는 비도통을 제어하기 위한 신호이다.

[0031] 배선(12)(신호선이라고도 함)으로부터는 신호(OUT)가 출력되고, 배선(12)은 신호(OUT)를 전달하는 기능을 갖는다. 신호(OUT)는 도 1a의 인버터 회로의 출력 신호이다.

[0032] 또한 배선(11), 배선(13), 및 배선(14)에는 상술한 신호 또는 전위에 한정되지 않고, 이 이외에도 다양한 신호 또는 전위 등을 입력할 수 있다.

[0033] 회로(100)(버퍼 회로라고도 함)는 회로(200)의 출력 신호에 따라, 배선(11)의 전위(VDD)를 배선(12)에 공급하는 기능을 갖는다. 또한 회로(100)는 신호(IN)에 따라 배선(13)의 전위(VSS)를 배선(12)에 공급하는 기능을 갖는다. 또한 회로(100)는 회로(200)의 출력 신호 및 신호(IN)에 따라, 배선(11)의 전위(VDD) 및 배선(13)의 전위(VSS) 중 하나를 배선(12)에 공급하는 기능을 갖는다.

[0034] 회로(200)(제어 회로라고도 함)는 신호(IN)에 따라, 회로(100)가 배선(11)의 전위(VDD)를 배선(12)에 공급하는 타이밍을 제어하는 신호(노드(N1)의 전위)를 생성하는 기능을 갖는다.

[0035] 트랜지스터(101)는 배선(11)과 배선(12) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(101)는 배선(11)의 전위(VDD)를 배선(12)에 공급하는 기능을 갖는다. 또한 트랜지스터(101)는 배선(12)과 노드(N1) 사이의 전위차를 유지하는 기능을 갖는다.

[0036] 트랜지스터(102)는 배선(13)과 배선(12) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(102)는 배선(13)의 전위(VSS)를 배선(12)에 공급하는 기능을 갖는다.

[0037] 트랜지스터(201)는 배선(11)과 노드(N2) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(201)는 배선(11)의 전위(VDD)를 노드(N2)에 공급하는 기능을 갖는다. 또한 트랜지스터(201)는 노드(N1)와 노드(N2) 사이의 전위차를 유지하는 기능을 갖는다.

[0038] 트랜지스터(202)는 배선(13)과 노드(N2) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(202)는 배선(13)의 전위(VSS)를 노드(N2)에 공급하는 기능을 갖는다.

[0039] 트랜지스터(203)는 배선(13)과 노드(N1) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터

(203)는 배선(13)의 전위(VSS)를 노드(N1)에 공급하는 기능을 갖는다.

[0040] 용량 소자(204)는 배선(14)과 노드(N2) 사이의 전위차를 유지하는 기능을 갖는다.

[0041] 다음에, 도 1a의 인버터 회로의 구동 방법의 일례에 대해서 도 1b를 참조하여 설명한다. 도 1b는 도 1a의 인버터 회로의 구동 방법을 설명하기 위한 타이밍 차트의 일례를 도시한 것이다.

[0042] 또한 신호(IN)가 하이 레벨인 전위가 전위(VDD)와 같고, 로우 레벨의 전위가 전위(VSS)와 같은 디지털 신호인 것으로서 설명한다. 또한 신호(IN)가 하이 레벨인 경우와 신호(IN)가 로우 레벨인 경우로 나누어 설명한다.

[0043] 우선, 신호(IN)가 하이 레벨이 되는 경우에는 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 온 상태가 된다.

[0044] 트랜지스터(203)가 온 상태가 되면, 배선(13)의 전위(VSS)가 노드(N1)에 공급된다. 따라서, 노드(N1)의 전위가 전위(VSS)까지 하강한다. 노드(N1)의 전위가 전위(VSS)까지 하강하면, 트랜지스터(101) 및 트랜지스터(201)가 오프 상태가 된다.

[0045] 또한 트랜지스터(202)가 온 상태가 되면, 배선(13)의 전위(VSS)가 노드(N2)에 공급된다. 따라서, 노드(N2)의 전위가 전위(VSS)까지 하강한다.

[0046] 또한 트랜지스터(102)가 온 상태가 되면, 배선(13)의 전위(VSS)가 배선(12)에 공급된다. 따라서, 배선(12)의 전위가 전위(VSS)까지 하강한다. 즉 신호(OUT)가 로우 레벨이 된다.

[0047] 다음에, 신호(IN)가 로우 레벨이 되는 경우에는 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 오프 상태가 된다.

[0048] 트랜지스터(203)가 오프 상태가 되면 노드(N1)가 부유 상태가 된다. 따라서, 노드(N1)의 전위가 전위(VSS)를 유지하기 때문에, 트랜지스터(101) 및 트랜지스터(201)가 오프 상태를 유지한다.

[0049] 또한 트랜지스터(202)가 오프 상태가 되면, 노드(N2)가 부유 상태가 된다. 이 때, 용량 소자(204)에는 신호(IN)가 하이 레벨인 기간에서의 배선(14)과 노드(N2) 사이의 전위차가 유지되어 있다. 그러므로, 신호(IN)가 로우 레벨이 됨에 따라, 노드(N2)의 전위도 하강한다. 노드(N1)의 전위(예를 들어 전위(VSS))로부터 트랜지스터(201)의 임계값 전압을 뺀 전위 미만까지 노드(N2)의 전위가 하강하면, 트랜지스터(201)가 온 상태가 된다.

[0050] 트랜지스터(201)가 온 상태가 되면, 배선(11)의 전위(VDD)가 노드(N2)에 공급된다. 따라서, 노드(N2)의 전위가 상승한다. 이 때, 트랜지스터(201)의 게이트와 제 2 단자 사이에는 트랜지스터(202)가 오프 상태가 되었을 때의 노드(N1)와 노드(N2) 사이의 전위차가 유지되어 있다. 그러므로, 노드(N2)의 전위가 상승함에 따라 노드(N1)의 전위도 상승한다. 노드(N2)의 전위는 전위(VDD)까지 상승하고, 노드(N1)의 전위는 전위(VDD)보다 높은 전위가 된다. 소위 부트스트랩 동작이다. 그리고 노드(N1)의 전위가 상승함으로써, 트랜지스터(101)가 온 상태가 된다.

[0051] 트랜지스터(101)가 온 상태가 되면, 배선(11)의 전위(VDD)가 배선(12)에 공급된다. 또한 상술한 바와 같이 노드(N1)의 전위는 전위(VDD)보다 높아진다. 따라서, 배선(12)의 전위는 전위(VDD)까지 상승한다. 즉 신호(OUT)가 하이 레벨이 된다.

[0052] 상술한 바와 같이 도 1a의 인버터 회로는 트랜지스터(101) 및 트랜지스터(102)의 양쪽 모두가 동시에 온 상태가 되는 기간이 없다. 또한 트랜지스터(201) 및 트랜지스터(202)의 양쪽 모두가 동시에 온 상태가 되는 기간이 없다. 따라서, 배선(11)과 배선(13) 사이에 전류가 계속 흐르는 경로를 없앨 수 있다. 또한 종래의 구동 회로보다 적은 수의 트랜지스터에 의해, 신호(OUT)의 하이 레벨의 전위를 배선(11)의 전위(VDD)까지 상승시킬 수 있다.

[0053] 또한 신호(IN)가 로우 레벨이 되는 경우에, 트랜지스터(201)의 제 2 단자의 전위가 상승함에 따라 노드(N1)의 전위가 상승할 뿐만 아니라, 트랜지스터(101)의 제 2 단자의 전위가 상승함에 따라서도 노드(N1)의 전위가 상승한다. 그러므로, 노드(N1)의 전위가 소정의 전위에 도달하는 데 걸릴 시간을 짧게 할 수 있기 때문에, 트랜지스터(101)가 온 상태가 되는 타이밍을 빠르게 할 수 있다. 또한 노드(N1)의 전위를 더 높게 할 수 있기 때문에, 트랜지스터(101)의  $V_{GS}$ 를 더 크게 할 수 있다. 도 1a의 인버터 회로는 트랜지스터(101)가 온 상태가 되는 타이밍을 빠르게 할 수 있는 것과, 트랜지스터(101)의  $V_{GS}$ 를 크게 할 수 있는 것이 상승적(相乘的)으로 작용하여, 신호(OUT)의 상승 시간을 대폭으로 짧게 할 수 있다.

- [0054] 다음에, 도 1a와 상이한 인버터 회로에 대해서 도 2a 내지 도 6b를 참조하여 설명한다.
- [0055] 우선 도 2a의 인버터 회로는 도 1a의 인버터 회로에 회로(300A)를 제공한 구성이다.
- [0056] 회로(300A)의 제 1 단자(입력 단자라고도 함)는 배선(14)에 접속되고, 회로(300A)의 제 2 단자(출력 단자라고도 함)는 트랜지스터(203)의 게이트에 접속된다.
- [0057] 회로(300A)는 제 1 단자에 입력된 신호(예를 들어 신호(IN))에 대응한 신호를 제 2 단자로부터 출력하는 기능을 갖는다. 또한 회로(300A)는 제 1 단자에 입력된 신호보다 지연되거나 파형이 왜곡된 신호를 제 2 단자로부터 출력하는 기능을 갖는다.
- [0058] 또한, 예를 들어 ‘제 1 신호보다 제 2 신호가 지연되어 있다’란 제 1 신호가 상승하는 타이밍 또는 하강하는 타이밍보다 제 2 신호가 상승하는 타이밍 또는 하강하는 타이밍이 늦은 것을 가리킨다. 또한, 예를 들어 ‘제 1 신호보다 제 2 신호의 파형이 더 왜곡되어 있다’란 제 1 신호의 상승 시간 또는 하강 시간보다 제 2 신호의 상승 시간 또는 하강 시간이 더 긴 것을 가리킨다.
- [0059] 도 2a의 인버터 회로에서는 신호(IN)가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 회로(300A)의 제 2 단자로부터 출력되는 신호는 하이 레벨로 유지된다. 바꿔 말하면, 신호(IN)가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 트랜지스터(203)는 온 상태로 유지되어, 노드(N1)에 전위(VSS)가 계속 공급된다.
- [0060] 따라서, 도 2a의 인버터 회로에서는 용량 소자(204)의 용량 결합에 의해 노드(N2)의 전위가 하강할 때, 노드(N1)에 배선(13)의 전위(VSS)를 공급할 수 있다. 그러므로, 노드(N2)의 전위가 하강함에 따른 노드(N1)의 전위의 하강을 억제할 수 있다. 즉 노드(N1)와 노드(N2) 사이의 전위차를 크게 할 수 있다. 노드(N1)와 노드(N2) 사이의 전위차를 크게 할 수 있으면, 노드(N2)의 전위가 전위(VDD)로 되었을 때의 노드(N1)의 전위를 더 높게 할 수 있어, 트랜지스터(101)의 V<sub>gs</sub>를 더 크게 할 수 있다. 그러므로, 신호(OUT)의 상승 시간을 짧게 할 수 있다.
- [0061] 또한 도 2a의 인버터 회로에 있어서, 용량 소자(204)의 제 1 전극이 회로(300A)의 제 2 단자에 접속되어도 좋다.
- [0062] 다음에 도 2b의 인버터 회로는 도 2a의 인버터 회로에 회로(300B)를 제공한 구성이다.
- [0063] 회로(300B)의 제 1 단자는 배선(14)에 접속되고, 회로(300B)의 제 2 단자는 용량 소자(204)의 제 1 전극에 접속된다.
- [0064] 회로(300B)는 회로(300A)와 같은 기능을 갖는다. 다만 회로(300B)의 제 2 단자로부터 출력되는 신호는 회로(300A)의 제 2 단자로부터 출력되는 신호보다 지연되지 않거나 파형이 왜곡되지 않은 것이 바람직하다.
- [0065] 도 2b의 인버터 회로에서는 신호(IN)가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 회로(300A)의 제 2 단자 및 회로(300B)의 제 2 단자로부터 출력되는 신호는 하이 레벨로 유지된다. 바꿔 말하면, 신호(IN)가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 트랜지스터(203)는 온 상태로 유지되어, 노드(N1)에 전위(VSS)가 계속 공급된다. 또한 소정 기간 동안 용량 소자(204)의 제 1 전극에 입력되는 신호는 하이 레벨로 유지된다.
- [0066] 이 후 회로(300B)의 제 2 단자로부터 출력되는 신호가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 회로(300A)로부터 출력되는 신호는 하이 레벨로 유지된다. 바꿔 말하면, 회로(300B)의 제 2 단자로부터 출력되는 신호가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 트랜지스터(203)는 온 상태로 유지되어, 노드(N1)에 전위(VSS)가 계속 공급된다.
- [0067] 그러므로, 도 2b의 인버터 회로에서는 트랜지스터(202)가 오프 상태가 된 후에 용량 소자(204)의 제 1 전극의 전위를 하강시킬 수 있다. 즉 노드(N2)를 확실하게 부유 상태로 한 후에, 용량 소자(204)의 용량 결합에 의해 노드(N2)의 전위를 하강시킬 수 있다. 그러므로, 노드(N2)의 전위를 더 낮게 할 수 있다. 또한 도 2a의 인버터 회로와 같이, 용량 소자(204)의 용량 결합에 의해 노드(N2)의 전위가 하강할 때, 노드(N1)에 배선(13)의 전위(VSS)를 공급할 수 있다. 그러므로, 노드(N2)의 전위가 하강함에 따른 노드(N1)의 전위의 하강을 억제할 수 있다.
- [0068] 또한 도 2b의 인버터 회로에서는 노드(N2)의 전위를 더 낮게 할 수 있는 것과, 노드(N1)의 전위의 저하를 억제할 수 있는 것이 상승적으로 작용되어, 노드(N1)와 노드(N2)의 전위차를 더 크게 할 수 있다. 노드(N1)와 노드(N2) 사이의 전위차를 더 크게 할 수 있으면, 노드(N2)의 전위가 전위(VDD)로 되었을 때의 노드(N1)의 전위를

더 높게 할 수 있어, 트랜지스터(101)의  $V_{GS}$ 를 더 크게 할 수 있다. 그러므로, 신호(OUT)의 상승 시간을 더 짧게 할 수 있다.

[0069] 다음에, 도 3a의 인버터 회로는 도 2a의 인버터 회로에 회로(300C)를 제공한 구성이다.

[0070] 회로(300C)의 제 1 단자는 배선(14)에 접속되고, 회로(300C)의 제 2 단자는 회로(300A)의 제 1 단자 및 용량 소자(204)의 제 1 전극에 접속된다.

[0071] 회로(300C)는 회로(300A)와 같은 기능을 갖는다.

[0072] 도 3a의 인버터 회로에서는 신호(IN)가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 회로(300A)의 제 2 단자 및 회로(300C)의 제 2 단자로부터 출력되는 신호는 하이 레벨로 유지된다. 바꿔 말하면, 신호(IN)가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 트랜지스터(203)는 온 상태로 유지되어, 노드(N1)에 전위(VSS)가 계속 공급된다. 또한 소정 기간 동안 용량 소자(204)의 제 1 전극에 입력되는 신호는 하이 레벨로 유지된다.

[0073] 이 후 회로(300C)의 제 2 단자로부터 출력되는 신호가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 회로(300A)로부터 출력되는 신호는 하이 레벨로 유지된다. 바꿔 말하면, 회로(300C)의 제 2 단자로부터 출력되는 신호가 하이 레벨로부터 로우 레벨이 되어도 소정 기간 동안 트랜지스터(203)는 온 상태로 유지되어, 노드(N1)에 전위(VSS)가 계속 공급된다.

[0074] 그러므로, 도 3a의 인버터 회로에서는 도 2b의 인버터 회로와 같은 동작을 수행할 수 있다. 따라서, 도 2b의 인버터 회로가 나타내는 효과와 같은 효과를 나타낼 수 있다.

[0075] 또한 도 3a의 인버터 회로에서는 회로(300A) 및 회로(300C)가 직렬로 접속되어 있음으로써, 회로(300A)의 제 2 단자로부터 출력되는 신호는 회로(300C)의 제 2 단자로부터 출력되는 신호보다 지연되거나 파형이 더 왜곡된 신호가 된다. 그러므로, 회로(300A)의 회로 규모의 저감 또는 소자의 크기의 저감을 도모할 수 있다.

[0076] 다음에, 도 3b의 인버터 회로는 도 2a에 도시된 인버터 회로의 트랜지스터(102)의 게이트가 트랜지스터(203)의 게이트에 접속된 구성이다.

[0077] 트랜지스터(102)의 게이트가 회로(300A)를 통하지 않고 배선(14)에 접속되는 경우와 비교하여, 도 3b의 인버터 회로에서는 트랜지스터(102)가 온 상태가 되는 타이밍을 늦게 할 수 있다. 따라서, 트랜지스터(101)와 트랜지스터(102)의 양쪽 모두가 동시에 온 상태가 되는 시간을 짧게 할 수 있다. 즉 배선(11)과 배선(13) 사이에 흐르는 관통 전류를 억제할 수 있다. 그러므로, 소비 전력을 삭감할 수 있다.

[0078] 또한 도 3b의 인버터 회로와 같이 도 2b 또는 도 3a 등에 도시된 인버터 회로에서도 트랜지스터(102)의 게이트가 트랜지스터(203)의 게이트에 접속되어도 좋다.

[0079] 여기서, 회로(300A), 회로(300B), 및 회로(300C)의 구체적인 구성예에 대해서 도 4a 내지 도 4f를 참조하여 설명한다. 도 4a 내지 도 4f는 회로(300A), 회로(300B), 및 회로(300C)에 사용할 수 있는 회로(300)를 도시한 것이다.

[0080] 도 4a의 회로(300)는 저항 소자(301)를 갖는다.

[0081] 저항 소자(301)의 한쪽 단자는 회로(300)의 제 1 단자에 접속되고, 저항 소자(301)의 다른 쪽 단자는 회로(300)의 제 2 단자에 접속된다.

[0082] 도 4b의 회로(300)는 도 4a의 회로(300)에 용량 소자(302)를 제공한 구성이다.

[0083] 용량 소자(302)의 제 1 전극은 배선(13)에 접속되고, 용량 소자(302)의 제 2 전극은 회로(300)의 제 2 단자에 접속된다.

[0084] 또한 용량 소자(302)의 제 1 전극이 배선(11) 또는 배선(14) 등에 접속되어도 좋다.

[0085] 또한 용량 소자(302)의 제 2 전극이 회로(300)의 제 1 단자에 접속되어도 좋다.

[0086] 도 4c의 회로(300)는 트랜지스터(303)를 갖는다.

[0087] 트랜지스터(303)의 제 1 단자는 회로(300)의 제 1 단자에 접속되고, 트랜지스터(303)의 제 2 단자는 회로(300)의 제 2 단자에 접속되고, 트랜지스터(303)의 게이트는 배선(11)에 접속된다.

- [0088] 도 4d의 회로(300)는 도 4c의 회로(300)에 트랜지스터(304)를 제공한 구성이다.
- [0089] 트랜지스터(304)의 제 1 단자는 회로(300)의 제 1 단자에 접속되고, 트랜지스터(304)의 제 2 단자는 회로(300)의 제 2 단자에 접속되고, 트랜지스터(304)의 게이트는 회로(300)의 제 1 단자에 접속된다.
- [0090] 도 4d의 회로(300)에서는 제 1 단자에 입력되는 신호가 로우 레벨인 경우에는 트랜지스터(303)가 온 상태가 되고 트랜지스터(304)가 오프 상태가 된다. 한편, 제 1 단자에 입력되는 신호가 하이 레벨인 경우에는 트랜지스터(303) 및 트랜지스터(304) 양쪽 모두가 온 상태가 된다.
- [0091] 그러므로, 도 4d의 회로(300)에서는 제 1 단자에 입력되는 신호가 로우 레벨인 경우에는 신호를 지연시켜 제 2 단자로부터 출력할 수 있다. 한편, 제 1 단자에 입력되는 신호가 하이 레벨인 경우에는 신호를 가능한 한 지연시키지 않고 제 2 단자로부터 출력할 수 있다.
- [0092] 또한 도 4a 및 도 4b 등에 도시된 회로(300)에도 트랜지스터(304)를 제공하여도 좋다.
- [0093] 도 4e의 회로(300)는 도 4c의 회로(300)에 트랜지스터(305)를 제공한 구성이다.
- [0094] 트랜지스터(305)의 제 1 단자는 배선(11)에 접속되고, 트랜지스터(305)의 제 2 단자는 회로(300)의 제 2 단자에 접속되고, 트랜지스터(305)의 게이트는 회로(300)의 제 1 단자에 접속된다.
- [0095] 도 4e의 회로(300)에서는 제 1 단자에 입력되는 신호가 로우 레벨인 경우에는 트랜지스터(303)가 온 상태가 되고 트랜지스터(305)가 오프 상태가 된다. 한편, 제 1 단자에 입력되는 신호가 하이 레벨인 경우에는 트랜지스터(303) 및 트랜지스터(305) 양쪽 모두가 온 상태가 된다.
- [0096] 그러므로, 도 4d의 회로(300)와 같은 효과를 나타낼 수 있다.
- [0097] 또한 도 4a 및 도 4b 등에 도시된 회로(300)에도 트랜지스터(305)를 제공하여도 좋다.
- [0098] 도 4f의 회로(300)는 도 4c의 회로(300)에 트랜지스터(306) 및 트랜지스터(307)를 제공한 구성이다.
- [0099] 트랜지스터(306)의 제 1 단자는 배선(11)에 접속되고, 트랜지스터(306)의 제 2 단자는 회로(300)의 제 2 단자에 접속된다. 트랜지스터(307)의 제 1 단자는 회로(300)의 제 1 단자에 접속되고, 트랜지스터(307)의 제 2 단자는 트랜지스터(306)의 게이트에 접속되고, 트랜지스터(307)의 게이트는 배선(11)에 접속된다.
- [0100] 도 4f의 회로(300)에서는 제 1 단자에 입력되는 신호가 로우 레벨인 경우에는 트랜지스터(303)가 온 상태가 되고 트랜지스터(306)가 오프 상태가 된다. 한편, 제 1 단자에 입력되는 신호가 하이 레벨인 경우에는 트랜지스터(303) 및 트랜지스터(306) 양쪽 모두가 온 상태가 된다. 특히 제 1 단자에 입력되는 신호가 하이 레벨인 경우에는 부트스트랩 동작에 의해, 트랜지스터(306)의 게이트의 전위가 전위(VDD)보다 높은 전위가 된다.
- [0101] 그러므로, 도 4d의 회로(300)와 같은 효과에 더하여, 제 2 단자로부터 출력되는 신호의 하이 레벨의 전위를 전위(VDD)로 할 수 있다. 또한 도 4d의 회로(300)보다 제 1 단자에 입력되는 신호가 하이 레벨인 경우의 신호의 지연을 짧게 할 수 있다.
- [0102] 또한 도 4f의 회로(300)를 도 2a의 인버터 회로에 사용하는 경우, 용량 소자(204)의 제 1 전극이 트랜지스터(306)의 게이트에 접속되어도 좋다. 트랜지스터(306)의 게이트의 전위의 최소값과 최대값 사이의 차이는 신호(IN)의 진폭 전압보다 크기 때문에, 노드(N2)의 전위를 더 낮출 수 있다.
- [0103] 또한 도 4a 및 도 4b 등에 도시된 회로(300)에도 트랜지스터(306) 및 트랜지스터(307)를 제공하여도 좋다.
- [0104] 또한 회로(300)가 갖는 트랜지스터(예를 들어 트랜지스터(304), 트랜지스터(305), 트랜지스터(306), 및 트랜지스터(307))는 트랜지스터(101)와 같은 도전형을 갖는 것이 바람직하다.
- [0105] 또한 회로(300A), 회로(300B), 및 회로(300C)는 같은 구성인 필요는 없고, 도 4a 내지 도 4f에 도시된 회로 중 어느 것을 적절히 적용하면 좋다.
- [0106] 또한 도 5a의 인버터 회로는 도 2a의 인버터 회로에 있어서, 회로(300A)에 도 4d의 회로(300)를 적용한 경우의 구성예이다.
- [0107] 또한 도 5b의 인버터 회로는 도 2a의 인버터 회로에 있어서, 회로(300A)에 도 4f의 회로(300)를 적용한 경우의 구성예이다.
- [0108] 다음에, 도 6a의 인버터 회로는 도 1a의 인버터 회로에 트랜지스터(205)를 제공한 구성이다.

- [0109] 트랜지스터(205)의 제 1 단자는 트랜지스터(203)의 제 2 단자에 접속되고, 트랜지스터(205)의 제 2 단자는 트랜지스터(101)의 게이트 및 트랜지스터(201)의 게이트에 접속되고, 트랜지스터(205)의 게이트는 배선(11)에 접속된다.
- [0110] 트랜지스터(205)는 트랜지스터(101)의 게이트 및 트랜지스터(201)의 게이트와 트랜지스터(203)의 제 2 단자 사이의 도통 또는 비도통을 제어하는 기능을 갖는다.
- [0111] 도 6a의 인버터 회로에서는 신호(IN)가 로우 레벨이 되는 기간에서, 트랜지스터(203)의 제 2 단자의 전위가 트랜지스터(205)의 게이트의 전위(전위(VDD))로부터 트랜지스터(205)의 임계값 전압을 뺀 전위까지 상승하였을 때 트랜지스터(205)가 오프 상태가 된다. 따라서, 트랜지스터(203)의 제 2 단자의 전위를 낮게 할 수 있기 때문에, 트랜지스터(203)의 열화나 파괴를 억제할 수 있다.
- [0112] 또한 도 6a의 인버터 회로와 마찬가지로, 도 2a, 도 2b, 도 3a, 도 3b, 도 5a, 및 도 5b 등에 도시된 인버터 회로에도 트랜지스터(205)를 제공하여도 좋다.
- [0113] 다음에, 도 6b의 인버터 회로는 도 1a의 인버터 회로에서의 배선(11) 및 배선(13)을 복수의 배선으로 분할한 구성이다.
- [0114] 배선(11)은 배선(11A) 및 배선(11B)으로 분할되고, 트랜지스터(101)의 제 1 단자가 배선(11A)에 접속되고, 트랜지스터(201)의 제 1 단자가 배선(11B)에 접속된다. 또한 배선(13)이 배선(13A), 배선(13B), 및 배선(13C)으로 분할되며, 트랜지스터(102)의 제 1 단자가 배선(13A)에 접속되고, 트랜지스터(202)의 제 1 단자가 배선(13B)에 접속되고, 트랜지스터(203)의 제 1 단자가 배선(13C)에 접속된다.
- [0115] 도 6b의 인버터 회로에 있어서, 배선(11A) 및 배선(11B)에 전위(VDD)를 공급하고, 배선(13A), 배선(13B), 및 배선(13C)에 전위(VSS)를 공급하면 도 1a와 같은 동작을 수행할 수 있다. 다만, 배선(11A) 및 배선(11B)에 상이한 전위를 공급하여도 좋다. 또한 배선(13A), 배선(13B), 및 배선(13C)에 상이한 전위를 공급하여도 좋다.
- [0116] 또한 배선(11) 및 배선(13) 중 하나만을 복수의 배선으로 분할하여도 좋다.
- [0117] 또한 배선(13)을 복수의 배선으로 분할하는 경우에, 배선(13C)을 생략하고 트랜지스터(203)의 제 1 단자가 배선(13A) 또는 배선(13B)에 접속되어도 좋다. 또는, 배선(13A)을 생략하고 트랜지스터(102)의 제 1 단자가 배선(13B) 또는 배선(13C)에 접속되어도 좋다.
- [0118] 또한 도 6b의 인버터 회로와 마찬가지로, 도 2a, 도 2b, 도 3a, 도 3b, 도 5a, 도 5b, 및 도 6a 등에 도시된 인버터 회로에서도 배선(11) 및/또는 배선(13)을 복수의 배선으로 분할하여도 좋다.
- [0119] 또한 도시하지 않았지만, 도 1a, 도 2a, 도 2b, 도 3a, 도 3b, 도 5a, 도 5b, 도 6a, 및 도 6b 등에 도시된 인버터 회로에 있어서, 제 1 전극이 트랜지스터(101)의 제 2 단자에 접속되고, 제 2 전극이 트랜지스터(101)의 게이트에 접속된 용량 소자를 제공하여도 좋다.
- [0120] 또한 도시하지 않았지만, 도 1a, 도 2a, 도 2b, 도 3a, 도 3b, 도 5a, 도 5b, 도 6a, 및 도 6b 등에 도시된 인버터 회로에 있어서, 제 1 전극이 트랜지스터(201)의 제 2 단자에 접속되고, 제 2 전극이 트랜지스터(201)의 게이트에 접속된 용량 소자를 제공하여도 좋다.
- [0121] 또한 트랜지스터(101)가 구동하는 부하(예를 들어 배선(12)에 접속되는 부하)는 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)가 구동하는 부하(예를 들어 노드(N1) 또는 노드(N2)에 접속되는 부하)보다 크다. 또한, 트랜지스터(101)의 W/L이 클수록 신호(OUT)의 상승 시간을 짧게 할 수 있다. 그러므로, 트랜지스터(101)의 W/L은 트랜지스터(201)의 W/L, 트랜지스터(202)의 W/L, 및 트랜지스터(203)의 W/L보다 큰 것이 바람직하다.
- [0122] 이와 마찬가지로, 트랜지스터(102)가 구동하는 부하(예를 들어 배선(12)에 접속되는 부하)는 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)가 구동하는 부하보다 크다. 또한, 트랜지스터(102)의 W/L이 클수록 신호(OUT)의 상승 시간을 짧게 할 수 있다. 그러므로, 트랜지스터(102)의 W/L은 트랜지스터(201)의 W/L, 트랜지스터(202)의 W/L, 및 트랜지스터(203)의 W/L보다 큰 것이 바람직하다.
- [0123] 또한 트랜지스터(101)가 온 상태가 될 때의 V<sub>gs</sub>는 트랜지스터(102)가 온 상태가 될 때의 V<sub>gs</sub>보다 작은 경우가 많다. 그러므로, 트랜지스터(101)의 W/L은 트랜지스터(102)의 W/L보다 큰 것이 바람직하다. 즉 트랜지스터(101)는 본 실시형태의 인버터 회로가 갖는 트랜지스터 중에서 W/L이 가장 큰 것이 바람직하다.

- [0124] 또한 신호(IN)의 로우 레벨의 전위는 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 오프 상태가 되는 정도의 전위이면, 본 실시형태의 인버터 회로는 정상적으로 동작한다. 그러므로, 신호(IN)의 로우 레벨의 전위를 전위(VSS)보다 낮은 전위로 하여도 좋다. 이와 같이 하면, 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)가 오프 상태가 될 때의  $V_{GS}$ 를 음의 전압으로 할 수 있다. 따라서, 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)가 노멀리 온인 경우, 또는 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)의 게이트와 소스 사이의 전위차가 0[V]일 때의 드레인 전류가 큰 경우에도 정상적으로 동작할 수 있다.
- [0125] 또한 신호(IN)의 하이 레벨의 전위가 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 온 상태가 되는 정도의 전위이면, 본 실시형태의 인버터 회로는 정상적으로 동작한다. 그러므로, 신호(IN)의 하이 레벨의 전위를 전위(VDD)보다 낮은 전위로 하여도 좋다. 이와 같이 하면, 배선(14)에 신호를 출력하는 회로의 구동 전압을 작게 할 수 있다. 또한 본 실시형태의 인버터 회로에서는 신호(IN)의 하이 레벨의 전위가 전위(VDD)보다 낮은 전위라도, 신호(OUT)의 하이 레벨의 전위를 전위(VDD)로 할 수 있다.
- [0126] 또한 신호(IN)는 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 오프 상태가 되는 전위와, 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 온 상태가 되는 전위를 가지고만 있으면, 디지털 신호에 한정되지 않는다. 예를 들어, 신호(IN)는 3개 이상의 전위를 가져도 좋고, 아날로그 신호이어도 좋다.
- [0127] 또한 배선(11)에 클록 신호 등의 신호를 입력하면, 신호(IN)가 로우 레벨인 경우에 배선(11)의 신호를 배선(12)에 출력할 수 있다. 특히 도 6b의 인버터 회로와 같이, 배선(11)을 배선(11A) 및 배선(11B)으로 분할하는 경우에는 배선(11A)에 클록 신호 등의 신호를 입력하고, 배선(11B)에 전위(VDD)를 공급하는 것이 바람직하다. 이와 같이 하면, 노드(N1)의 전위를 높은 전위로 할 수 있기 때문에, 트랜지스터(101)가 온 상태가 되기 쉬워진다. 따라서, 안정적으로 배선(11A)의 신호를 배선(12)에 출력할 수 있다.
- [0128] 또한 배선(13)에 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 온 상태가 되는 기간(예를 들어, 신호(IN)가 하이 레벨이 되는 기간)에서 로우 레벨이 되는 신호를 입력하면, 본 실시형태의 인버터 회로는 정상적으로 동작한다. 또한 배선(13)에, 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)가 오프 상태가 되는 기간(예를 들어, 신호(IN)가 로우 레벨이 되는 기간)의 모두 또는 일부에서 하이 레벨이 되는 신호를 입력하면, 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)에 역바이어스를 인가할 수 있다. 그러므로, 트랜지스터(102), 트랜지스터(202), 및 트랜지스터(203)의 열화를 완화할 수 있다.
- [0129] 여기서, 본 발명의 일 형태는 다음에 제시하는 구성을 포함한다.
- [0130] 본 발명의 일 형태는 트랜지스터(101), 트랜지스터(201), 및 용량 소자(204)를 갖는 반도체 장치이다. 트랜지스터(101)의 제 1 단자는 배선(11)에 접속되고, 트랜지스터(101)의 제 2 단자는 배선(12)에 접속된다. 트랜지스터(201)의 제 1 단자는 배선(11)에 접속되고, 트랜지스터(201)의 게이트는 트랜지스터(101)의 게이트에 접속된다. 용량 소자(204)의 제 1 전극은 배선(14)에 접속되고, 용량 소자(204)의 제 2 전극은 트랜지스터(201)의 제 2 단자에 접속된다(도 16a 참조).
- [0131] 또한 상기 본 발명의 일 형태에 있어서, 배선(14)의 전위가 하강함에 따라, 트랜지스터(201)의 제 2 단자의 전위가 하강한다. 또한 트랜지스터(201)의 제 2 단자의 전위가 하강함으로써, 트랜지스터(201)가 온 상태가 됨과 함께, 배선(11)의 전위가 트랜지스터(201)의 제 2 단자에 공급되어, 트랜지스터(201)의 제 2 단자의 전위가 상승한다(도 16b 참조). 또한 트랜지스터(201)의 제 2 단자의 전위가 상승함에 따라, 트랜지스터(201)의 게이트의 전위가 상승한다. 또한 트랜지스터(201)의 게이트의 전위가 상승함으로써, 트랜지스터(101)가 온 상태가 됨과 함께, 배선(11)의 전위가 배선(12)에 공급되어, 배선(12)의 전위가 상승한다(도 16c 참조).
- [0132] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0133] (실시형태 2)
- [0134] 본 실시형태에서는 본 발명의 일 형태에 따른 시프트 레지스터 회로(반도체 장치 또는 구동 회로라고도 함)에 대해서 설명한다.
- [0135] 본 실시형태의 시프트 레지스터 회로는 복수의 플립플롭 회로(반도체 장치 또는 구동 회로라고도 함)를 갖는다. 따라서, 우선 플립플롭 회로에 대해서 설명하고, 이 후 플립플롭 회로를 갖는 시프트 레지스터 회로에 대해서 설명한다.
- [0136] 본 실시형태의 시프트 레지스터 회로가 갖는 플립플롭 회로에 대해서 도 7a를 참조하여 설명한다.

- [0137] 도 7a의 플립플롭 회로는 트랜지스터(401), 트랜지스터(402), 트랜지스터(403), 트랜지스터(404), 트랜지스터(405), 및 회로(500)를 갖는다. 트랜지스터(401)의 제 1 단자는 배선(21)에 접속되고, 트랜지스터(401)의 제 2 단자는 배선(22)에 접속된다. 트랜지스터(402)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(402)의 제 2 단자는 배선(22)에 접속된다. 트랜지스터(403)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(403)의 제 2 단자는 트랜지스터(401)의 게이트에 접속된다. 트랜지스터(404)의 제 1 단자는 배선(23)에 접속되고, 트랜지스터(404)의 제 2 단자는 트랜지스터(401)의 게이트에 접속되고, 트랜지스터(404)의 게이트는 배선(23)에 접속된다. 트랜지스터(405)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(405)의 제 2 단자는 트랜지스터(401)의 게이트에 접속되고, 트랜지스터(405)의 게이트는 배선(24)에 접속된다. 회로(500)의 제 1 단자(입력 단자라고도 함)는 트랜지스터(401)의 게이트에 접속되고, 회로(500)의 제 2 단자(출력 단자라고도 함)는 트랜지스터(402)의 게이트 및 트랜지스터(403)의 게이트에 접속된다.
- [0138] 또한 회로(500)로서는 실시형태 1에 제시된 인버터 회로를 사용할 수 있다. 회로(500)의 제 1 단자가 실시형태 1에 제시된 인버터 회로의 배선(14)에 대응하고, 회로(500)의 제 2 단자가 실시형태 1에 제시된 인버터 회로의 배선(12)에 대응한다.
- [0139] 또한 트랜지스터(401)의 게이트와, 트랜지스터(403)의 제 2 단자와, 트랜지스터(404)의 제 2 단자와, 트랜지스터(405)의 제 2 단자와, 회로(500)의 제 1 단자의 접속 개소를 노드(N3)라고 부른다. 또한 트랜지스터(402)의 게이트와, 트랜지스터(403)의 게이트와, 회로(500)의 제 2 단자의 접속 개소를 노드(N4)라고 부른다.
- [0140] 또한 본 실시형태의 플립플롭 회로가 갖는 트랜지스터는 같은 도전형을 갖는 것이 바람직하다. 예를 들어, 도 7a의 플립플롭 회로에 있어서, 트랜지스터(401), 트랜지스터(402), 트랜지스터(403), 트랜지스터(404), 트랜지스터(405), 및 회로(500)가 갖는 트랜지스터는 같은 도전형을 갖는 것이 바람직하다.
- [0141] 배선(21)(신호선이라고도 함)에는 신호(CK)가 입력되고, 배선(21)은 신호(CK)를 전달하는 기능을 갖는다. 신호(CK)는 하이 레벨과 로우 레벨을 반복하는 클록 신호이다.
- [0142] 배선(22)(신호선이라고도 함)으로부터는 신호(SOUT)가 출력되고, 배선(22)은 신호(SOUT)를 전달하는 기능을 갖는다. 신호(SOUT)는 도 7a에 도시된 플립플롭 회로의 출력 신호이다.
- [0143] 배선(23)(신호선이라고도 함)에는 신호(SP)가 입력되고, 배선(23)은 신호(SP)를 전달하는 기능을 갖는다. 신호(SP)는 도 7a에 도시된 플립플롭 회로의 입력 신호이다.
- [0144] 배선(24)(신호선이라고도 함)에는 신호(RE)가 입력되고, 배선(24)은 신호(RE)를 전달하는 기능을 갖는다. 신호(RE)는 도 7a에 도시된 플립플롭 회로의 입력 신호이다.
- [0145] 또한 배선(21), 배선(23), 및 배선(24)에는 상술한 신호 또는 전위에 한정되지 않고, 이 이외에도 다양한 신호 또는 전위 등을 입력할 수 있다.
- [0146] 트랜지스터(401)는 배선(21)과 배선(22) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(401)는 배선(21)의 신호(CK)를 배선(22)에 공급하는 기능을 갖는다. 또한 트랜지스터(401)는 배선(22)과 노드(N3) 사이의 전위차를 유지하는 기능을 갖는다.
- [0147] 트랜지스터(402)는 배선(13)과 배선(22) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(402)는 배선(13)의 전위(VSS)를 배선(22)에 공급하는 기능을 갖는다.
- [0148] 트랜지스터(403)는 배선(13)과 노드(N3) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(403)는 배선(13)의 전위(VSS)를 노드(N3)에 공급하는 기능을 갖는다.
- [0149] 트랜지스터(404)는 배선(23)과 노드(N3) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(404)는 배선(23)의 신호(SP)를 노드(N3)에 공급하는 기능을 갖는다.
- [0150] 트랜지스터(405)는 배선(13)과 노드(N3) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(405)는 전위(VSS)를 노드(N3)에 공급하는 기능을 갖는다.
- [0151] 다음에, 도 7a의 플립플롭 회로의 구동 방법의 일례에 대해서 도 7b를 참조하여 설명한다. 도 7b는 도 7a의 플립플롭 회로의 구동 방법을 설명하기 위한 타이밍 차트의 일례를 도시한 것이다.
- [0152] 또한 신호(CK), 신호(SP), 및 신호(RE)가 하이 레벨인 전위가 전위(VDD)와 같고, 로우 레벨의 전위가 전위(VS)와 같은 디지털 신호인 것으로서 설명한다. 또한 기간 Ta, 기간 Tb, 기간 Tc, 및 기간 Td로 나누어

설명한다.

[0153] 기간 Ta에 있어서, 신호(SP)가 하이 레벨이 되고, 신호(RE)가 로우 레벨이 되고, 신호(CK)가 로우 레벨이 된다. 따라서, 트랜지스터(404)가 온 상태가 되고, 트랜지스터(405)가 오프 상태가 된다.

[0154] 트랜지스터(404)가 온 상태가 되면, 배선(23)의 신호(SP)가 노드(N3)에 공급된다. 신호(SP)는 하이 레벨이기 때문에, 노드(N3)의 전위는 상승한다. 노드(N3)의 전위가 상승하면, 회로(500)의 출력 신호가 로우 레벨이 된다. 따라서, 트랜지스터(402) 및 트랜지스터(403)가 오프 상태가 된다. 또한 노드(N3)의 전위가 상승하면, 트랜지스터(401)가 온 상태가 된다.

[0155] 트랜지스터(401)가 온 상태가 되면, 배선(21)의 신호(CK)가 배선(22)에 공급된다. 신호(CK)는 로우 레벨이기 때문에, 배선(22)의 전위는 전위(VSS)가 된다. 즉 신호(SOUT)는 로우 레벨이 된다.

[0156] 또한 노드(N3)의 전위가 트랜지스터(404)의 게이트의 전위(전위(VDD))로부터 트랜지스터(404)의 임계값 전압을 뺀 전위까지 상승하면, 트랜지스터(404)가 오프 상태가 된다. 따라서, 노드(N3)는 부유 상태가 된다.

[0157] 다음에, 기간 Tb에 있어서, 신호(SP)가 로우 레벨이 되고, 신호(RE)는 로우 레벨로 유지되고, 신호(CK)가 하이 레벨이 된다. 따라서, 트랜지스터(404) 및 트랜지스터(405)는 오프 상태로 유지된다. 또한 회로(500)의 출력 신호는 로우 레벨로 유지된다. 따라서, 트랜지스터(402) 및 트랜지스터(403)는 오프 상태로 유지된다.

[0158] 트랜지스터(403), 트랜지스터(404), 및 트랜지스터(405)가 오프 상태이기 때문에, 노드(N3)는 부유 상태로 유지된다. 따라서, 노드(N3)의 전위는 높은 전위로 유지되기 때문에, 트랜지스터(401)는 온 상태로 유지된다.

[0159] 트랜지스터(401)는 온 상태로 유지되기 때문에, 배선(21)의 신호(CK)가 배선(22)에 계속 공급된다. 신호(CK)는 하이 레벨이기 때문에, 배선(22)의 전위는 상승하기 시작한다. 이 때, 트랜지스터(401)의 게이트와 제 2 단자 사이에는 기간(Ta)에서의 노드(N3)와 배선(22) 사이의 전위차가 유지되고 있다. 그러므로, 배선(22)의 전위가 상승함에 따라 노드(N3)의 전위도 상승한다. 이에 따라, 배선(22)의 전위는 신호(CK)와 같은 전위인 전위(VDD)까지 상승한다. 즉 신호(SOUT)는 하이 레벨이 된다.

[0160] 다음에, 기간 Tc에 있어서, 신호(SP)가 로우 레벨로 유지되고, 신호(RE)가 하이 레벨이 되고, 신호(CK)가 로우 레벨이 된다. 따라서, 트랜지스터(404)는 오프 상태로 유지되고, 트랜지스터(405)는 온 상태가 된다.

[0161] 트랜지스터(405)가 온 상태가 되면, 배선(13)의 전위(VSS)가 노드(N3)에 공급된다. 그러므로, 노드(N3)의 전위는 전위(VSS)까지 하강한다. 따라서, 트랜지스터(401)가 오프 상태가 된다. 또한 회로(500)의 출력 신호가 하이 레벨이 되고, 트랜지스터(402) 및 트랜지스터(403)가 온 상태가 된다.

[0162] 트랜지스터(402)가 온 상태가 되면, 배선(13)의 전위(VSS)가 배선(22)에 공급된다. 따라서, 배선(22)의 전위가 전위(VSS)까지 하강한다. 즉 신호(SOUT)가 로우 레벨이 된다.

[0163] 다음에, 기간 Td에 있어서, 신호(SP)는 하이 레벨로 유지되고, 신호(RE)가 로우 레벨이 되고, 신호(CK)는 로우 레벨과 하이 레벨을 반복한다. 따라서, 트랜지스터(404)는 오프 상태로 유지되고, 트랜지스터(405)는 오프 상태가 된다. 또한 회로(500)의 출력 신호는 하이 레벨로 유지된다. 따라서, 트랜지스터(402) 및 트랜지스터(403)는 온 상태로 유지된다.

[0164] 트랜지스터(403)는 온 상태로 유지되면, 배선(13)의 전위(VSS)가 노드(N3)에 계속 공급된다. 따라서, 노드(N3)의 전위가 전위(VSS)로 유지되기 때문에, 트랜지스터(401)는 오프 상태로 유지된다.

[0165] 또한 트랜지스터(402)는 온 상태로 유지되면, 배선(13)의 전위(VSS)가 배선(22)에 계속 공급된다. 따라서, 배선(22)의 전위는 전위(VSS)가 유지된다. 즉 신호(SOUT)는 로우 레벨로 유지된다.

[0166] 상술한 바와 같이, 도 7a에 도시된 플립플롭 회로는 실시형태 1에 제시된 인버터 회로를 가짐으로써, 실시형태 1에 제시된 인버터 회로와 같은 효과를 나타낼 수 있다.

[0167] 다음에, 도 7a와 상이한 플립플롭 회로에 대해서 도 8a 내지 도 9b를 참조하여 설명한다. 또한 도 7a와 상이한 부분에 대해서 설명한다.

[0168] 우선 도 8a의 플립플롭 회로는 도 7a의 플립플롭 회로에 트랜지스터(406)를 제공한 구성이다.

[0169] 트랜지스터(406)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(406)의 제 2 단자는 배선(22)에 접속되고, 트랜지스터(406)의 게이트는 배선(25)에 접속된다.

- [0170] 배선(25)(신호선이라고도 함)에는 신호(CKB)가 입력되고, 배선(25)은 신호(CKB)를 전달하는 기능을 갖는다. 신호(CKB)는 신호(CK)와 위상이 반대인 신호 또는 신호(CK)로부터 위상이 어긋난 신호이다.
- [0171] 트랜지스터(406)는 배선(13)과 배선(22) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(406)는 배선(13)의 전위(VSS)를 배선(22)에 공급하는 기능을 갖는다.
- [0172] 도 8a의 플립플롭 회로에서는 기간 Td에 있어서, 신호(CKB)가 하이 레벨이 될 때마다 트랜지스터(406)가 온 상태가 된다. 따라서, 기간 Td에 있어서, 신호(CKB)가 하이 레벨이 될 때마다 배선(13)의 전위(VSS)가 배선(22)에 공급된다.
- [0173] 특히 신호(CKB)가 신호(CK)와 위상이 반대인 신호인 경우에는 기간 Ta 및 기간 Tc에 있어서, 신호(CKB)가 하이 레벨이 되고 트랜지스터(406)가 온 상태가 된다. 따라서, 기간 Tc에 있어서, 배선(13)의 전위(VSS)가 트랜지스터(402) 및 트랜지스터(406) 양쪽 모두를 통하여 배선(22)에 공급되기 때문에, 신호(SOUT)의 하강 시간을 짧게 할 수 있다.
- [0174] 또한 플립플롭 회로가 트랜지스터(406)를 가지고 있으면, 기간 Td에 있어서 배선(22)의 전위를 전위(VSS)로 유지할 수 있다. 따라서, 트랜지스터(402)를 생략하여도 좋다. 트랜지스터(402)를 생략하면, 트랜지스터 수의 삭감, 및 레이아웃 면적의 축소 등을 도모할 수 있다.
- [0175] 다음에, 도 8b의 플립플롭 회로는 도 7a의 플립플롭 회로에 트랜지스터(407)를 제공한 구성이다.
- [0176] 트랜지스터(407)의 제 1 단자는 배선(13)에 접속되고, 트랜지스터(407)의 제 2 단자는 배선(22)에 접속되고, 트랜지스터(407)의 게이트는 배선(24)에 접속된다.
- [0177] 트랜지스터(407)는 배선(13)과 배선(22) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(407)는 배선(13)의 전위(VSS)를 배선(22)에 공급하는 기능을 갖는다.
- [0178] 도 8b의 플립플롭 회로에서는 기간 Ta, 기간 Tb, 및 기간 Td에서 트랜지스터(407)가 온 상태가 된다. 또한 기간 Tc에 있어서 트랜지스터(407)가 온 상태가 된다. 기간 Tc에 있어서, 트랜지스터(407)가 온 상태가 되면, 배선(13)의 전위(VSS)가 배선(22)에 공급된다.
- [0179] 따라서, 기간 Tc에 있어서, 배선(13)의 전위(VSS)가 트랜지스터(402) 및 트랜지스터(407) 양쪽 모두를 통하여 배선(22)에 공급되기 때문에, 신호(SOUT)의 하강 시간을 짧게 할 수 있다.
- [0180] 또한 도 8b의 플립플롭 회로와 마찬가지로 도 8a 등에 도시된 플립플롭 회로에서도 트랜지스터(407)를 제공하여도 좋다.
- [0181] 다음에 도 9a의 플립플롭 회로는 도 7a의 플립플롭 회로에 트랜지스터(408)를 제공한 구성이다.
- [0182] 트랜지스터(408)의 제 1 단자는 배선(11)에 접속되고, 트랜지스터(408)의 제 2 단자는 노드(N4)에 접속되고, 트랜지스터(408)의 게이트는 배선(24)에 접속된다.
- [0183] 트랜지스터(408)는 배선(11)과 노드(N4) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다. 또한 트랜지스터(408)는 배선(11)의 전위(VDD)를 노드(N4)에 공급하는 기능을 갖는다.
- [0184] 도 9a의 플립플롭 회로에서는 기간 Ta, 기간 Tb, 및 기간 Td에서 트랜지스터(408)가 오프 상태가 된다. 또한 기간 Tc에 있어서 트랜지스터(408)가 온 상태가 된다. 기간 Tc에 있어서, 트랜지스터(408)가 온 상태가 되면, 배선(11)의 전위(VDD)가 노드(N4)에 공급된다.
- [0185] 따라서, 노드(N4)의 전위가 소정의 전위에 도달하는 데 걸릴 시간을 짧게 할 수 있기 때문에, 트랜지스터(402) 및 트랜지스터(403)가 온 상태가 되는 타이밍을 빠르게 할 수 있다. 그러므로, 배선(13)의 전위(VSS)가 배선(22)에 공급되는 타이밍도 빨라지기 때문에, 신호(SOUT)의 하강 시간을 짧게 할 수 있다.
- [0186] 또한 도 9a의 플립플롭 회로와 마찬가지로 도 8a 및 도 8b 등에 도시된 플립플롭 회로에서도 트랜지스터(408)를 제공하여도 좋다.
- [0187] 또한 플립플롭 회로가 트랜지스터(408)를 가지고 있으면, 기간 Tc에 있어서 트랜지스터(402) 및 트랜지스터(403)가 온 상태가 된다. 따라서, 트랜지스터(405)를 생략하여도 좋다. 트랜지스터(405)를 생략하면, 트랜지스터 수의 삭감, 및 레이아웃 면적의 축소 등을 도모할 수 있다.
- [0188] 또한 트랜지스터(408)를 도 8a의 플립플롭 회로에 사용하며, 트랜지스터(408)의 제 1 단자가 배선(25)에 접속되

어도 좋다. 트랜지스터(408)의 제 1 단자가 배선(25)에 접속되어 있어도, 기간 Tc에서는 배선(25)의 신호(CK B)는 하이 레벨이 되기 때문에 트랜지스터(408)가 온 상태가 되어, 상술한 바와 같이 동작할 수 있다.

[0189] 다음에 도 9b의 플립플롭 회로는 도 7a의 플립플롭 회로에 트랜지스터(409)를 제공한 구성이다.

[0190] 트랜지스터(409)의 제 1 단자는 배선(21)에 접속되고, 트랜지스터(409)의 제 2 단자가 배선(26)에 접속되고, 트랜지스터(409)의 게이트는 노드(N3)에 접속된다.

[0191] 또한 도 9b의 플립플롭 회로에서는 배선(22)으로부터 출력되는 신호를 신호(SOUTa)라고 기재하고, 배선(26)으로부터 출력되는 신호를 신호(SOUTb)라고 기재한다. 신호(SOUTb)는 플립플롭 회로의 출력 신호이다. 또한 배선(26)(신호선이라고도 함)은 신호(SOUTb)를 전달하는 기능을 갖는다.

[0192] 트랜지스터(409)는 트랜지스터(401)와 같은 기능을 갖고, 예를 들어 트랜지스터(409)는 배선(21)과 배선(26) 사이의 도통 또는 비도통을 제어하는 기능을 갖는다.

[0193] 도 9b의 플립플롭 회로에서는 신호(SOUTa)와 같은 신호인 신호(SOUTb)를 생성할 수 있다. 따라서, 예를 들어 신호(SOUTa)를 배선(22)과 접속되는 부하를 구동하기 위한 신호로서 사용하고, 신호(SOUTb)를 배선(26)과 접속되는 다른 단의 플립플롭 회로를 구동하기 위한 신호로서 사용할 수 있다.

[0194] 또한 도 9b의 플립플롭 회로와 마찬가지로 도 8a, 도 8b, 도 9a 등에 도시된 플립플롭 회로에도 트랜지스터(409)를 제공하여도 좋다.

[0195] 또한 도시하지 않았지만, 도 7a, 도 8a, 도 8b, 도 9a, 및 도 9b 등에 도시된 플립플롭 회로에서, 트랜지스터(404)의 제 1 단자가 배선(11) 또는 배선(25)에 접속되어도 좋다. 이 경우에는 기간 Ta에 있어서, 노드(N3)에는 배선(11) 또는 배선(25)의 전위 또는 신호 등이 공급되기 때문에, 배선(23)에 신호(SP)를 공급하는 회로의 부하를 작게 할 수 있다.

[0196] 또한 도시하지 않았지만, 도 7a, 도 8a, 도 8b, 도 9a, 및 도 9b 등에 도시된 플립플롭 회로에서, 한쪽 전극이 배선(22)에 접속되고, 다른 쪽 전극이 노드(N3)에 접속된 용량 소자를 제공하여도 좋다. 상기 용량 소자를 플립플롭 회로에 제공하면, 트랜지스터(401)의 게이트와 제 2 단자 사이의 용량값을 크게 할 수 있기 때문에, 부트스트랩 동작을 수행하기 쉬워진다.

[0197] 또한 도시하지 않았지만, 도 7a, 도 8a, 도 8b, 도 9a, 및 도 9b 등에 도시된 플립플롭 회로에서, 제 1 단자가 배선(22)에 접속되고, 제 2 단자가 노드(N3)에 접속되고, 게이트가 배선(21)에 접속된 트랜지스터를 제공하여도 좋다. 이와 같이 하면, 기간 Td 중에서 신호(CK)가 하이 레벨이 되는 기간에 있어서, 노드(N3)의 전위(VSS)를 배선(22)에 공급, 또는 배선(22)의 전위를 노드(N3)에 공급할 수 있다. 따라서, 트랜지스터(402) 및 트랜지스터(403) 중 하나를 생략하여도 좋다. 트랜지스터(402) 및 트랜지스터(403) 중 하나를 생략하는 경우에는 회로(500)의 부하가 작아지기 때문에, 회로(500)가 갖는 트랜지스터의 W/L을 작게 할 수 있다.

[0198] 또한 도시하지 않았지만, 도 7a, 도 8a, 도 8b, 도 9a, 및 도 9b 등에 도시된 플립플롭 회로에서, 제 1 단자가 배선(23)에 접속되고, 제 2 단자가 노드(N3)에 접속되고, 게이트가 배선(25)에 접속된 트랜지스터를 제공하여도 좋다. 이 경우에는 기간 Ta에 있어서, 노드(N3)의 전위를 빨리 상승시킬 수 있다.

[0199] 또한 도시하지 않았지만, 도 7a, 도 8a, 도 8b, 도 9a, 및 도 9b 등에 도시된 플립플롭 회로에서, 트랜지스터(404)의 제 2 단자와 트랜지스터(401)의 게이트가 접속되지 않고, 제 1 단자가 트랜지스터(404)의 제 2 단자에 접속되고, 제 2 단자가 트랜지스터(401)의 게이트에 접속되고, 게이트가 배선(11) 또는 배선(25)에 접속된 트랜지스터를 추가적으로 제공하여도 좋다. 이와 같이 하면, 트랜지스터(404), 및 트랜지스터(404)의 제 2 단자에 접속되는 트랜지스터에 인가되는 전압을 작게 할 수 있기 때문에, 트랜지스터의 열화 또는 파괴 등을 방지할 수 있다. 또한 회로(500)의 제 1 단자는 트랜지스터(404)의 제 2 단자 또는 트랜지스터(401)의 게이트에 접속되면 좋다. 또한 트랜지스터(405)의 제 2 단자는 트랜지스터(404)의 제 2 단자 또는 트랜지스터(401)의 게이트에 접속되면 좋다.

[0200] 또한 도시하지 않았지만, 도 9b 등에 도시된 플립플롭 회로에 있어서, 제 1 단자가 배선(13)에 접속되고, 제 2 단자가 배선(26)에 접속되고, 게이트가 노드(N4), 배선(24) 또는 배선(25)에 접속된 트랜지스터를 제공하여도 좋다. 이와 같이 하면, 배선(13)의 전위(VSS)를 배선(26)에 공급할 수 있기 때문에, 배선(26)의 전위를 전위(VSS)로 유지하기 쉬워진다.

[0201] 다음에, 회로(500)로서 실시형태 1에 제시된 인버터 회로를 사용한 구체적인 예에 대해서 설명한다.

- [0202] 도 10a의 플립플롭 회로는 도 7a의 플립플롭 회로에서의 회로(500)로서 도 1a의 인버터 회로를 사용한 구성이다.
- [0203] 도 10b의 플립플롭 회로는 도 10a의 플립플롭 회로에 있어서, 트랜지스터(101)의 제 1 단자 및 트랜지스터(201)의 제 1 단자가 배선(21)에 접속된 구성이다.
- [0204] 도 10b의 플립플롭 회로에서는 기간 Ta 및 기간 Tb에 있어서, 배선(13)의 전위(VSS)가 노드(N4)에 공급되고, 기간 Tc 및 기간 Td에 있어서, 배선(21)의 신호(CK)가 노드(N4)에 공급된다. 기간 Td에 있어서, 배선(21)의 신호(CK)가 노드(N4)에 공급되면, 노드(N4)의 전위가 전위(VDD)와 전위(VSS)를 반복하게 되어, 트랜지스터(402) 및 트랜지스터(403)가 온 상태와 오프 상태를 반복한다. 즉 기간 Td에 있어서, 배선(13)의 전위(VSS)가 배선(22)에 정기적으로 공급되고, 또 트랜지스터(402) 및 트랜지스터(403)가 온 상태가 되는 시간이 짧아진다. 따라서, 배선(22)의 전위를 전위(VSS)로 유지할 수 있고, 또 트랜지스터(402) 및 트랜지스터(403)의 열화를 억제할 수 있다.
- [0205] 또한 도 10b의 플립플롭 회로와 마찬가지로, 도 8a, 도 8b, 도 9a, 및 도 9b 등에 도시된 플립플롭 회로에서, 회로(500)로서 실시형태 1 중 어느 인버터 회로를 사용한 경우에도 트랜지스터(101)의 제 1 단자 및 트랜지스터(201)의 제 1 단자가 배선(21)에 접속되어도 좋다.
- [0206] 다음에, 본 실시형태의 시프트 레지스터 회로에 대해서 도 11을 참조하여 설명한다.
- [0207] 도 11의 시프트 레지스터 회로는 N(N은 자연수)개의 플립플롭 회로(600)를 갖는다. 다만, 도 11에는, 1번재 단내지 3번재 단의 플립플롭 회로(600)(플립플롭 회로(600\_1), 플립플롭 회로(600\_2), 플립플롭 회로(600\_3))만을 도시하였다.
- [0208] 도 11의 시프트 레지스터 회로에서는 플립플롭 회로(600)로서, 도 7a의 플립플롭 회로가 사용된다. 다만, 플립플롭 회로(600)로서는 도 7a의 플립플롭 회로에 한정되지 않는다.
- [0209] 도 11의 시프트 레지스터 회로는 N개의 배선(31), 배선(32), 배선(33), 배선(34)에 접속된다. i(i는 2 내지 N-1 중의 어느 하나)번재 단의 플립플롭 회로(600)는 배선(33) 및 배선(34) 중 하나와, i번재 단의 배선(31), i-1번재 단의 배선(31), i+1번재 단의 배선(31)에 접속된다. 또한 배선(22)이 i번재 단의 배선(31)에 접속되고, 배선(23)이 i-1번재 단의 배선(31)에 접속되고, 배선(24)이 i+1번재 단의 배선(31)에 접속되고, 배선(21)이 배선(33) 또는 배선(34)에 접속된다.
- [0210] 또한 i번재 단의 플립플롭 회로(600)에서, 배선(21)이 배선(33)에 접속되는 경우, i-1번재 단, 및 i+1번재 단의 플립플롭 회로(600)에서는 배선(21)이 배선(34)에 접속된다.
- [0211] 또한 1번재 단의 플립플롭 회로(600)도 i번재 단의 플립플롭 회로(600)와 같은 접속 관계이지만, 1번재 단의 플립플롭 회로(600)에 대응하는 i-1번재 단의 배선(31)이 존재하지 않는다. 그래서, 1번재 단의 플립플롭 회로에서는 배선(23)이 배선(32)에 접속된다.
- [0212] 또한 N번재 단의 플립플롭 회로(600)도 i번재 단의 플립플롭 회로(600)와 같은 접속 관계이지만, N번재 단의 플립플롭 회로(600)에는 i+1번재 단의 배선(31)이 존재하지 않는다. 그래서, N번재 단의 플립플롭 회로(600)에서는 배선(24)이 배선(32)에 접속된다. 다만, N번재 단의 플립플롭 회로(600)에 있어서, 배선(24)이 배선(33) 또는 배선(34)에 접속되어도 좋다. 또는, 신호 RE에 대응하는 신호가 입력된 배선에 접속되어도 좋다.
- [0213] N개의 배선(31)(신호선이라고도 함) 각각으로부터 신호(SOUT\_1) 내지 신호(SOUT\_N)가 출력되고, N개의 배선(31)은 신호(SOUT\_1) 내지 신호(SOUT\_N)를 전달하는 기능을 갖는다. 예를 들어, i번재 단의 배선(31)으로부터는 신호(SOUT\_i)가 출력되고, i번재 단의 배선(31)은 신호(SOUT\_i)를 전달하는 기능을 갖는다.
- [0214] 배선(32)(신호선이라고도 함)에는 신호(SSP)가 입력되고, 배선(32)은 신호(SSP)를 전달하는 기능을 갖는다. 신호(SSP)는 도 11의 시프트 레지스터 회로의 스타트 펄스이다.
- [0215] 배선(33)(신호선이라고도 함)에는 신호(CK)가 입력되고, 배선(33)은 신호(CK)를 전달하는 기능을 갖는다.
- [0216] 배선(34)(신호선이라고도 함)에는 신호(CKB)가 입력되고, 배선(34)은 신호(CKB)를 전달하는 기능을 갖는다.
- [0217] 또한 배선(32), 배선(33), 및 배선(34)에는 상술한 신호 또는 전위 등에 한정되지 않고, 이 이외에도 다양한 신호 또는 전위 등을 입력하여도 좋다.
- [0218] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

- [0219] (실시형태 3)
- [0220] EL 표시 장치를 예로 들어, 본 발명의 일 형태에 따른 표시 장치의 화소와 구동 회로의 단면 구조에 대해서 도 12를 사용하여 설명한다. 도 12에는 화소(840)와 구동 회로(841)의 단면도를 일례로서 도시하였다.
- [0221] 화소(840)는 발광 소자(832)와, 발광 소자(832)에 전류를 공급하는 기능을 구비한 트랜지스터(831)를 갖는다. 또한 화소(840)는 발광 소자(832) 및 트랜지스터(831)에 더하여, 화소(840)에 대한 화상 신호의 입력을 제어하는 트랜지스터나, 화상 신호의 전위를 유지하는 용량 소자 등 각종 반도체 소자를 가져도 좋다.
- [0222] 구동 회로(841)는 트랜지스터(830)와, 트랜지스터(830)의 게이트 전압을 유지하기 위한 용량 소자(833)를 갖는다. 구동 회로(841)는 실시형태 1의 인버터 회로, 실시형태 2의 플립플롭 회로 또는 시프트 레지스터 회로 등에 대응한다. 구체적으로는 트랜지스터(830)는 실시형태 1에 기재된 트랜지스터(101) 또는 실시형태 2에 기재된 트랜지스터(401) 등에 상당한다. 또한 구동 회로(841)는 트랜지스터(830) 및 용량 소자(833)에 더하여, 트랜지스터나 용량 소자 등의 각종 반도체 소자를 가져도 좋다.
- [0223] 트랜지스터(831)는 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(816)과, 도전막(816) 위의 게이트 절연막(802)과, 도전막(816)과 중첩되는 위치에서 게이트 절연막(802) 위에 위치하는 반도체막(817)과, 소스 단자 또는 드레인 단자로서 기능하고 반도체막(817) 위에 위치하는 도전막(815) 및 도전막(818)을 갖는다. 도전막(816)은 주사선으로서도 기능한다.
- [0224] 트랜지스터(830)는 절연 표면을 갖는 기판(800) 위에 게이트로서 기능하는 도전막(812)과, 도전막(812) 위의 게이트 절연막(802)과, 도전막(812)과 중첩되는 위치에서 게이트 절연막(802) 위에 위치하는 반도체막(813)과, 소스 단자 또는 드레인 단자로서 기능하고 반도체막(813) 위에 위치하는 도전막(814) 및 도전막(819)을 갖는다.
- [0225] 용량 소자(833)는 절연 표면을 갖는 기판(800) 위에 도전막(812)과, 도전막(812) 위의 게이트 절연막(802)과, 도전막(812)과 중첩되는 위치에서 게이트 절연막(802) 위에 위치하는 도전막(819)을 갖는다.
- [0226] 또한 도전막(814), 도전막(815), 도전막(818), 도전막(819) 위에는 절연막(820) 및 절연막(821)이 차례로 적층되도록 형성되어 있다. 그리고 절연막(821) 위에는 양극으로서 기능하는 도전막(822)이 형성되어 있다. 도전막(822)은 절연막(820) 및 절연막(821)에 형성된 콘택트 헤드(823)를 통하여 도전막(818)에 접속되어 있다.
- [0227] 또한 도전막(822)의 일부가 노출되는 개구부를 갖는 절연막(824)이 절연막(821) 위에 형성되어 있다. 도전막(822)의 일부 및 절연막(824) 위에는 EL층(825)과, 음극으로서 기능하는 도전막(826)이 차례로 적층되어 형성되어 있다. 도전막(822)과 EL층(825)과 도전막(826)이 중첩되는 영역이 발광 소자(832)에 상당한다.
- [0228] 또한 본 발명의 일 형태에서는 트랜지스터(830) 및 트랜지스터(831)는 비정질, 미결정, 다결정, 또는 단결정인, 실리콘 또는 게르마늄 등의 반도체가 반도체막에 사용되어도 좋고, 산화물 반도체 등의 와이드갭 반도체가 반도체막에 사용되어도 좋다.
- [0229] 트랜지스터(830) 및 트랜지스터(831)의 반도체막에 비정질, 미결정, 다결정, 또는 단결정인 실리콘 또는 게르마늄 등의 반도체가 사용되는 경우, 일 도전성을 부여하는 불순물 원소를 상기 반도체막에 첨가하여, 소스 단자 또는 드레인 단자로서 기능하는 불순물 영역을 형성한다. 예를 들어, 인 또는 비소를 상기 반도체막에 첨가함으로써, n형 도전성을 갖는 불순물 영역을 형성할 수 있다. 또한 예를 들어, 봉소를 상기 반도체막에 첨가함으로써, p형 도전성을 갖는 불순물 영역을 형성할 수 있다.
- [0230] 트랜지스터(830) 및 트랜지스터(831)의 반도체막에 산화물 반도체가 사용되는 경우, 도편트를 상기 반도체막에 첨가하여, 소스 단자 또는 드레인 단자로서 기능하는 불순물 영역을 형성하여도 좋다. 도편트는 이온 주입법을 이용하여 첨가할 수 있다. 도편트는 예를 들어, 헬륨, 아르곤, 크세논 등의 희가스나, 질소, 인, 비소, 안티몬 등 15족에 속하는 원소 등을 사용할 수 있다. 예를 들어, 질소를 도편트로서 사용한 경우, 불순물 영역 내의 질소 원자의 농도는  $5 \times 10^{19} / \text{cm}^3$  이상  $1 \times 10^{22} / \text{cm}^3$  이하인 것이 바람직하다.
- [0231] 또한, 실리콘 반도체로서는 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저어닐 등의 처리에 의해 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입한 후에 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.
- [0232] 산화물 반도체막으로서는 적어도 In, Ga, Sn, 및 Zn 중에서 선택된 1종류 이상의 원소를 함유한다. 예를 들어, 4원계 금속의 산화물인 In-Sn-Ga-Zn-0계 산화물 반도체나, 3원계 금속의 산화물인 In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물

반도체, Sn-Al-Zn-0계 산화물 반도체나, 2원계 금속의 산화물인 In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체나, In-Ga-0계 산화물 반도체, 1원계 금속의 산화물인 In-0계 산화물 반도체, Sn-0계 산화물 반도체, Zn-0계 산화물 반도체 등을 사용할 수 있다. 또한 상기 산화물 반도체에 In, Ga, Sn, 및 Zn 이외의 원소, 예를 들어  $\text{SiO}_2$ 를 함유시켜도 좋다.

[0233] 예를 들어, In-Ga-Zn-0계 산화물 반도체란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체를 의미하며, 그 조성은 불문한다.

[0234] 또한, 산화물 반도체막으로서는 화학식  $\text{InM}_3(\text{ZnO})_m$  ( $m > 0$ )로 표기되는 박막을 사용할 수 있다. 여기서, M은 Zn, Ga, Al, Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.

[0235] 또한, 산화물 반도체로서 In-Zn-0계 재료를 사용하는 경우, 사용하는 타깃 내에 포함되는 금속 원자수비는 In: Zn=50:1 내지 1:2(mol수비)로 환산하면  $\text{In}_2\text{O}_3$ : ZnO=25:1 내지 1:4), 바람직하게는 In: Zn=20:1 내지 1:1(mol수비)로 환산하면  $\text{In}_2\text{O}_3$ : ZnO=10:1 내지 1:2), 더 바람직하게는 In: Zn=15:1 내지 1.5:1(mol수비)로 환산하면  $\text{In}_2\text{O}_3$ : ZnO=15:2 내지 3:4)로 한다. 예를 들어, In-Zn-0계 산화물 반도체의 형성에 사용되는 타깃은 원자수비가 In: Zn: 0=X:Y:Z인 경우에  $Z > 1.5X+Y$ 로 한다. Zn의 비율이 상기 범위 내에 포함되도록 함으로써, 이동도의 향상을 실현할 수 있다.

[0236] 또한 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는 i형(진성 반도체) 또는 i형에 매우 가깝다. 따라서, 상기 산화물 반도체를 사용한 트랜지스터는 오프 전류가 현저히 낮다는 특성을 갖는다. 또한, 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 낮출 수 있다.

[0237] 구체적으로는, 고순도화된 산화물 반도체를 반도체막에 사용한 트랜지스터의 오프 전류가 낮은 것은 다양한 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가  $10 \mu\text{m}$ 인 소자의 경우에도, 소스 단자와 드레인 단자간의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{ A}$  이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 값에 상당하는 오프 전류 밀도는  $100 \text{ zA}/\mu\text{m}$  이하인 것을 알 수 있다. 또한 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여, 오프 전류 밀도를 측정할 수 있다. 상기 측정에서는 상기 트랜지스터의 채널 형성 영역에 고순도화된 산화물 반도체막을 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류 밀도를 측정한다. 그 결과, 트랜지스터의 소스 단자와 드레인 단자간의 전압이 3V인 경우에, 수십  $\text{yA}/\mu\text{m}$ 라는 극히 낮은 오프 전류 밀도가 얻어지는 것이 알려져 있다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터의 오프 전류는 결정성을 갖는 실리콘을 사용한 트랜지스터에 비해 현저하게 낮다.

[0238] 또한, 특별히 언급되지 않는 한, 본 명세서에서 말하는 오프 전류란 n채널형 트랜지스터에 있어서는 드레인 단자를 소스 단자와 게이트보다 높은 전위로 한 상태에서, 소스 단자의 전위를 기준으로 하였을 때의 게이트의 전위가 0 이하일 때에, 소스 단자와 드레인 단자 사이에 흐르는 전류를 의미한다. 또는, 본 명세서에서 말하는 오프 전류란 p채널형 트랜지스터에 있어서는 드레인 단자를 소스 단자와 게이트보다 낮은 전위로 한 상태에서, 소스 단자의 전위를 기준으로 하였을 때의 게이트의 전위가 0 이상일 때, 소스 단자와 드레인 단자 사이에 흐르는 전류를 의미한다.

[0239] 산화물 반도체막은 예를 들어, In(인듐), Ga(갈륨) 및 Zn(아연)을 함유한 타깃을 사용한 스팍터링법에 의해 형성할 수 있다. In-Ga-Zn계 산화물 반도체막을 스팍터링법으로 형성하는 경우, 바람직하게는 원자수비가 In: Ga: Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 또는 3:1:4로 나타내는 In-Ga-Zn계 산화물의 타깃을 사용한다. 상술한 원자수비를 갖는 In-Ga-Zn계 산화물의 타깃을 사용하여 산화물 반도체막을 형성함으로써, 다결정 또는 CAAC(후술함)가 형성되기 쉬워진다.

[0240] 또한 In, Ga 및 Zn을 함유한 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 미만이다. 충

전율이 높은 타깃을 사용함으로써, 형성된 산화물 반도체막이 치밀한 막이 된다.

[0241] 또한 구체적으로는, 감압 상태로 유지된 처리실 내에 기관을 유지하고, 처리실 내에 잔류된 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 산화물 반도체막을 형성하면 좋다. 형성할 때, 기관 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하여도 좋다. 기관을 가열하면서 형성함으로써, 형성된 산화물 반도체막에 함유되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링으로 인한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션(sublimation) 펌프를 이용하는 것이 바람직하다. 또한 배기 수단은 터보 펌프에 콜드 트랩(cold trap)을 설치한 것이라도 좋다. 크라이오 펌프를 사용하여 성막실을 배기하면, 예를 들어, 수소 원자, 물( $H_2O$ ) 등 수소 원자를 함유한 화합물(더 바람직하게는 탄소 원자를 함유한 화합물도) 등이 배기되기 때문에, 상기 처리실에서 형성한 산화물 반도체막에 함유되는 불순물의 농도를 저감할 수 있다.

[0242] 또한 스퍼터링 등으로 형성된 산화물 반도체막 내에는 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량으로 함유되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉬우므로, 산화물 반도체에 있어서는 불순물이다. 따라서, 본 발명의 일 형태에서는, 산화물 반도체막 내의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)하기 위해서, 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 에어(CRDS(cavity ring down laser spectroscopy : 캐비티 링 다운 레이저 분광법) 방식의 노점(露點)계를 이용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기하에서, 산화물 반도체막에 열처리를 수행한다.

[0243] 산화물 반도체막에 열처리를 수행함으로써, 산화물 반도체막 내의 수분 또는 수소를 이탈시킬 수 있다. 구체적으로는, 250°C 이상 750°C 이하, 바람직하게는 400°C 이상 기관의 변형점 미만의 온도로 열처리를 수행하면 좋다. 예를 들어, 500°C로 3분간 이상 6분간 이하 정도의 열처리를 수행하면 좋다. 열처리에 RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 수행할 수 있으므로, 유리 기관의 변형점을 초과하는 온도의 처리도 가능하다.

[0244] 또한, 상기 열처리에 의해 산화물 반도체막으로부터 산소가 이탈되어, 산화물 반도체막 내에 산소 결손이 형성되는 경우가 있다. 따라서, 본 발명의 일 형태에서는, 산화물 반도체막과 접촉하는 케이트 절연막 등의 절연막으로서, 산소를 함유한 절연막을 사용한다. 그리고, 산소를 함유한 절연막을 형성한 후, 열처리를 수행함으로써 상기 절연막으로부터 산화물 반도체막에 산소가 공여되도록 한다. 상기 구성에 의하여, 도너가 되는 산소 결손을 저감하고, 산화물 반도체막에 함유되는 산화물 반도체의 화학양론적 조성을 만족시킬 수 있다. 산화물 반도체막에는 화학양론적 조성을 초과하는 양의 산소가 함유되어 있는 것이 바람직하다. 그러므로, 산화물 반도체막을 i형에 가깝게 할 수 있고, 산소 결손에 기인한 트랜지스터의 전기적 특성의 편차를 경감시켜 전기적 특성의 향상을 실현할 수 있다.

[0245] 또한 산소를 산화물 반도체막에 공여하기 위한 열처리는 질소, 초건조 공기, 또는 희가스(아르곤, 헬륨 등)의 분위기하에서, 바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하의 온도로 수행한다. 상기 가스는 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 것이 좋다.

[0246] 산화물 반도체막은 단결정, 다결정(폴리크리스탈이라고도 함) 또는 비정질 등의 상태를 취한다.

[0247] 바람직하게는, 산화물 반도체막은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.

[0248] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한 TEM에 의한 관찰상에서는 CAAC-OS막에 입계(그레인 바운더리(grain boundary)라고도 함)가 확인되지 않았다. 그래서, CAAC-OS막은 입계에 기인한 전자 이동도의 저하가 억제된다.

[0249] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 폐형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 '수직'이라고 기재한 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재한 경우에는, -5

° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0250] 또한 CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한 CAAC-OS막에 불순물을 첨가함으로써, 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

[0251] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향할 수가 있다. 막 형성 후에 열처리 등의 결정화 처리를 수행함으로써, 또는 막을 형성할 때, 결정부가 형성된다.

[0252] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동을 저감할 수 있다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0253] 또한 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0254] CAAC-OS막은 예를 들어, 다결정인 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법에 의해 형성한다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 갖는 평판 형상, 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리되는 것이 생각된다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막이 형성되는 것으로 생각된다.

[0255] 또한 CAAC-OS막을 형성하기 위해서 이하의 조건을 적용하는 것이 바람직하다.

[0256] 막을 형성할 때 불순물이 혼입되는 것을 저감시킴으로써 불순물로 인하여 결정이 흐트러지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 등)를 저감시키면 좋다. 또한 성막 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 노점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0257] 또한 막을 형성할 때의 기판의 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션(migration)이 촉진되는 것으로 생각된다. 따라서, 기판의 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 막을 형성하는 것이 바람직하다. 막을 형성할 때의 기판의 가열 온도를 높임으로써, 기판 위에서 기판에 도달한 평판 형상의 스퍼터링 입자의 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 평행한 상태로 산화물 반도체막이 형성되는 것으로 생각된다.

[0258] 또한 성막 가스 중의 산소의 비율을 높이고 전력을 최적화함으로써, 막을 형성할 때의 플라즈마 데미지를 경감시키면 바람직하다. 성막 가스 중의 산소의 비율은 30vol.% 이상, 바람직하게는 100vol.%로 한다.

[0259] 스퍼터링용 타깃의 일례로서 In-Ga-Zn-O 화합물 타깃을 예로 들어, 이하에서 설명한다.

[0260]  $InO_x$  분말,  $GaO_y$  분말, 및  $ZnO_z$  분말을 소정의 mol수비로 혼합하고, 가압 처리를 수행한 후 1000°C 이상 1500°C 이하의 온도로 열처리를 수행함으로써, 다결정인 In-Ga-Zn-O 화합물 타깃으로 제작한다. 또한 X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들어,  $InO_x$  분말,  $GaO_y$  분말, 및  $ZnO_z$  분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류, 및 이들을 혼합하는 mol수비는 제작하는 스퍼터링 용 타깃에 따라 적절히 변경하면 좋다.

[0261] 다음에, 본 발명의 반도체 장치가 갖는 트랜지스터의 구체적인 구성의 일례에 대해서 설명한다.

[0262] 도 13a에 도시된 트랜지스터는 채널 에치 구조를 갖는 하부 게이트형 트랜지스터이다.

[0263] 그리고 도 13a에 도시된 트랜지스터는 절연 표면 위에 형성된 게이트 전극(게이트)(1602)과, 게이트 전극(1602) 위의 게이트 절연막(1603)과, 게이트 절연막(1603) 위에서 게이트 전극(1602)과 중첩된 반도체막(1604)과, 반도체막(1604) 위에 형성된 도전막(1605), 도전막(1606)을 갖는다. 또한 상기 트랜지스터는 반도체막(1604), 도전막(1605) 및 도전막(1606) 위에 형성된 절연막(1607)을 그 구성 요소에 포함하여도 좋다.

[0264] 도 13a에 도시된 트랜지스터는 반도체막(1604)과 중첩되는 위치에서 절연막(1607) 위에 형성된 백 게이트 전극을 추가적으로 가져도 좋다.

- [0265] 도 13b에 도시된 트랜지스터는 채널 보호 구조를 갖는 하부 게이트형 트랜지스터이다.
- [0266] 그리고 도 13b에 도시된 트랜지스터는 절연 표면 위에 형성된 게이트 전극(1612)과, 게이트 전극(1612) 위의 게이트 절연막(1613)과, 게이트 절연막(1613) 위에서 게이트 전극(1612)과 중첩된 반도체막(1614)과, 반도체막(1614) 위에 형성된 채널 보호막(1618)과, 반도체막(1614) 위에 형성된 도전막(1615), 도전막(1616)을 갖는다. 또한 상기 트랜지스터는 채널 보호막(1618), 도전막(1615) 및 도전막(1616) 위에 형성된 절연막(1617)을 그 구성 요소에 포함하여도 좋다.
- [0267] 또한 도 13b에 도시된 트랜지스터는 반도체막(1614)과 중첩되는 위치에서 절연막(1617) 위에 형성된 백 게이트 전극을 추가적으로 가져도 좋다.
- [0268] 채널 보호막(1618)을 형성함으로써, 반도체막(1614)의 채널 형성 영역이 되는 부분에 대해, 이후의 공정에서 에칭될 때의 플라즈마나 에칭제에 기인한 막 감소 등의 테미지를 방지할 수 있다. 따라서, 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0269] 도 13c에 도시된 트랜지스터는 하부 접촉(bottom contact) 구조를 갖는 하부 게이트형 트랜지스터이다.
- [0270] 그리고 도 13c에 도시된 트랜지스터는 절연 표면 위에 형성된 게이트 전극(1622)과, 게이트 전극(1622) 위의 게이트 절연막(1623)과, 게이트 절연막(1623) 위의 도전막(1625), 도전막(1626)과, 게이트 절연막(1623) 위에서 게이트 전극(1622)과 중첩되고 또 도전막(1625), 도전막(1626) 위에 형성된 반도체막(1624)을 갖는다. 또한 상기 트랜지스터는 도전막(1625), 도전막(1626), 및 반도체막(1624) 위에 형성된 절연막(1627)을 그 구성 요소에 포함하여도 좋다.
- [0271] 도 13c에 도시된 트랜지스터는 반도체막(1624)과 중첩되는 위치에서 절연막(1627) 위에 형성된 백 게이트 전극을 추가적으로 가져도 좋다.
- [0272] 도 13d에 도시된 트랜지스터는 하부 접촉 구조를 갖는 상부 게이트(top-gate)형 트랜지스터이다.
- [0273] 그리고, 도 13d에 도시된 트랜지스터는 절연 표면 위에 형성된 도전막(1645), 도전막(1646)과, 절연 표면 및 도전막(1645), 도전막(1646) 위에 형성된 반도체막(1644)과, 도전막(1645), 도전막(1646), 및 반도체막(1644) 위에 형성된 게이트 절연막(1643)과, 게이트 절연막(1643) 위에서 반도체막(1644)과 중첩되는 게이트 전극(1642)을 갖는다. 또한 상기 트랜지스터는 게이트 전극(1642) 위에 형성된 절연막(1647)을 그 구성 요소에 포함하여도 좋다.
- [0274] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0275] (실시형태 4)
- [0276] 도 14는 표시 장치의 일 형태에 상당하는 패널의 일례를 도시한 도면이고, 이것을 사용하여 설명한다. 도 14에 도시된 패널은 기판(700)과, 기판(700) 위의 화소부(701), 신호선 구동 회로(702), 주사선 구동 회로(703), 및 단자(704)를 갖는다.
- [0277] 화소부(701)는 복수의 화소를 갖고, 각 화소에는 표시 소자와, 상기 표시 소자의 동작을 제어하는 단수 또는 복수의 트랜지스터가 형성되어 있다. 주사선 구동 회로(703)는 각 화소에 접속된 주사선에 대한 전위의 공급을 제어함으로써, 화소부(701)가 갖는 화소를 선택한다. 신호선 구동 회로(702)는 주사선 구동 회로(703)에 의해 선택된 화소에 대한 화상 신호의 공급을 제어한다.
- [0278] 신호선 구동 회로(702) 및 주사선 구동 회로(703) 중 하나 또는 양쪽 모두는 실시형태 1에 제시된 인버터 회로, 실시형태 2에 제시된 플립플롭 회로 또는 실시형태 2에 제시된 시프트 레지스터를 포함한다. 이와 같이 하면, 실시형태 1 및 실시형태 2에서 설명한 효과를 나타낼 수 있음과 함께, 화소부(701)를 크게 할 수 있다. 또한 화소부(701)에 많은 화소를 형성할 수 있다.
- [0279] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0280] (실시형태 5)
- [0281] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치) 등의 전자 기기에 사용할 수 있다. 이 이외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라나 디지

털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이를 전자 기기의 구체적인 예를 도 15a 내지 도 15e에 도시하였다.

[0282] 도 15a는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008)(stylus) 등을 갖는다. 휴대형 게임기의 구동 회로에, 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 소비 전력이 낮고, 동작이 안정적인 휴대형 게임기를 제공할 수 있다. 표시부(5003) 또는 표시부(5004)에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 고화질의 휴대형 게임기를 제공할 수 있다. 또한 도 15a에 도시된 휴대형 게임기는 2개의 표시부(5003)와 표시부(5004)를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이것에 한정되지 않는다.

[0283] 도 15b는 표시 기기이며, 하우징(5201), 표시부(5202), 지지대(5203) 등을 갖는다. 표시 기기의 구동 회로에, 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 소비 전력이 낮고, 동작이 안정적인 표시 기기를 제공할 수 있다. 표시부(5202)에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 고화질의 표시 기기를 제공할 수 있다. 또한 표시 기기에는 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 기기가 포함된다.

[0284] 도 15c는 노트북 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다. 노트북 퍼스널 컴퓨터의 구동 회로에, 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 소비 전력이 낮고 동작이 안정적인 노트북 퍼스널 컴퓨터를 제공할 수 있다. 표시부(5402)에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 고화질의 노트북 퍼스널 컴퓨터를 제공할 수 있다.

[0285] 도 15d는 휴대 정보 단말이며, 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 갖는다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601) 및 제 2 하우징(5602)은 접속부(5605)에 의해 접속되어 있고, 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)에 의해 변경할 수 있다. 제 1 표시부(5603)에 표시되는 영상은 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 전환되는 구성으로 하여도 좋다. 또한 제 1 표시부(5603) 및 제 2 표시부(5604) 중 적어도 하나에 위치 입력 장치로서의 기능이 부가된 반도체 표시 장치를 사용하여도 좋다. 또한 위치 입력 장치로서의 기능은 반도체 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 반도체 표시 장치의 화소부에 제공함으로써도 부가할 수 있다. 휴대 정보 단말의 구동 회로에, 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 소비 전력이 낮고, 동작이 안정적인 휴대형 게임기를 제공할 수 있다. 제 1 표시부(5603) 또는 제 2 표시부(5604)에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 고화질의 휴대 정보 단말을 제공할 수 있다.

[0286] 도 15e는 휴대 전화이며, 하우징(5801), 표시부(5802), 음성 입력부(5803), 음성 출력부(5804), 조작 키(5805), 수광부(5806) 등을 갖는다. 수광부(5806)에 있어서 수신한 빛을 전기 신호로 변환함으로써, 외부의 화상을 취득할 수 있다. 휴대 전화의 구동 회로에, 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 소비 전력이 낮고, 동작이 안정적인 휴대 전화를 제공할 수 있다. 표시부(5802)에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 고화질의 휴대 전화를 제공할 수 있다.

[0287] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

### 부호의 설명

11: 배선	11A: 배선
11B: 배선	12: 배선
13: 배선	13A: 배선
13B: 배선	13C: 배선
14: 배선	21: 배선
22: 배선	23: 배선
24: 배선	25: 배선

26: 배선	31: 배선
32: 배선	33: 배선
34: 배선	100: 회로
101: 트랜지스터	102: 트랜지스터
200: 회로	201: 트랜지스터
202: 트랜지스터	203: 트랜지스터
204: 용량 소자	205: 트랜지스터
300: 회로	300A: 회로
300B: 회로	300C: 회로
301: 저항 소자	302: 용량 소자
303: 트랜지스터	304: 트랜지스터
305: 트랜지스터	306: 트랜지스터
307: 트랜지스터	401: 트랜지스터
402: 트랜지스터	403: 트랜지스터
404: 트랜지스터	405: 트랜지스터
406: 트랜지스터	407: 트랜지스터
408: 트랜지스터	409: 트랜지스터
500: 회로	600: 플립플롭 회로
600_1: 플립플롭 회로	600_2: 플립플롭 회로
600_3: 플립플롭 회로	700: 기판
701: 화소부	702: 신호선 구동 회로
703: 주사선 구동 회로	704: 단자
800: 기판	802: 게이트 절연막
812: 도전막	813: 반도체막
814: 도전막	815: 도전막
816: 도전막	817: 반도체막
818: 도전막	819: 도전막
820: 절연막	821: 절연막
822: 도전막	823: 콘택트 홀
824: 절연막	825: EL층
826: 도전막	830: 트랜지스터
831: 트랜지스터	832: 발광 소자
833: 용량 소자	840: 화소
841: 구동 회로	1602: 게이트 전극
1603: 게이트 절연막	1604: 반도체막
1605: 도전막	1606: 도전막

1607: 절연막	1612: 게이트 전극
1613: 게이트 절연막	1614: 반도체막
1615: 도전막	1616: 도전막
1617: 절연막	1618: 채널 보호막
1622: 게이트 전극	1623: 게이트 절연막
1624: 반도체막	1625: 도전막
1626: 도전막	1627: 절연막
1642: 게이트 전극	1643: 게이트 절연막
1644: 반도체막	1645: 도전막
1646: 도전막	1647: 절연막
5001: 하우징	5002: 하우징
5003: 표시부	5004: 표시부
5005: 마이크로폰	5006: 스피커
5007: 조작 키	5008: 스타일러스
5201: 하우징	5202: 표시부
5203: 지지대	5401: 하우징
5402: 표시부	5403: 키보드
5404: 포인팅 디바이스	5601: 하우징
5602: 하우징	5603: 표시부
5604: 표시부	5605: 접속부
5606: 조작 키	5801: 하우징
5802: 표시부	5803: 음성 입력부
5804: 음성 출력부	5805: 조작 키
5806: 수광부	M1: 트랜지스터
M2: 트랜지스터	M3: 트랜지스터
M4: 트랜지스터	M11: 트랜지스터
M12: 트랜지스터	M13: 트랜지스터
M14: 트랜지스터	M15: 트랜지스터
M16: 트랜지스터	M17: 트랜지스터
M18: 트랜지스터	M19: 트랜지스터
C11: 용량 소자	VDD: 전위
VSS: 전위	N1: 노드
N2: 노드	N3: 노드
N4: 노드	SP: 신호
RE: 신호	CK: 신호
CKB: 신호	IN: 신호

SSP: 신호

OUT: 신호

SOUT: 신호

SOUTa: 신호

SOUTb: 신호

SOUT\_1: 신호

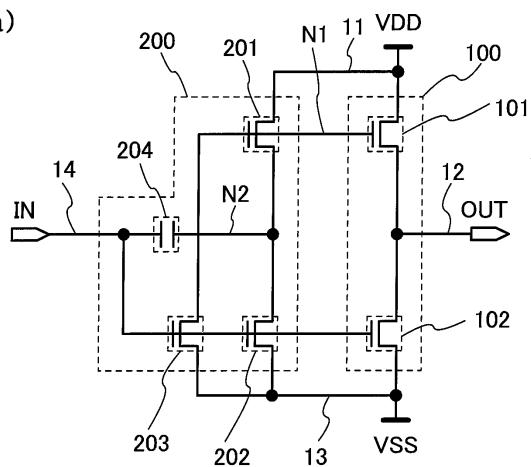
SOUT\_i: 신호

SOUT\_N: 신호

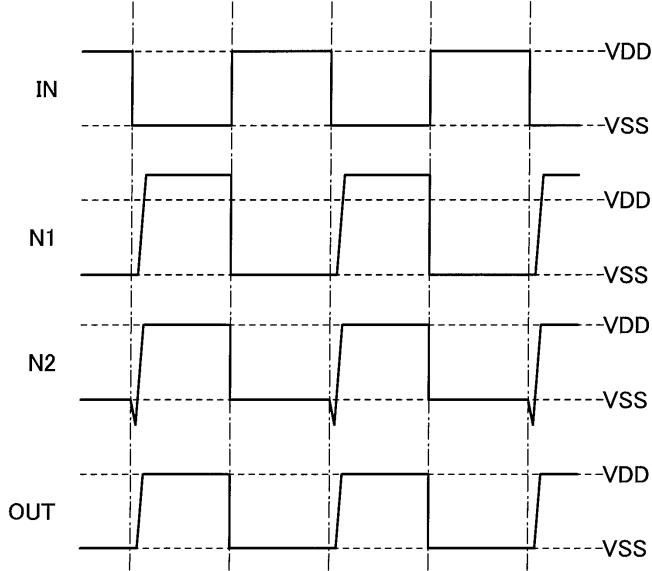
## 도면

## 도면1

(a)

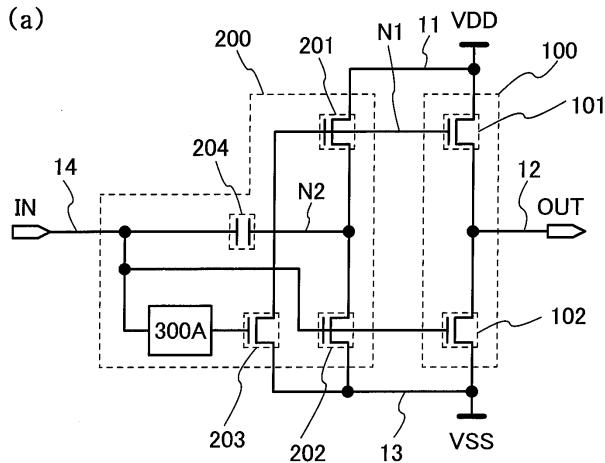


(b)

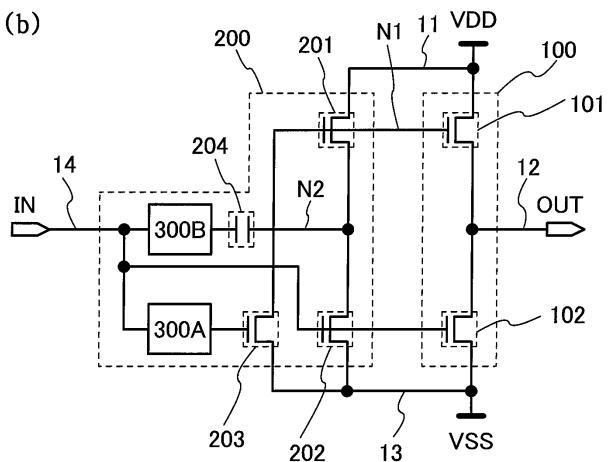


## 도면2

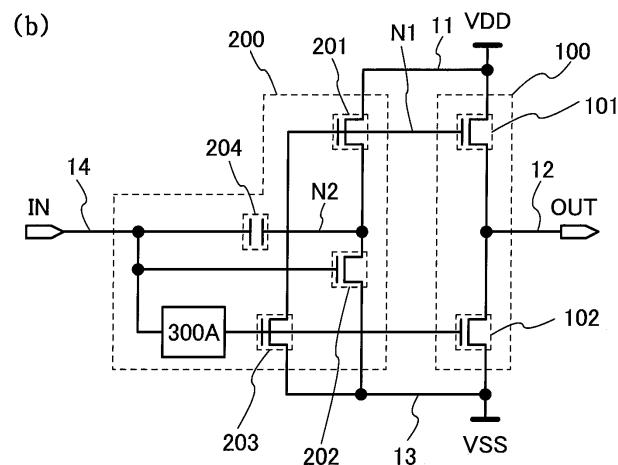
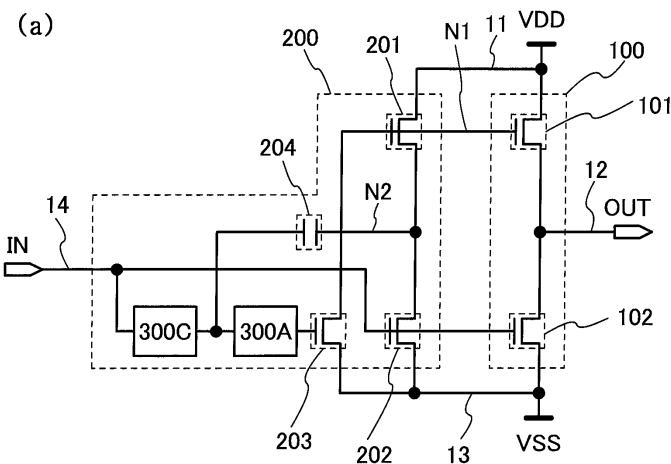
(a)



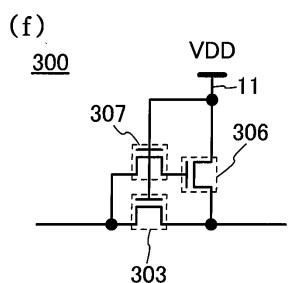
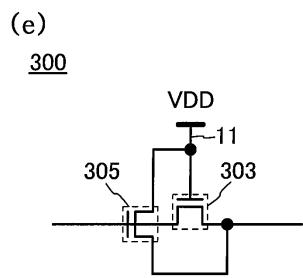
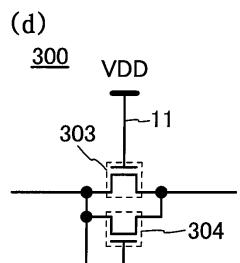
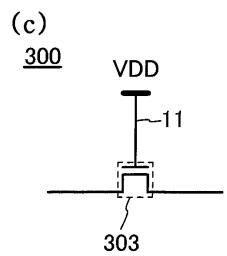
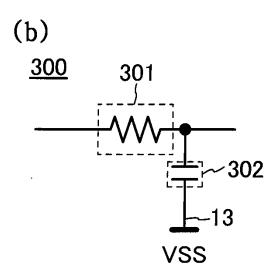
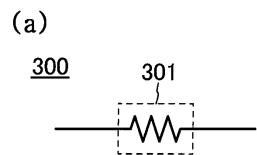
(b)



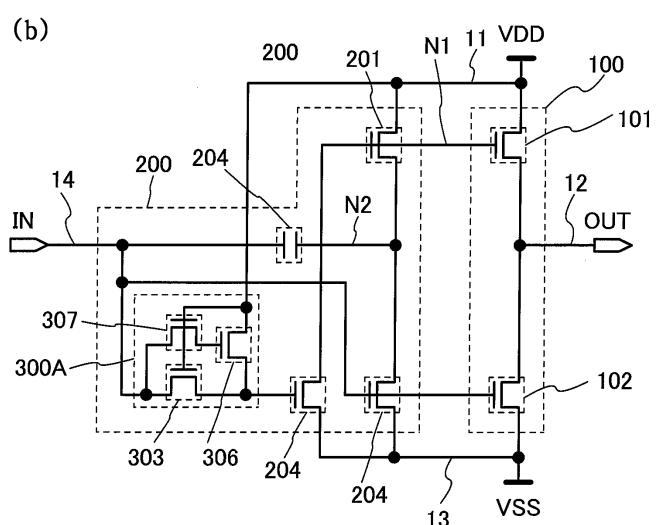
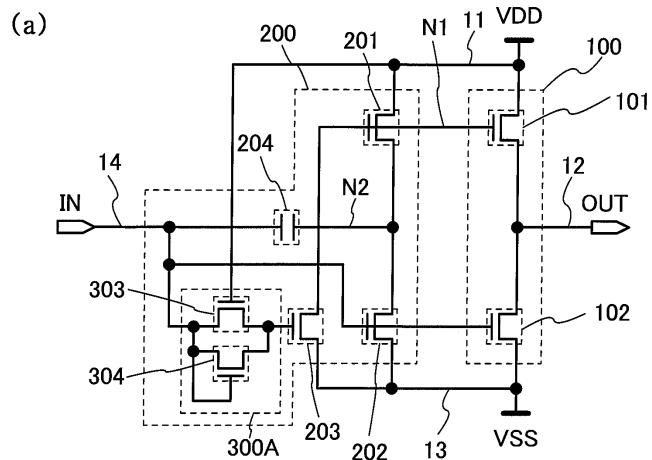
## 도면3



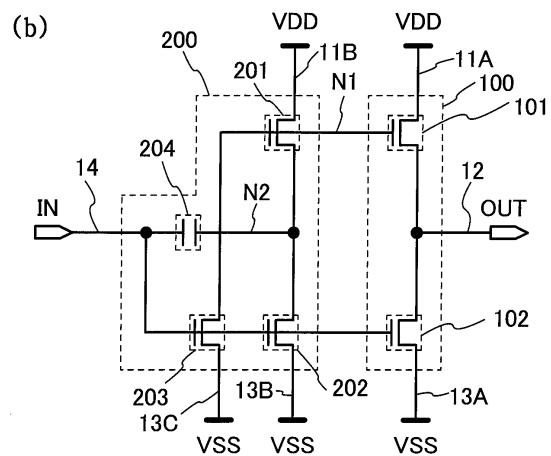
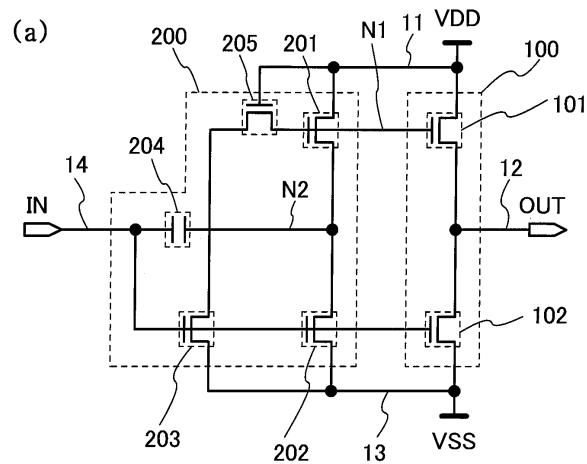
## 도면4



## 도면5

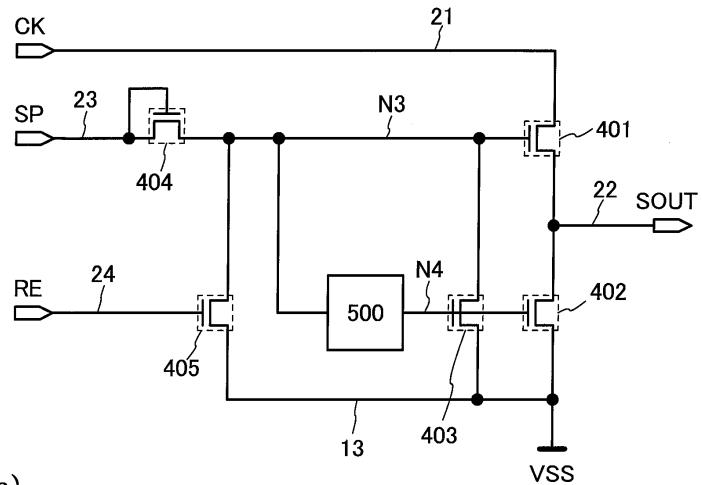


## 도면6

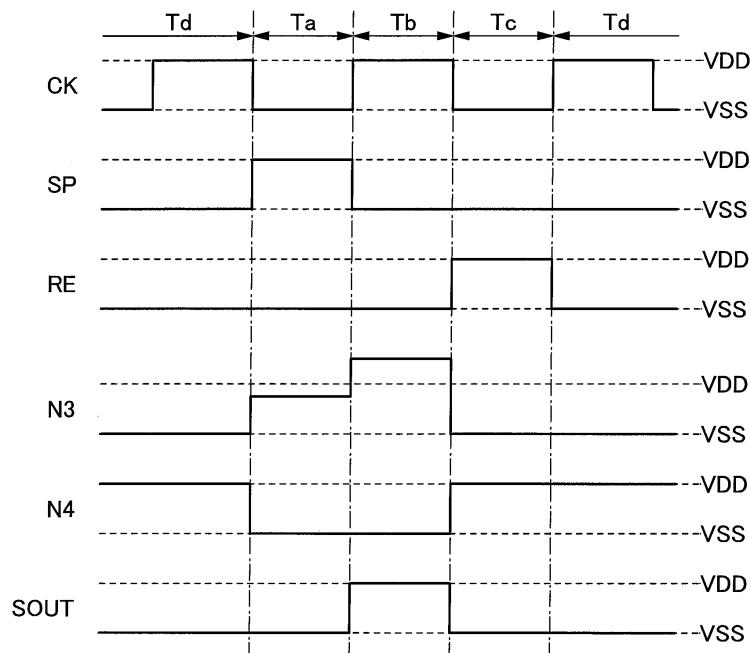


## 도면7

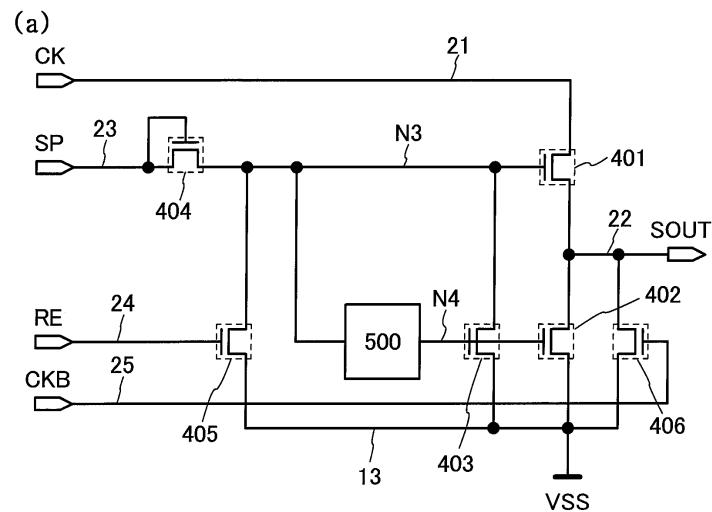
(a)



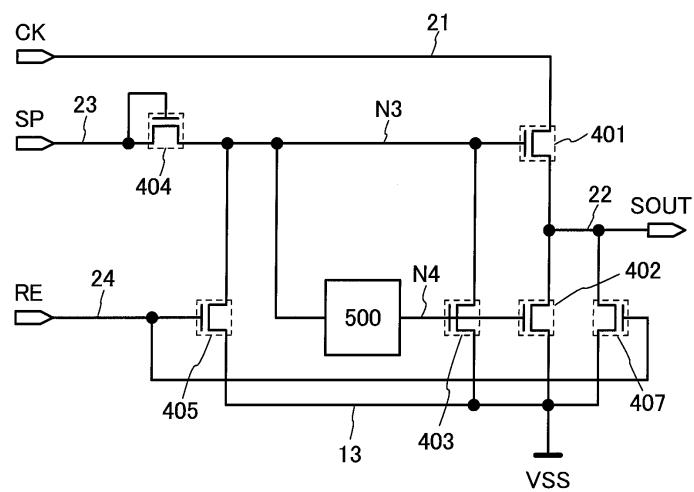
(b)



## 도면8

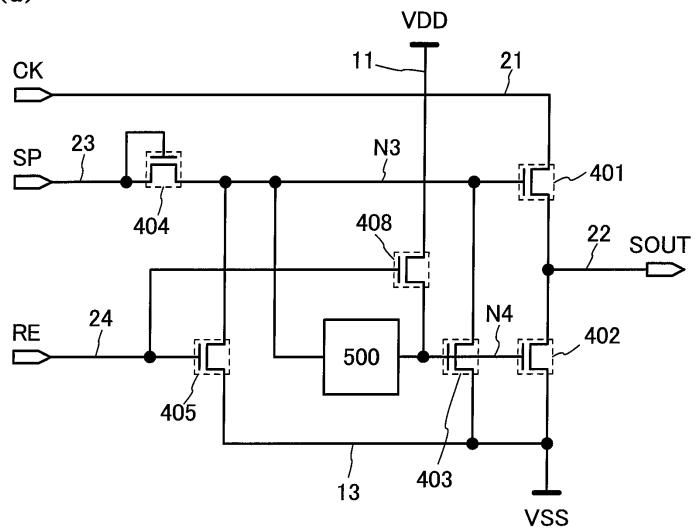


(b)

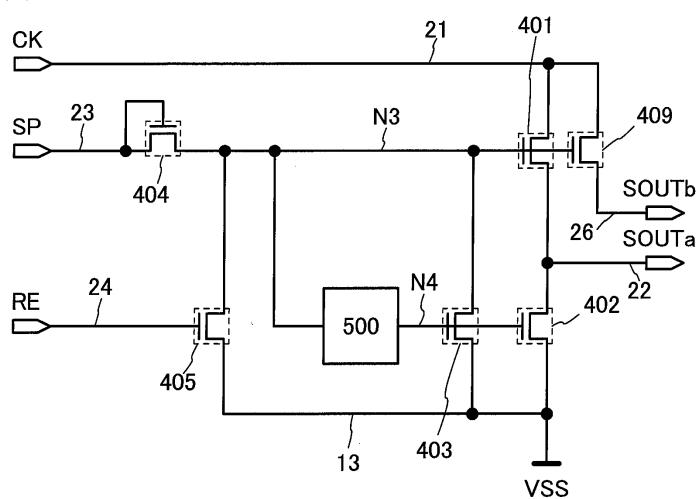


## 도면9

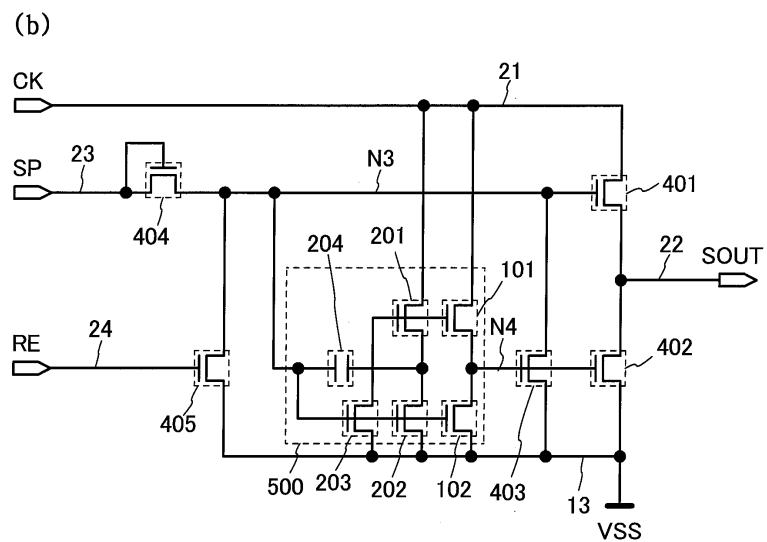
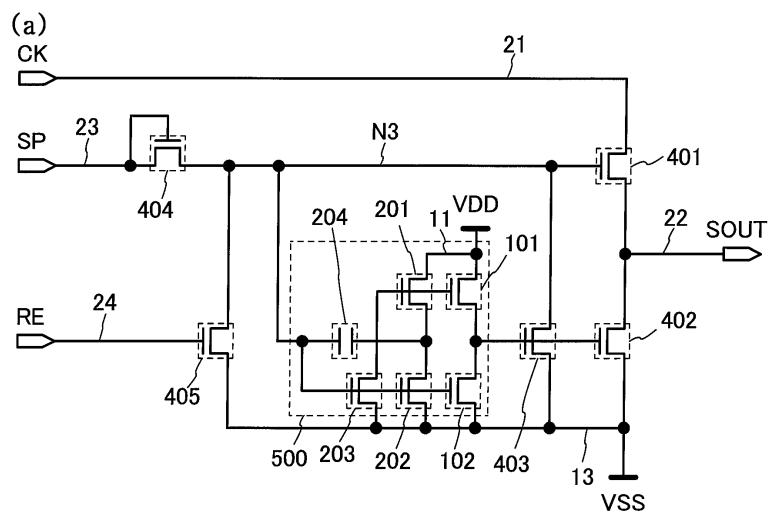
(a)



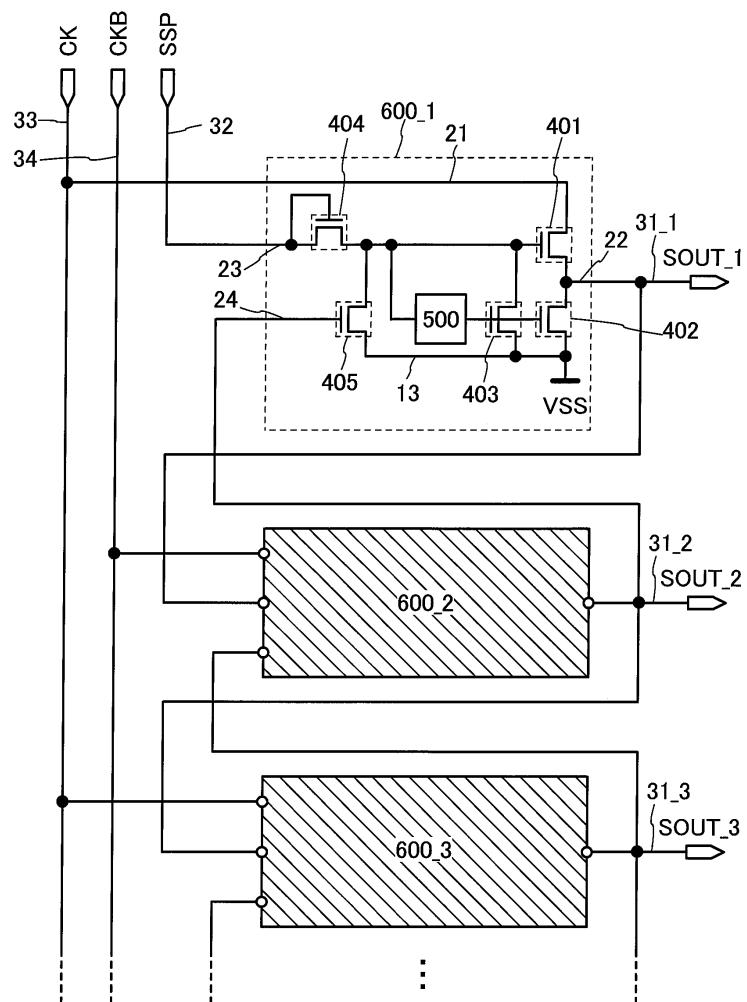
(b)



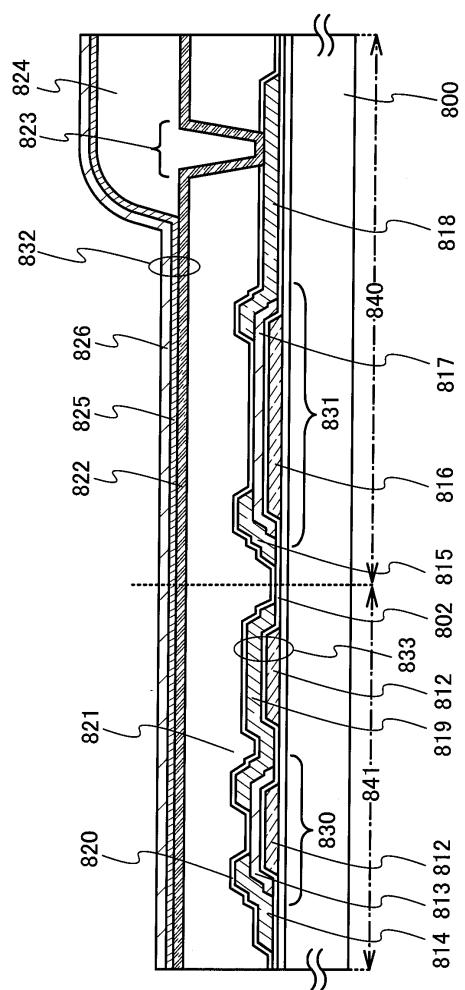
## 도면10



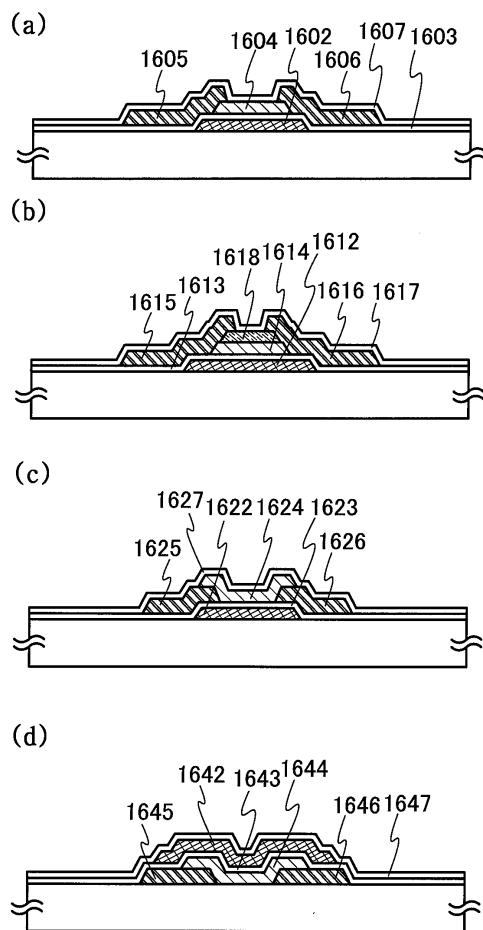
## 도면11



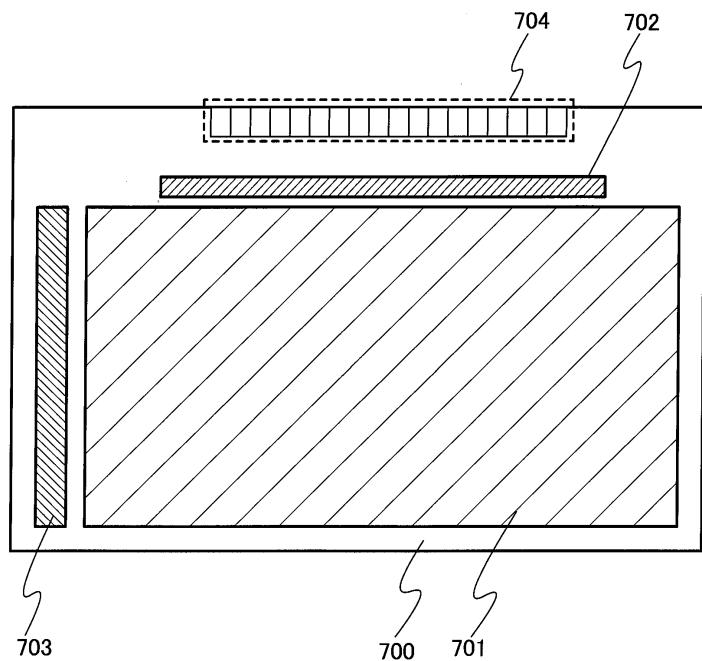
도면12



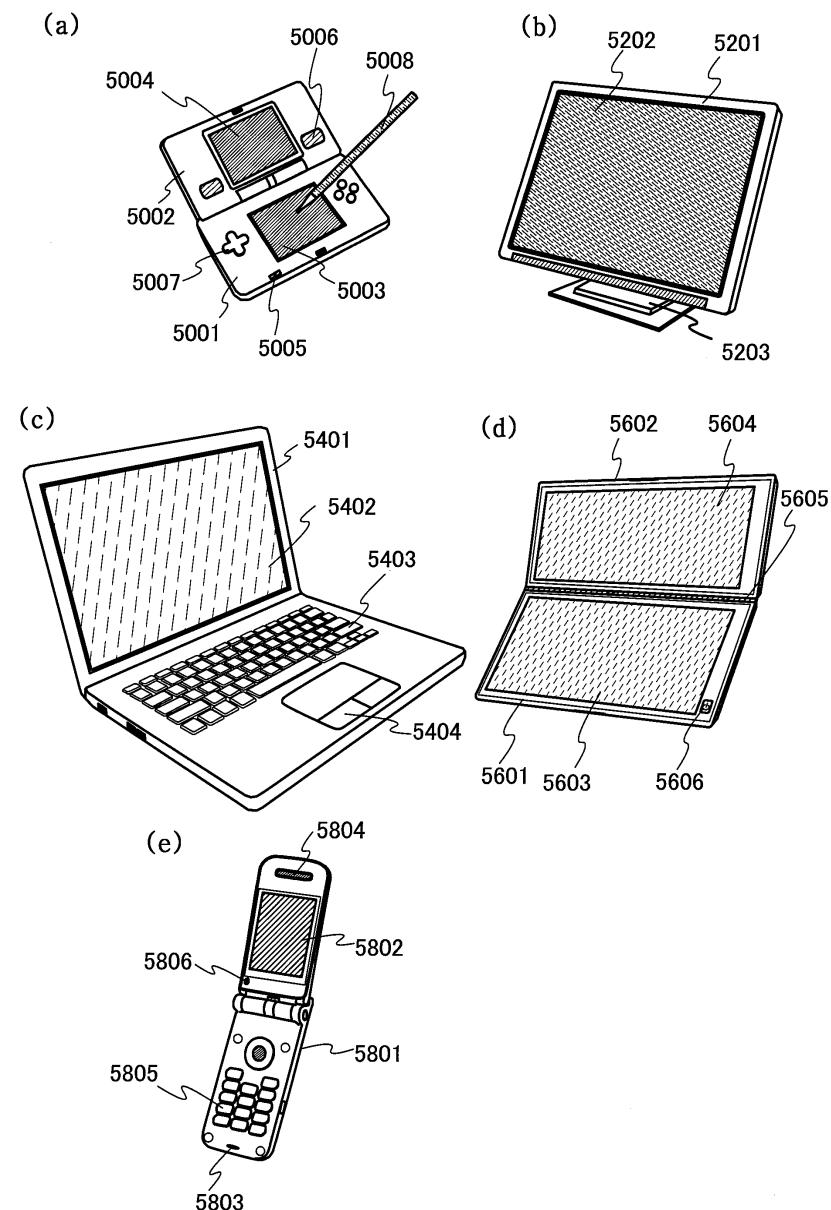
## 도면13



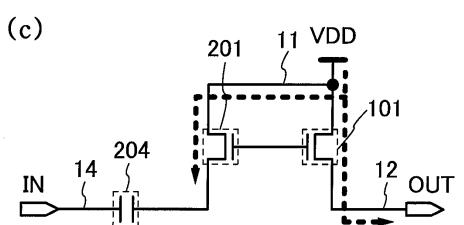
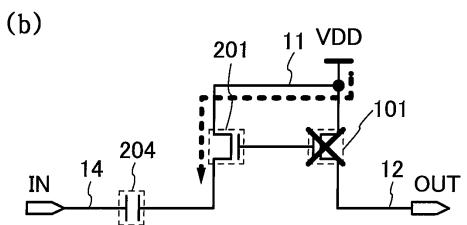
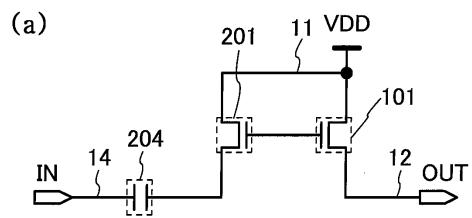
## 도면14



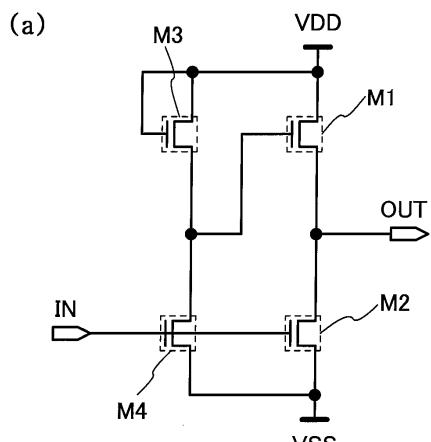
## 도면15



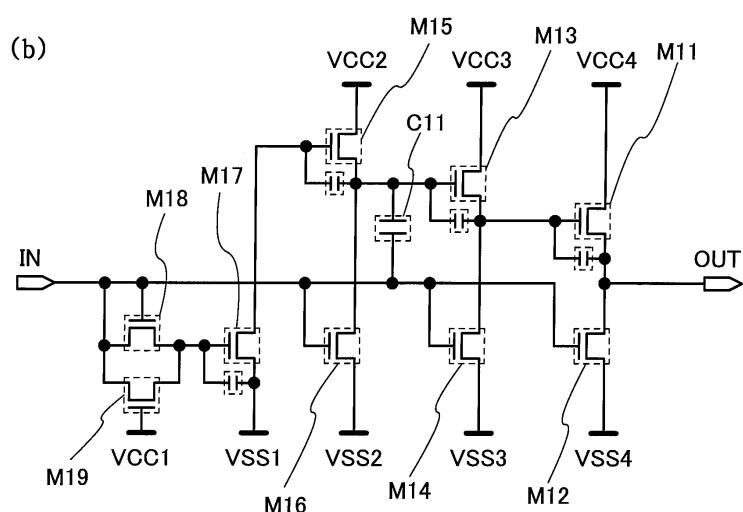
## 도면16



## 도면17



선행 문헌



선행 문헌