

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-64355

(P2014-64355A)

(43) 公開日 平成26年4月10日(2014.4.10)

(51) Int.Cl.
H02M 1/08 (2006.01)F I
H02M 1/08テーマコード (参考)
5H740

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2012-206829 (P2012-206829)
(22) 出願日 平成24年9月20日 (2012.9.20)(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 100112003
弁理士 星野 裕司
(74) 代理人 100145344
弁理士 渡辺 和徳
(72) 発明者 竹内 亨
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
Fターム(参考) 5H740 AA10 BA13 BC01 BC02 JA01
JB01 KK01 LL03 MM12 NN17

(54) 【発明の名称】 半導体駆動装置

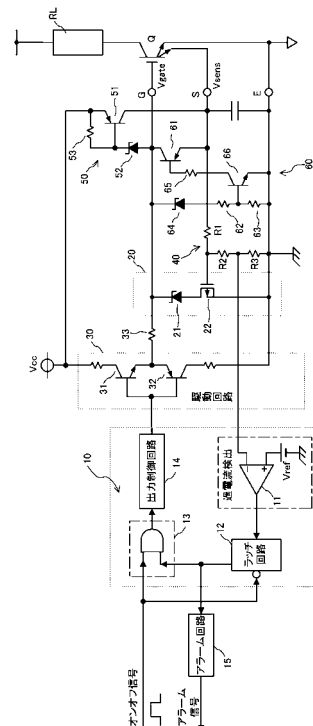
(57) 【要約】

【課題】半導体スイッチング素子のゲート容量等に起因する誤動作の発生を防止して該半導体スイッチング素子の安定した動作を保証し得る半導体駆動装置を提供する。

【解決手段】半導体スイッチング素子に流れる電流を検出する過電流検出端子と、半導体スイッチング素子に流れる電流が予め設定した電流値を超えたときに前記半導体スイッチング素子の駆動を遮断するゲート遮断回路と、前記半導体スイッチング素子に流れる電流に応じて前記半導体スイッチング素子のゲート電圧を低下させる電流制限回路とを備え、

特に前記半導体スイッチング素子のゲート電圧が第1の閾値電圧よりも低いときに導通して内部電源電圧を前記過電流検出端子に印加する第1のスイッチ回路と、前記ゲート電圧が第2の閾値電圧を超えたときに導通して前記過電流検出端子の電圧を前記ゲート電圧にてクランプする第2のスイッチ回路とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体スイッチング素子にゲート駆動信号を印加して該半導体スイッチング素子をオン・オフ駆動する駆動回路と、

前記半導体スイッチング素子に流れる電流を検出する過電流検出端子と、

この過電流検出端子を介して検出された電流が予め設定した電流値を超えたとき、前記駆動回路の作動を停止させて前記半導体スイッチング素子の駆動を遮断するゲート遮断回路と、

前記過電流検出端子を介して検出された電流に従って前記半導体スイッチング素子のゲート電圧を低下させる電流制限回路とを備え、

更に内部電源と前記過電流検出端子との間に設けられて前記ゲート電圧が第 1 の閾値電圧よりも低いときに導通して前記内部電源の出力電圧を前記過電流検出端子に印加する第 1 のスイッチ回路と、

前記半導体スイッチング素子のゲートと前記過電流検出端子との間に設けられて前記ゲート駆動電圧が第 2 の閾値電圧を超えたときに導通して前記過電流検出端子の電圧を前記ゲート電圧にてクランプする第 2 のスイッチ回路とを具備したことを特徴とする半導体駆動装置。

10

【請求項 2】

前記第 1 のスイッチ回路は、前記内部電源にエミッタを接続すると共に、コレクタを前記過電流検出端子に接続してなり、前記ゲート電圧を第 1 のツェナーダイオードを介してレベルシフトした電圧をベースに受けて導通駆動される第 1 のバイポーラトランジスタからなる請求項 1 に記載の半導体駆動装置。

20

【請求項 3】

前記第 2 のスイッチ回路は、前記半導体スイッチング素子のゲートにコレクタを接続すると共に、エミッタを前記過電流検出端子に接続した第 2 のバイポーラトランジスタと、前記ゲート電圧を第 2 のツェナーダイオードを介してレベルシフトした電圧により導通駆動されて前記第 2 のバイポーラトランジスタのベース電圧を制御して該第 2 のバイポーラトランジスタを導通駆動する第 3 のバイポーラトランジスタとからなる請求項 1 に記載の半導体駆動装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、例えば電力変換装置における半導体スイッチング素子に対する過電流保護機能を備えた半導体駆動装置に関する。

【背景技術】**【0002】**

入力電圧を IGBT 等の半導体スイッチング素子を用いてスイッチングして所望とする出力電圧を得る電力変換装置には、例えば図 3 に示すように、負荷短絡等の事故に起因する過電流から前記半導体スイッチング素子 Q を保護する為のゲート遮断回路 10 や電流制限回路 20 等の保護回路が設けられる。前記ゲート遮断回路 10 は、前記半導体スイッチング素子 Q に流れる負荷電流が予め設定した電流制限値を超えたとき、前記半導体スイッチング素子 Q に加えるゲート制御信号を遮断することで、該半導体スイッチング素子 Q をオフする役割を担う。

40

【0003】

尚、図 3 において 30 はゲート制御信号を出力して前記半導体スイッチング素子 Q をオンオフ駆動する駆動回路である。また 40 は直列接続された分圧抵抗 R1, R2, R3 となり、前記半導体スイッチング素子 Q の電流検出用エミッタ出力を受けて該半導体スイッチング素子 Q に流れる電流（コレクタ電流）に相当する電圧を生成する分圧回路である。前記ゲート遮断回路 10 は、上記分圧回路 40 により検出された電圧を比較器 11 にて基準電圧（電流制限値）Vref と比較することで過電流を検出し、ラッチ回路 12 をセット

50

することで論理ゲート回路 13 を制御し、オンオフ信号の出力制御回路 14 への伝達を遮断して前記半導体スイッチング素子 Q の駆動を停止させるように構成される。尚、図中 15 は、前記ラッチ回路 12 の出力を受けてアラーム信号を出力するアラーム回路である。

【0004】

しかし前記ゲート遮断回路 10 により前記半導体スイッチング素子 Q を遮断（オフ）するまでには、前述したように前記比較器 11 による過電流の検出、ラッチ回路 12 のセット、論理ゲート回路 13 による論理動作、出力制御回路 14 の動作停止と言う手順が必要であり、一般的には数 μ 秒程度の応答遅れが生じることが否めない。この為、この応答遅れの間に前記半導体スイッチング素子 Q が破壊する可能性がある。

【0005】

10

これに対して前記電流制限回路 20 は、前記半導体スイッチング素子 Q のゲートにツェナーダイオード 21 を介してドレインを接続し、前記分圧回路 40 により検出された電圧をゲートに受けて動作する MOSFET 22 とを備えて構成される。この MOSFET 22 は、前記半導体スイッチング素子 Q が正常にオン動作しているときにはオフ状態を維持する。そして前記半導体スイッチング素子 Q に流れる電流が増大したとき、前記 MOSFET 22 はオン状態となって前記ツェナーダイオード 21 を介して前記半導体スイッチング素子 Q のゲート電圧を低下させる。このゲート電圧の低下制御により前記半導体スイッチング素子 Q のオン抵抗が増大し、これに伴って該半導体スイッチング素子 Q に流れる電流が減少する。

【0006】

20

即ち、この電流制限回路 20 は、前記半導体スイッチング素子 Q に流れる負荷電流（コレクタ電流）が前記電流制限値を超えたとき、前記半導体スイッチング素子 Q のゲート電圧を低下させ、該半導体スイッチング素子 Q に流れる電流を一定値以下に抑制することで、前記ゲート遮断回路 10 が動作する前に前記半導体スイッチング素子 Q が破壊することを防止する役割を担う（例えば特許文献 1, 2 を参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2002 - 353795 号公報

【特許文献 2】特開 2008 - 42950 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで前記半導体スイッチング素子 Q のターンオン・ターンオフ時には、前記ゲート制御信号の立上り・立下り期間、コレクタ・エミッタ間電位の上昇・下降期間において、該半導体スイッチング素子 Q のゲート容量の影響を受けて前記分圧回路 40 により検出される電圧が変化する。特に半導体スイッチング素子 Q のターンオン時には、前記ゲート容量の充電に伴って、前記分圧回路 40 に前記半導体スイッチング素子 Q に流れる電流に比例した電圧よりも大きな電圧が加わることがある。

【0009】

40

このような電圧が前記ゲート遮断回路 10 における前記比較器 11 の基準電圧 V_{ref} を超えると、該ゲート遮断回路 10 はゲート遮断動作に移行することになる。また前記電圧が前記電流制限回路 20 における MOSFET 22 の動作閾値電圧を超えると、前記ツェナーダイオード 21 が導通し、半導体スイッチング素子 Q のゲート電圧を引き下げる。すると前記半導体スイッチング素子 Q のオン抵抗が増大して発熱が生じると共に、該半導体スイッチング素子 Q での電力損失が増大するという不具合が生じる。

【0010】

本発明はこのような事情を考慮してなされたもので、その目的は、負荷短絡等の事故が発生した場合には半導体スイッチング素子の破壊を確実に防止すると共に、通常のスイッチング動作時には半導体スイッチング素子のゲート容量等に起因する誤動作の発生を防止

50

して該半導体スイッチング素子の安定した動作を保証することのできる半導体駆動装置を提供することにある。

【課題を解決するための手段】

【0011】

上述した目的を達成するべく本発明に係る半導体駆動装置は、

I G B T等の半導体スイッチング素子にゲート駆動信号を断続的に印加して該半導体スイッチング素子をオン・オフ駆動する駆動回路と、

前記半導体スイッチング素子に流れる電流を検出する過電流検出端子と、

この過電流検出端子を介して検出された電流が予め設定した電流値を超えたとき、前記駆動回路の作動を停止させて前記半導体スイッチング素子の駆動を遮断するゲート遮断回路と、

前記過電流検出端子を介して検出された電流に従って前記半導体スイッチング素子のゲート電圧を低下させる電流制限回路とを備え、

更に内部電源と前記過電流検出端子との間に設けられて前記ゲート電圧が第1の閾値電圧よりも低いときに導通して前記内部電源電圧を前記過電流検出端子に印加する第1のスイッチ回路と、

前記半導体スイッチング素子のゲートと前記過電流検出端子との間に設けられて前記ゲート電圧が第2の閾値電圧を超えたときに導通して前記過電流検出端子の電圧を前記ゲート電圧にてクランプする第2のスイッチ回路と

を具備したことを特徴としている。

【0012】

好ましくは前記第1のスイッチ回路は、内部電源にエミッタを接続すると共に、コレクタを前記過電流検出端子に接続してなり、前記ゲート電圧を第1のツェナーダイオードを介してレベルシフトした電圧をベースに受けて導通駆動される第1のバイポーラトランジスタにより構成される。また前記第2のスイッチ回路は、例えば前記半導体スイッチング素子のゲートにコレクタを接続すると共に、エミッタを前記過電流検出端子に接続した第2のバイポーラトランジスタと、前記ゲート電圧を第2のツェナーダイオードを介してレベルシフトした電圧により導通駆動されて前記第2のバイポーラトランジスタのベース電圧を制御して該第2のバイポーラトランジスタを導通駆動する第3のバイポーラトランジスタとにより構成される。

【発明の効果】

【0013】

上記構成の半導体駆動装置によれば、半導体スイッチング素子のゲート電圧が第1の閾値電圧よりも低いときには、第1のスイッチ回路を介して内部電源電圧が過電流検出端子に加えられ、また前記ゲート駆動電圧が第2の閾値電圧を超えたときには第2のスイッチ回路を介して前記過電流検出端子の電圧が前記ゲート電圧にてクランプされる。

【0014】

従って半導体スイッチング素子のターンオンに伴って該半導体スイッチング素子のゲート・エミッタ間電圧が0Vから上昇する際、前記過電流検出端子の電圧が前記半導体スイッチング素子のゲート電圧以上に上昇することはない。故に電流制限回路が誤動作することはない。また前記半導体スイッチング素子のゲート・エミッタ間電圧が前記内部電源電圧よりも低く抑えられるので、前記ゲート遮断回路も誤動作することはない。

【0015】

また半導体スイッチング素子のターンオフ時には、前記ゲート・エミッタ間電圧の低下に伴って前記過電流検出端子の電圧が前記ゲート電圧にてクランプされ、前記電流制限回路の動作閾値以下に抑えられ、また前記ゲート遮断回路における動作閾値よりも低く抑えられる。この結果、前記電流制限回路が誤動作することがなくなり、また前記ゲート遮断回路も誤動作することがなくなる。故に、前記第1および第2のスイッチ回路を備えると言う簡単な構成で、前記電流制限回路および前記ゲート遮断回路の誤動作を効果的に防止することが可能となる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態に係る半導体駆動装置の要部概略構成図。

【図2】図1に示す半導体駆動装置の動作を説明する為の信号波形図。

【図3】従来一般的な半導体駆動装置の要部概略構成図。

【発明を実施するための形態】

【0017】

以下、図面を参照して本発明の一実施形態に係る半導体駆動装置について説明する。

【0018】

この半導体駆動装置は、例えば電力変換装置におけるIGBT等の半導体スイッチング素子に対する過電流保護機能を備えたもので、概略的には図1に示すように構成される。尚、図3に示す従来装置と同一部分には同一符号を付し、その説明は省略する。またここでは電流検出用のエミッタを備えたIGBTからなる半導体スイッチング素子Qを例に説明するが、シャント抵抗を介して半導体スイッチング素子Qに流れる電流を検出する場合にも同様に適用可能である。

10

【0019】

この半導体駆動装置は、図示しない上位制御装置から与えられる前記半導体スイッチング素子Qに対するオンオフ信号をゲート遮断回路10を介して駆動回路30に与え、この駆動回路30によって前記半導体スイッチング素子Qに対するゲート制御信号を生成するように構成される。ちなみに駆動回路30は、前記オンオフ信号を入力して相補的にオン動作し、内部電源の電圧（内部電源電圧） V_{cc} または接地電圧（0V）を選択的に出力する一対のトランジスタ31, 32からなるプッシュプル回路として構成される。そして上記一対のトランジスタ31, 32からなるプッシュプル回路の出力（ゲート制御信号）は、ゲート抵抗33を介して前記半導体スイッチング素子Qのゲートに加えられるようになっている。

20

【0020】

さてこの半導体駆動装置が特徴とするところは、前記内部電源と前記半導体スイッチング素子Qの過電流検出端子Sとの間に第1のスイッチ回路50を備えると共に、前記半導体スイッチング素子Qのゲートと前記過電流検出端子Sとの間に第2のスイッチ回路60を備える点にある。

30

【0021】

前記第1のスイッチ回路50は、例えば前記内部電源にエミッタを接続すると共に、コレクタを前記過電流検出端子Sに接続した第1のトランジスタ（pnpトランジスタ）51と、この第1のトランジスタ51のベースにカソードを接続し、前記半導体スイッチング素子Qのベースにアノードを接続した第1のツェナーダイオード52と、前記第1のトランジスタ61のベース・エミッタ間に接続した抵抗53とからなる。

【0022】

このように構成された第1のスイッチ回路50、特に前記内部電源と前記過電流検出端子Sとの間に介装された前記トランジスタ51は、前記半導体スイッチング素子Qのゲート電圧が前記ツェナーダイオード52の降伏電圧として規定される第1の閾値電圧 V_1 よりも低いときに導通して前記内部電源電圧 V_{cc} を前記過電流検出端子Sに印加する役割を担う。尚、前記ゲート電圧が前記第1の閾値電圧 V_1 よりも高いときには、前記トランジスタ51はオフ状態に保たれる。この結果、前記過電流検出端子Sの電圧 V_{sens} は、前記半導体スイッチング素子Qの電流検出用エミッタから前記抵抗 R_1, R_2, R_3 の直列回路40を介して流れる電流によって生起される電圧となる。

40

【0023】

一方、前記第2のスイッチ回路60は、前記半導体スイッチング素子Qのゲートにコレクタを接続すると共に、エミッタを前記過電流検出端子Sに接続した第2のバイポーラトランジスタ（pnpトランジスタ）61と、前記半導体スイッチング素子Qのゲートにカソードを接続すると共に、直列接続された抵抗62, 63を介してアノードを接地した第

50

2のツェナーダイオード64とを備える。更にこの第2のスイッチ回路60は、前記第2のバイポーラトランジスタ61のベースに抵抗65を介してコレクタを接続すると共に、エミッタを接地し、前記抵抗62,63の接続点に生起される電圧をベースに受けて動作する第3のバイポーラトランジスタ(npnトランジスタ)66とを備える。

【0024】

このように構成された第2のスイッチ回路60は、前記ゲート電圧が前記ツェナーダイオード64の降伏電圧として規定される第2の閾値電圧 V_2 を超えたときに前記第3のバイポーラトランジスタ66を導通させ、これに伴って前記第2のバイポーラトランジスタ61を導通させることで、前記過電流検出端子Sの電圧 V_{sens} を前記ゲート電圧にてクランプする役割を担う。尚、前記ゲート電圧が前記第2の閾値電圧 V_2 よりも低いときには、前記第2および第3のバイポーラトランジスタ61,66は、オフ状態に保たれる。この結果、前記過電流検出端子Sの電圧 V_{sens} は、前記半導体スイッチング素子Qの電流検出用エミッタから前記抵抗 R_1, R_2, R_3 の直列回路40を介して流れる電流によって生起される電圧そのものとなる。

【0025】

かくして上述した如く機能する第1および第2のスイッチ回路50,60を備えて構成される半導体駆動回路によれば、半導体スイッチング素子Qのターンオン・ターンオフに伴って該半導体スイッチング素子Qのゲート電圧 V_{gate} 、該半導体スイッチング素子Qのコレクタ・エミッタ間電圧 C_{CE} 、およびコレクタ電流 I_c は、図2にその動作波形図を示すように変化する。

【0026】

即ち、前記駆動回路30から前記ゲート駆動信号として内部電源電圧 V_{cc} を出力すると、ゲート抵抗33を介して上記内部電源電圧(ゲート駆動信号) V_{cc} が印加される前記半導体スイッチング素子Qのゲート電圧 V_{gate} は、図2(a)に示すように半導体スイッチング素子Qの動作閾値電圧まで立ち上がり、ゲート容量を充電した後、前記内部電源電圧(ゲート駆動信号) V_{cc} 程度まで立ち上がる。このとき、前記半導体スイッチング素子Qのコレクタ・エミッタ間電圧 C_{CE} は、図2(b)に示すように前記ゲート容量の充電期間に亘って徐々に低下した後、該ゲート容量の充電完了に伴って該半導体スイッチング素子Qがオン状態となる0V近傍の電圧まで一気に低下する。その後、半導体スイッチング素子Qのオン期間には前記コレクタ・エミッタ間電圧 C_{CE} は、該半導体スイッチング素子Qを含む回路特性の影響を受けて0V近傍で緩やかに上昇する。

【0027】

またこのようなターンオン過程を経る前記半導体スイッチング素子Qのコレクタ電流 I_c は、図2(c)に示すように一時的に急激に高まり、その後、該半導体スイッチング素子Qのオン期間には、前記コレクタ・エミッタ間電圧 C_{CE} の漸増に伴って漸増しながら略一定の値に落ち着く。そして前記前記駆動回路30から前記ゲート駆動信号としての内部電源電圧 V_{cc} の出力停止に伴って前記半導体スイッチング素子Qはターンオフし、図2(a)~(c)にそれぞれ示すように前記半導体スイッチング素子Qのゲート電圧 V_{gate} 、コレクタ・エミッタ間電圧 C_{CE} 、およびコレクタ電流 I_c もそれぞれ変化する。

【0028】

ところで前記半導体スイッチング素子Qのターンオン時には、従来一般的には前述したように前記過電流検出端子Sの電圧 V_{sens} に、前記半導体スイッチング素子Qのゲート容量の充電に伴って前記半導体スイッチング素子Qに流れる電流(コレクタ電流 I_c)に比例した電圧よりも大きな電圧が加わることがある。そしてこの電圧によって前述したゲート遮断回路10や電流制限回路20が誤動作する恐れがある。

【0029】

この点、図1に示したように第1および第2のスイッチ回路50,60を備えて構成される半導体駆動装置によれば、図2(d)に前記半導体スイッチング素子Qのターンオン時における前記過電流検出端子Sの電圧 V_{sens} の変化を示すように、前記半導体スイッチング素子Qのゲート電圧 V_{gate} に応じて前記過電流検出端子Sの電圧 V_{sens} が制限されるの

で、従来装置のような不具合を生じることがない。

【0030】

即ち、前記半導体スイッチング素子Qのゲート電圧 V_{gate} が0Vであり、該半導体スイッチング素子Qがオフ状態にあるときには、前記第1のスイッチ回路50のトランジスタ51のベースには、前記ツェナーダイオード52に生起された電圧が加わる。すると前記トランジスタ51のベース・エミッタ間電圧が高くなり、該トランジスタ51がオン状態となるので、図2(d)に示すように前記過電流検出端子Sの電圧 V_{sens} は前記内部電源電圧 V_{cc} と同程度まで引き上げられる。

【0031】

この状態で前記半導体スイッチング素子Qのゲートにゲート駆動信号を印加して該半導体スイッチング素子Qをターンオンすると、前記ゲート駆動信号を受けて前記第1のスイッチ回路50のトランジスタ51のベース電圧が上昇して該トランジスタ51のベース・エミッタ間電圧が低下するので、該トランジスタ51がオフする。するとこれに伴って前記過電流検出端子Sの電圧 V_{sens} が低下するが、前記半導体スイッチング素子Qのターンオンに伴って流れ出すコレクタ電流 I_c によって前記過電流検出端子Sの電圧 V_{sens} は上昇する。

10

【0032】

一方、このとき前記内部電源電圧 V_{cc} に相当するゲート駆動信号によって前記第2のスイッチ回路60のトランジスタ66のベースには、ツェナーダイオード64による電圧降下分を差し引き、抵抗62, 63により分圧された電圧が印加される。この結果、トランジスタ66がオンし、これに伴ってトランジスタ61がオンするので、前記半導体スイッチング素子Qのターンオンに伴うコレクタ電流 I_c によって前記過電流検出端子Sに生じる電圧 V_{sens} は、前記トランジスタ61を介して前記半導体スイッチング素子Qのゲート電圧 V_{gate} によってクランプされる。従って図2(d)に示すように前記過電流検出端子Sの電圧 V_{sens} は前記内部電源電圧 V_{cc} 以上に上昇することはない。

20

【0033】

これ故、前記半導体スイッチング素子Qのターンオン時に、該半導体スイッチング素子Qのゲート容量に起因してそのコレクタ電流 I_c が図2(b)に示すように一時的に増大したとしても、その影響を受けて前記過電流検出端子Sの電圧 V_{sens} が一時的に高くなることはない。従って前記分圧回路40を介して分圧検出される前記過電流検出端子Sの電圧 V_{sens} が、前記半導体スイッチング素子Qのターンオン時に、前記ゲート遮断回路10の動作判定閾値(比較器11に与えられる基準電圧 V_{ref})を超えることがなくなる。また同様に前記過電流検出端子Sの電圧 V_{sens} が、前記電流制限回路20におけるMOSFET22の動作閾値電圧を超えることもなくなる。

30

【0034】

かくして上述した如く構成された半導体駆動装置によれば、半導体スイッチング素子Qのターンオン時における前記ゲート遮断回路10および前記電流制限回路20の誤動作を効果的に防止することができる。しかも上述した構成は、前記半導体スイッチング素子Qのオフ時には前記過電流検出端子Sの電圧 V_{sens} を内部電源電圧 V_{cc} にプルアップし、該半導体スイッチング素子Qのオン時には前記過電流検出端子Sの電圧 V_{sens} をゲート電圧 V_{gate} によってクランプするだけである。従って仮に短絡事故等に起因してオン状態にある前記半導体スイッチング素子Qのコレクタ電流 I_c が増加した場合には、このコレクタ電流 I_c の増加に伴って、例えば図2(d)に破線で示すように前記過電流検出端子Sの電圧 V_{sens} が高くなるので、この現象を前記ゲート遮断回路10および前記電流制限回路20にてそれぞれ確実に検出することができる。そして前記ゲート遮断回路10および前記電流制限回路20の本来の機能をそれぞれ有効に働かせることが可能となる。

40

【0035】

尚、本発明は上述した実施形態に限定されるものではない。例えば前記ツェナーダイオード52の降伏電圧により規定される前記第1のスイッチ回路50の動作閾値、および前記ツェナーダイオード64の降伏電圧により規定される前記第2のスイッチ回路60の動

50

作閾値については、回路仕様に応じて定めれば良いものである。また構成が複雑にはなるが、前記半導体スイッチング素子Qのゲート電圧 V_{gate} を比較器を用いて判定して前記第1および第2のスイッチ回路50, 60の各動作を制御することも勿論可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

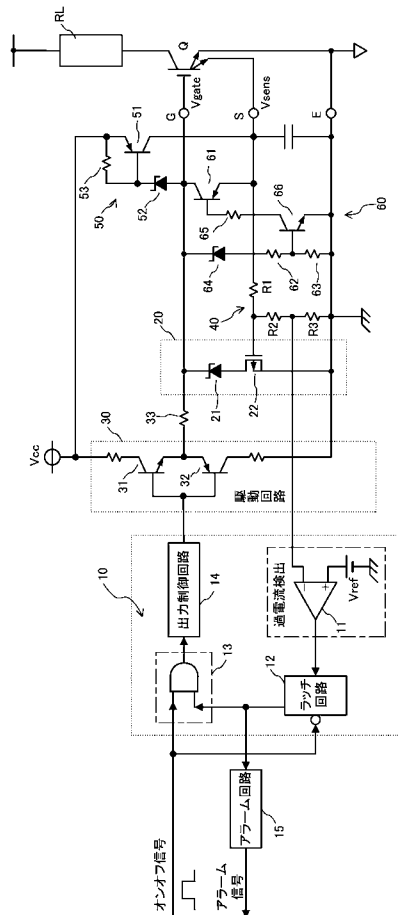
【符号の説明】

【0036】

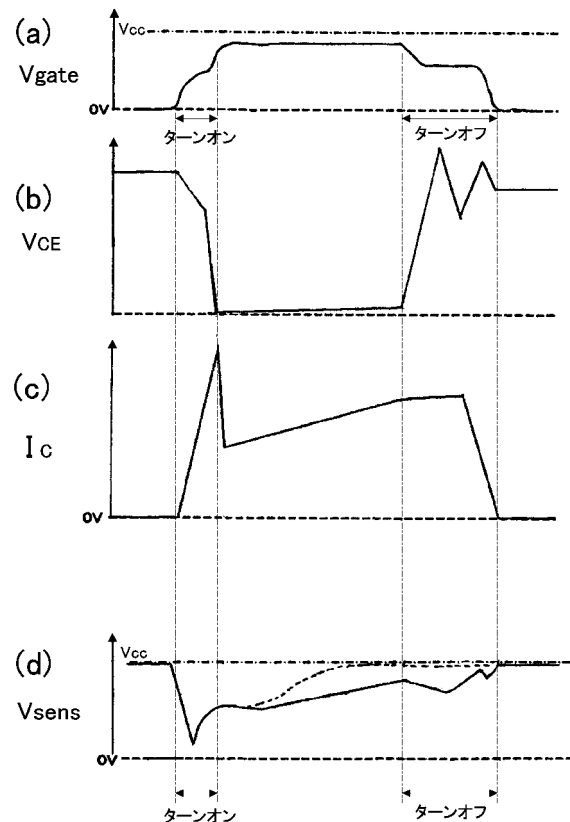
- Q 半導体スイッチング素子
- S 過電流検出端子
- 10 ゲート遮断回路
- 20 電流制限回路
- 30 駆動回路
- 40 分圧回路
- 50 第1のスイッチ回路
- 60 第2のスイッチ回路

10

【図1】



【図2】



【 図 3 】

