

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/409 (2006.01)

G11C 11/419 (2006.01)

G11C 7/10 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510076929.3

[45] 授权公告日 2009年7月22日

[11] 授权公告号 CN 100517503C

[22] 申请日 2005.6.9

[21] 申请号 200510076929.3

[30] 优先权

[32] 2004.12.20 [33] KR [31] 10-2004-0108543

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 金敬勋

[56] 参考文献

CN1218330A 1999.6.2

CN1324486A 2001.11.28

CN1105789A 1995.7.26

US6661287B2 2003.12.9

审查员 董乐

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 杨红梅

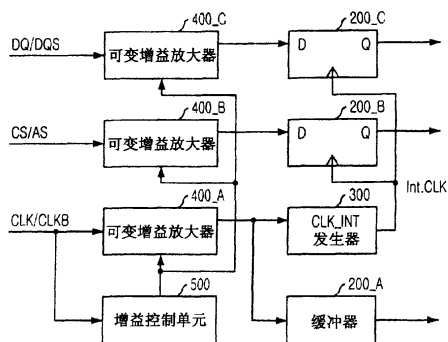
权利要求书 6 页 说明书 10 页 附图 10 页

[54] 发明名称

用于接收输入信号的装置及方法

[57] 摘要

一种半导体装置的输入信号接收器，包括：增益控制装置，用于输出增益控制信号，以确定可变增益放大装置的增益；以及可变增益放大装置，用于响应于该增益控制信号，放大外部输入信号，以及缓冲装置，该缓冲装置的输入端子连接至该可变增益放大装置的输出端子。



1. 一种用于半导体装置中的输入信号接收器，包括：  
增益控制装置，用于输出增益控制信号，以确定可变增益放大装置的增益；以及  
可变增益放大装置，用于响应于该增益控制信号，放大外部输入信号，以及  
缓冲装置，该缓冲装置的输入端子连接至该可变增益放大装置的输出端子。
2. 如权利要求 1 所述的输入信号接收器，其中该可变增益放大装置包括：  
差动放大装置，用于放大输入信号与反向输入信号之差，并输出对应于该差的逻辑值；以及  
电流调节器，用于根据该增益控制信号来控制该差动放大装置的工作电流。
3. 如权利要求 2 所述的输入信号接收器，其中该差动放大装置具有一个 PMOS 晶体管及一个 NMOS 晶体管，用于经过其栅极接收该输入信号，以及另一个 PMOS 晶体管及另一个 NMOS 晶体管，用于经过其栅极接收该反向输入信号。
4. 如权利要求 2 所述的输入信号接收器，其中该电流调节器包括：  
通行 MOS 晶体管，用于控制工作电流量；  
镜象 MOS 晶体管，用于与该通行 MOS 晶体管形成电流镜；以及  
输入 MOS 晶体管，用于经过栅极接收该增益控制信号，由此控制来自该镜象 MOS 晶体管的镜象电流量。
5. 如权利要求 2 所述的输入信号接收器，其中该电流调节器包括：  
输入电流调节器，用于控制从电源电压输入至该差动放大装置的电流量；以及  
输出电流调节器，用于控制从该差动放大装置输出至接地电压的电

流量。

6. 如权利要求 1 所述的输入信号接收器，其中该可变增益放大装置还包括：

差动放大装置，用于放大输入信号与参考电压之差，并输出该差作为逻辑值；以及

电流调节器，用于为该差动放大装置的工作电流提供路径，并根据该增益控制信号来控制工作电流量。

7. 如权利要求 6 所述的输入信号接收器，其中该差动放大装置具有一个 PMOS 晶体管及一个 NMOS 晶体管，用于经由其栅极接收该输入信号，以及另一个 PMOS 晶体管及另一个 NMOS 晶体管，用于经由其栅极接收该参考电压。

8. 如权利要求 6 所述的输入信号接收器，其中该电流调节器包括：  
通行 MOS 晶体管，用于控制工作电流量；  
镜象 MOS 晶体管，用于与该通行 MOS 晶体管形成电流镜；以及  
输入 MOS 晶体管，用于经过栅极接收该增益控制信号，并控制来自该镜象 MOS 晶体管的镜象电流量。

9. 如权利要求 6 所述的输入信号接收器，其中该电流调节器包括：  
输入电流调节器，用于控制从电源电压输入至该差动放大装置的电流量；以及

输出电流调节器，用于控制从该差动放大装置输出至接地电压的电流量。

10. 如权利要求 1 所述的输入信号接收器，其中该增益控制装置包括：

模拟数字转换器，用于将外部时钟转换为数字信号；

选通时钟发生器，用于在该外部时钟的峰值点产生传送至该模拟数字转换器的选通时钟；以及

映射组块，用于产生与从该模拟数字转换器输出的数字信号相对应

的增益控制信号。

11. 如权利要求 10 所述的输入信号接收器, 其中该选通时钟发生器包括:

延迟线组块, 用于通过将该外部时钟延迟预定周期来产生该选通时钟;

相位比较器, 用于通过比较该外部时钟与该选通时钟来产生相位信号; 以及

延迟线控制器, 用于控制该预定周期。

12. 如权利要求 11 所述的输入信号接收器, 其中该模拟数字转换器包括:

参考电压发生器, 用于产生  $N$  个参考电压; 以及

$N$  个比较器, 每一个比较器比较该外部时钟与相应的一个所述参考电压, 并输出相应的逻辑信号。

13. 如权利要求 12 所述的输入信号接收器, 其中该映射组块包括:

$N$  个 MOS 晶体管, 每一个 MOS 晶体管用于根据该相应的逻辑信号来加以切换; 以及

控制 MOS 晶体管, 用于为所述  $N$  个 MOS 晶体管的电流提供路径, 并输出栅极电压作为该增益控制信号。

14. 如权利要求 12 所述的输入信号接收器, 其中该参考电压发生器通过将电源电压与接地电压之间的差进行划分来产生  $N$  个参考电压。

15. 一种用于补偿输入信号的半导体装置, 包括:

时钟可变增益放大装置, 用于基于增益控制信号而放大外部时钟及外部反向时钟;

内部时钟发生器, 用于通过利用来自该时钟可变增益放大装置的输出信号而产生内部时钟;

输入可变增益放大装置, 用于经过该半导体装置的输入端子, 接收该输入信号, 并基于该增益控制信号来放大该输入信号;

缓冲装置，用于响应于该内部时钟，缓冲来自该输入可变增益放大装置的输出信号；及

增益控制单元，用于输出该增益控制信号，该增益控制信号用于确定该时钟可变增益放大装置和该输入可变增益放大装置的增益。

16. 如权利要求 15 所述的半导体装置，其中该时钟可变增益放大装置包括：

差动放大装置，用于放大该外部时钟与该外部反向时钟之差，并输出对应于该差的逻辑值；以及

电流调节器，用于为该差动放大装置的工作电流提供路径，并响应于该增益控制信号而控制工作电流量。

17. 如权利要求 15 所述的半导体装置，其中该输入可变增益放大装置包括：

差动放大装置，用于放大输入信号与输入反向信号之差，并输出逻辑信号；以及

电流调节器，用于为该差动放大装置的工作电流提供路径，并响应于该增益控制信号而控制工作电流量。

18. 如权利要求 15 所述的半导体装置，其中该输入可变增益放大装置包括：

差动放大装置，用于放大输入信号与参考电压之差，并输出逻辑信号；以及

电流调节器，用于为该差动放大装置的工作电流提供路径，并响应于该增益控制信号而控制工作电流量。

19. 如权利要求 15 所述的半导体装置，其中该增益控制单元包括：  
模拟数字转换器，用于将该外部时钟转换为数字信号；

选通时钟发生器，用于在该外部时钟的峰值点处产生所传送的选通时钟；以及

映射组块，用于产生与该模拟数字转换器的数字信号相对应的增益

控制信号。

20. 如权利要求 19 所述的半导体装置，其中该选通时钟发生器包括：

延迟线组块，用于通过将该外部时钟延迟预定周期来产生该选通时钟；

相位比较器，用于通过比较该外部时钟与该选通时钟来产生相位信号；以及

延迟线控制器，用于控制该预定周期。

21. 如权利要求 20 所述的半导体装置，其中该模拟数字转换器包括：

参考电压发生器，用于产生 N 个参考电压；以及

N 个比较器，每一个比较器比较该外部时钟与相应的一个所述参考电压，并输出相应的逻辑信号。

22. 如权利要求 21 所述的半导体装置，其中该映射组块包括：

N 个 MOS 晶体管，每一个 MOS 晶体管用于根据该相应的逻辑信号来加以切换；以及

控制 MOS 晶体管，用于为所述 N 个 MOS 晶体管的电流提供路径，并输出栅极电压作为该增益控制信号。

23. 如权利要求 21 所述的半导体装置，其中该参考电压发生器通过将电源电压与接地电压之间的差进行划分来产生 N 个参考电压。

24. 一种用于感测和补偿输入信号的方法，包括步骤：

(a)接收该输入信号和外部时钟；

(b)基于该外部时钟的电平产生增益控制信号；

(c)按照基于该增益控制信号的增益来放大该输入信号；以及

(d)缓冲和输出该放大的输入信号。

25. 如权利要求 24 所述的方法，其中步骤(b)包括步骤：

(b1)提取该外部时钟的峰值点电平；

(b2)通过比较该外部时钟的峰值点电平与该外部时钟的电平，产生数字信号；以及

(b3)产生具有与该数字信号相对应的电平的增益控制信号。

## 用于接收输入信号的装置及方法

### 技术领域

[1] 本发明涉及一种半导体存储器装置，特别涉及一种包括放大装置的输入信号接收器。

### 背景技术

[2] 输入至半导体装置的输入信号由于各种外部环境(诸如外部线路)而容易失真。因此，不论外部条件如何，为了半导体装置的可靠运作，输入信号接收器通过放大已失真的输入信号来恢复输入信号的电平。

[3] 图 1 是示出了常规输入信号接收器的方框图。

[4] 参看图 1，输入信号接收器具有静态增益放大器 10、缓冲器 IB\_1 及 D 触发器(flip-flop)。静态增益放大器 10 接收外部时钟 CLK 及反向外部时钟 CLKB 作为输入信号。缓冲器 IB\_1 由两个反向器构成，且连接于静态增益放大器 10 与 D 触发器之间。D 触发器延迟来自缓冲器 IB\_1 的输出信号，其与内部时钟 CLK\_INT 同步。

[5] 此外，静态增益放大器 10 具有两个 PMOS 晶体管 P11、P12 以及三个 NMOS 晶体管 N10、N11 及 N12。静态增益放大器 10 分别经过 NMOS 晶体管 N11 及 N12 的栅极，接收输入信号 CLK 及 CLKB。根据输入信号(即外部时钟 CLK 及反向外部时钟 CLKB)的摆动来确定静态增益放大器 10 的增益。静态增益放大器 10 的增益还确定输入信号接收器的延迟时间。

[6] 图 2 是示出了放大器 10 的增益与输入信号接收器的延迟之间关系的曲线图。

[7] 参看图 2，随着静态增益放大器 10 的增益增加，输入信号接收器的延迟有所减少。

[8] 目前，具有高操作速度及低电压消耗的半导体装置继续受到推崇。因此，半导体装置中所用操作信号的摆动持续变小。这里，该摆动电平是操

作信号的高电平与低电平之间的电平差。较小的摆动电平使得提取正确的输入信号更为困难。此外，如果期望的摆动电平根据若干因素(诸如噪声及主板)而改变，则用以执行设置和保持操作的输入信号接收器的最佳边限变得更短。因此，无法保证可靠的操作。

此外，对于在高频状态下执行的操作而言，期望摆动电平有所降低。然而，根据常规技术具有静态增益的放大器无法控制对应于环境的增益。

## 发明内容

因此，本发明的目的在于提供一种用于在不稳定的环境下可靠地操作的输入信号接收器。

因此，本发明的另一目的在于提供一种包括放大器的输入信号接收器，该放大器响应于各种外部条件而具有可变增益。

根据本发明的一方面，提供一种包括增益控制单元及可变增益放大器的输入信号接收器，该增益控制单元用于输出一确定可变增益放大器增益的增益控制信号，该可变增益放大器用于响应于该增益控制信号而放大外部输入信号，以及缓冲装置，该缓冲装置的输入端子连接至该可变增益放大装置的输出端子。

根据本发明的另一方面，提供一种用于补偿输入信号的半导体装置，其包括：时钟可变增益放大器，用于基于增益控制信号来放大外部时钟及外部反向时钟；内部时钟发生器，用于通过利用来自该时钟可变增益放大器的输出信号来产生内部时钟；输入可变增益放大器，用于经过半导体装置的输入端子来接收输入信号，并基于该增益控制信号来放大该输入信号；缓冲器，用于响应于内部时钟，缓冲来自输入可变增益放大器的输出信号；以及增益控制单元，用于输出增益控制信号，其确定该时钟可变增益放大器及该输入可变增益放大器的增益。

根据本发明的又一方面，提供一种用于感测和补偿输入信号的方法，包括步骤：接收该输入信号和外部时钟；；基于该外部时钟的电平产生增

益控制信号；按照基于该增益控制信号的增益来放大该输入信号；以及缓冲和输出该放大的输入信号。

## 附图说明

从与附图相结合的优选实施例的如下描述中，本发明的上述和其他目的及特征将变得明显，在附图中：

图 1 是示出了常规输入信号接收器的方框图；

图 2 是示出了放大器的增益与输入信号接收器的延迟时间之间关系的曲线图；

图 3 是描述半导体装置的方框图，其使用了根据本发明优选实施例的输入信号接收器；

图 4 是描绘了根据本发明优选实施例的时钟可变增益放大器的示意电路图；

图 5 是示出了增益控制单元的方框图，其用于控制施加至图 4 所示可变增益放大器的增益；

图 6 是描述了图 5 所示模拟数字转换器的示意图；

图 7 是示出了图 5 所示映射组块的示意电路图；

图 8 是描绘了图 5 所示时钟发生器的方框图；

图 9 是示出了图 8 所示相位比较器的示意电路图；

图 10 是示出了图 8 所示延迟线控制器的示意电路图；

图 11 是示出了图 8 所示延迟线的示意电路图；

图 12 是说明了根据本发明优选实施例的时钟发生器的总体操作的时序图。

## 具体实施方式

下文中，将参考附图，详细描述根据本发明的半导体装置。

图 3 是描述了半导体装置的方框图，其使用了根据本发明优选实施例

的输入信号接收器。

如图所示，该半导体装置具有：第一可变增益放大器 400\_A、时钟缓冲器 200\_A、内部时钟发生器 300、第二及第二可变增益放大器 400\_B 及 400\_C、缓冲器 200\_B 及 200\_C、及增益控制单元 500。

第一可变增益放大器 400\_A 用于感测和放大外部时钟 CLK 及外部反向时钟 CLKB。时钟缓冲器 200\_A 缓冲来自可变增益放大器 400\_A 的输出信号。来自第一可变增益放大器 400\_A 的输出信号被输入至内部时钟发生器 300，该内部时钟发生器 300 将内部时钟 CLK\_INT 输出至缓冲器 200\_B 及 200\_C。可变增益放大器 400\_B 及 400\_C 分别从包括半导体装置的输入端子接收输入信号。缓冲器 200\_B 及 200\_C 用于响应于内部时钟 CLK\_INT，缓冲来自可变增益放大器 400\_B 及 400\_C 的输出信号。增益控制单元 500 将增益控制信号输出至可变增益放大器 400\_A、400\_B 及 400\_C，它们用于确定第一可变增益放大器 400\_A、第二及第三可变增益放大器 400\_B 及 400\_C 的增益。

此外，增益控制单元 500 以及可变增益放大器 400\_A、400\_B 及 400\_C 之一充当半导体装置的输入信号接收器。增益控制单元 500 能够由若干输入信号接收器共享。这里，可变增益放大器 400\_A、400\_B 及 400\_C 的增益是可调整的。

输入信号接收器接收各种外部信号，诸如一对数据信号 DQ 及数据选通信号 DQS、指令信号 CS 及地址信号 AS 之一、及一对外部时钟 CLK 及外部反向时钟 CLKB。

来自第一至第三可变增益放大器 400\_A、400\_B 及 400\_C 的输出被输入至第一至第三缓冲器 200\_A、200\_B 及 200\_C，这些第一至第三缓冲器 200\_A、200\_B 及 200\_C 用于将可变增益放大器 400\_A、400\_B 及 400\_C 感测的数据输出至半导体装置的另一组件。如图 3 所示，对于可变增益放大器 400\_B 及 400\_C，缓冲器 200\_B 及 200\_C 响应于内部时钟 CLK\_INT 而执行缓冲操作。

图4是描绘了根据本发明优选实施例的可变增益放大器400\_A的示意电路图。

如图所示,用于接收外部时钟CLK及外部反向时钟CLKB对的可变增益放大器400\_A包括一种电流镜(mirror)。因此,可变增益放大器400\_A通过使用该电流镜来调整电流量,增加或减少其增益。

参看图4,可变增益放大器400\_A由差动(differential)放大组块420、输入电流调节器440及输出电流调节器460构成。差动放大组块420用于接收外部时钟CLK及外部反向时钟CLKB。输入电流调节器440控制从电源电压VDD供应至差动放大组块420的电流量。输出电流调节器460控制从差动放大组块420流到接地电压VSS的电流量。

差动放大组块420具有两个PMOS晶体管P421和P422、以及两个NMOS晶体管N421和N422。PMOS晶体管P421及NMOS晶体管N421分别经由其栅极,接收外部时钟CLK。同样,反向外部时钟CLKB被输入至PMOS晶体管P422及NMOS晶体管N422的栅极。

同时,如图4所示,输入至差动放大组块420的输入信号(诸如数据信号DQ及数据选通信号DQS)能够施加至可变增益放大器400\_A。如果指令信号CS及地址信号AS之一被输入至可变增益放大器400\_A,则用于鉴别输入信号(诸如CS或AS)的逻辑电平的参考电压被输入至差动放大组块420的其它输入端子。

输入电流调节器440包括两个PMOS晶体管P441及P442、以及NMOS晶体管N441。PMOS晶体管P441确定供应至差动放大组块420的电流量。PMOS晶体管P442形成电流镜。NMOS晶体管N441用于接收增益控制信号BIAS\_N,并且控制PMOS晶体管P442中与PMOS晶体管P441镜像的电流量。

输出电流调节器460具有PMOS晶体管P461以及两个NMOS晶体管N461及N462。第一NMOS晶体管N461确定从差动放大组块420流到接地电压的电流量。第二NMOS晶体管N462与第一NMOS晶体管N461

形成电流镜。PMOS 晶体管 P461 接收增益控制信号 BIAS\_P，其用于控制第二 NMOS 晶体管 N462 中的镜象电流流量。

如上所述，PMOS 晶体管 P441 及 NMOS 晶体管 N461 分别响应于增益控制信号 BIAS\_P 及 BIAS\_N，控制差动放大组块 420 的工作电流量。

图 5 是示出了用于控制可变增益放大器 400\_A 的增益的增益控制单元 500 的方框图。

如图所示，增益控制单元 500 具有：模拟数字转换器 520(下文称为 ADC)、映射组块 540 及时钟发生器 560。ADC 520 将外部时钟 CLK 及外部反向时钟 CLKB 转换为数字信号 A<0:3>。映射组块 540 将来自 ADC 520 的数字信号 A<0:3>转换为模拟增益控制信号 BIAS\_P 及 BIAS\_N，其用于控制可变增益放大器 400\_A 的增益。时钟发生器 560 产生选通(strobe)时钟，其用于确定 ADC 520 的取样点。这里，ADC 520 的取样点是外部时钟 CLK 及外部反向时钟 CLKB 的峰值时刻。

同时，增益控制单元 500 在各种方式下被实施。例如，通过在外部时钟 CLK 及外部反向时钟 CLKB 的峰值时刻中电平偏移(level shifting)外部时钟 CLK 及外部反向时钟 CLKB 的电平，而不是使用图 5 中的 ADC 520 及映射组块 540，来产生增益控制信号 BIAS\_P 及 BIAS\_N。在其它实例中，非常频繁地执行 ADC 520 的取样，因此最大取样值被认为是峰值时刻的取样值。这里，不需要时钟发生器 560。此外，在其它实例中，通过添加在 ADC 520 中非常频繁取样的取样值，并且产生外部时钟 CLK 及外部反向时钟 CLKB 的振幅，来产生增益控制信号 BIAS\_P 及 BIAS\_N。

图 6 是图 5 所示 ADC 520 的示意图。

参看图 6，ADC 520 具有四个比较器 DA521 至 DA524、及连接于电源电压 VDD 与接地电压 VSS 之间的取样电压发生器 521。

取样电压发生器 521 由连接于电源电压 VDD 与接地电压 VSS 之间的五个晶体管 R521 至 R525 构成，产生具有不同电压电平的四个取样参考电压。例如，如果电源电压 VDD 约为 2.5 V 且接地电压约为 0 V，则产生

约 0.3125 V、0.9375 V、1.5625 V 及 2.1875 V 的电压作为取样参考电压。

取样参考电压被分别输入至四个比较器 DA521 至 DA524。四个比较器 DA521 至 DA524 的每一个在选通时钟 CLK\_STB 的上升沿处，分别比较每个取样参考电压与外部时钟 CLK。如果外部时钟 CLK 高于取样参考电压，则四个比较器 DA521 至 DA524 的每一个输出逻辑电平'低'。如果外部时钟 CLK 低于取样参考电压，则四个比较器 DA521 至 DA524 的每一个输出逻辑电平'高'。

这里，确定 ADC 520 取样点的选通时钟 CLK\_STB 具有与外部时钟 CLK 相等的频率。与外部时钟 CLK 相比，选通时钟 CLK\_STB 的相位偏移约  $90^\circ$ 。使选通时钟 CLK\_STB 的相位偏移约  $90^\circ$  的原因是为了控制 ADC 520，以在外部时钟 CLK 的峰值点处对外部时钟 CLK 取样。

如上所述，外部时钟 CLK 的峰值电平由四个比较器 DA521 至 DA524，感测，并被分别转换为数字信号 A<0:3>。然后，数字信号 A<0:3>被输入至映射组块 540。

在图 6 中，通过将电源电压 VDD 与接地电压 VSS 之间的电压间隙划分为四个取样参考电压电平，来获得取样参考电压。然而，如果电源电压 VDD 与接地电压 VSS 之间的电压间隙被划分为四个以上的电平，则增益控制单元 500 的增益控制能力有所改善。

此外，当保证外部时钟 CLK 的高电平高于  $VDD/2$  时，则电源电压 VDD 及  $VDD/2$  能够替代电源电压 VDD 及接地电压 VSS 而施加至 ADC 520。

图 7 是示出了图 5 所示映射组块 540 的示意电路图。

参看图 7，映射组块 540 具有五个 PMOS 晶体管 P540 至 P544 及五个 NMOS 晶体管 N540 至 N544。PMOS 晶体管 P540 及 NMOS 晶体管 N541 至 N544 参与产生增益控制信号 BIAS\_P，NMOS 晶体管 N540 及 PMOS 晶体管 P541 至 P544 参与产生增益控制信号 BIAS\_N。

数字信号 A<0:3>的组合确定了流经 PMOS 晶体管 P540 及 NMOS 晶

晶体管 N540 的电流量。根据流经 PMOS 晶体管 P540 及 NMOS 晶体管 N540 的电流量，分别确定 PMOS 晶体管 P540 及 NMOS 晶体管 N540 的栅极电压的电平。这里，PMOS 晶体管 P540 及 NMOS 晶体管 N540 的栅极电压分别是增益控制信号 BIAS\_P 及 BIAS\_N。

图 8 是图 5 所示时钟发生器 560 的方框图。

参看图 8，时钟发生器 560 具有相位比较器 562、延迟线控制器 564 及延迟线 566。延迟线 566 接收外部时钟 CLK，使其延迟预定周期；然后，输出经延迟的信号作为反馈时钟 CLK\_FB。反馈时钟 CLK\_FB 从延迟线 566 输出。外部时钟 CLK 被反向和输入至相位比较器 562。因此，相位比较器 562 接收反馈时钟 CLK\_FB 及反向的外部时钟 CLK。

图 9 是示出了图 8 所示相位比较器 562 的示意电路图。

图 10 是示出了图 8 所示延迟线控制器 564 的示意电路图。

图 10 中的延迟线控制器 564 具有与常规 DLL 电路相同的结构，并且执行相同操作。

图 11 是示出了图 8 所示延迟线 566 的示意电路图。

参看图 11，延迟线 566 具有两个延迟线 566\_A 及 566\_B。延迟线 566\_A 用于反馈时钟 CLK\_FB，延迟线 566\_B 用于选通时钟 CLK\_STB。延迟线 566\_A 的长度是延迟线 566\_B 长度的两倍。换言之，延迟线 566\_A 具有数量 N 的寄存器，延迟线 566\_B 具有数量 N/2 的寄存器。响应来自延迟线控制器 564 的输出信号，选通时钟 CLK\_STB 被延迟 90°。

图 12 是示出了根据本发明优选实施例的时钟发生器 560 的总体操作的时序图。

参看图 12，首先输入外部时钟 CLK。然后，在延迟线 566 中产生已偏移 90° 的反馈时钟 CLK\_FB。反馈时钟 CLK\_FB 被反馈至相位比较器 562，外部时钟 CLK 被反向和输入至相位比较器 562。响应于反向的外部时钟 CLK 及反馈时钟 CLK\_FB 而从相位比较器 562 输出的输出信号被输入至延迟线控制器 564。然后，延迟线产生选通信号 CLK\_STB，其确定

ADC 520 的取样点。这里，选通信号 CLK\_STB 的相位从外部时钟 CLK 被偏移  $90^\circ$ 。

在本发明的上述优选实施例中，为了确定可变增益放大器 400\_A 的增益，增益控制单元 500 使用外部时钟 CLK 及外部反向时钟 CLKB。然而，在另一实施例中，数据信号 DQ、数据选通信号 DQS、命令信号 CS 及地址信号 AS 之一能够用于确定可变增益放大器 400\_A 的增益。

此外，在本发明的上述优选实施例中，ADC 520 被实施用以提取输入信号(即高峰值点处的外部时钟 CLK)的电平；然而，在又一实施例中，ADC 能够被实施用以在低峰值点处提取输入信号的电平。

本申请含有与 2004 年 12 月 20 日在韩国专利局提交的韩国专利申请号 2004-108543 相关的主题内容，这里通过参照，援引其全部内容。

尽管已关于特定实施例描述了本发明，但是对于本领域技术人员明显的是，不脱离如所附权利要求限定的发明精神和范围，可做出各种变化和改型。

**【符号说明】**

- 10 静态增益放大器
- 200\_A 缓冲器
- 200\_B 缓冲器
- 200\_C 缓冲器
- 300 CLK\_INT 发生器
- 400\_A 可变增益放大器
- 400\_B 可变增益放大器
- 400\_C 可变增益放大器
- 420 差动放大组块
- 440 输入电流调节器
- 460 输出电流调节器
- 500 增益控制单元
- 520 模拟数字转换器
- 540 映射组块
- 560 时钟发生器
- 562 相位比较器
- 564 延迟线控制器
- 566 延迟线
- 566\_A 延迟线
- 566\_B 延迟线。

图1  
(现有技术)

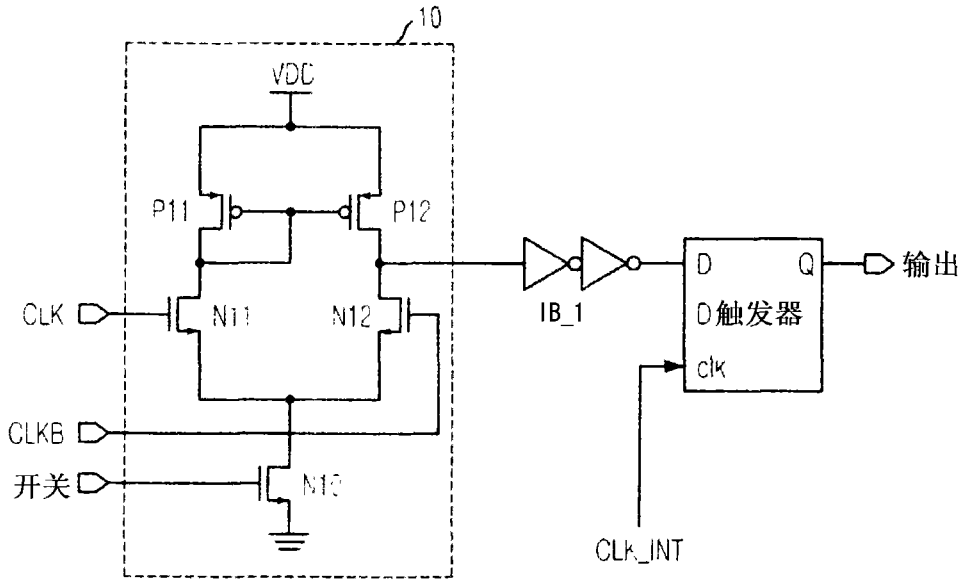


图2  
(现有技术)

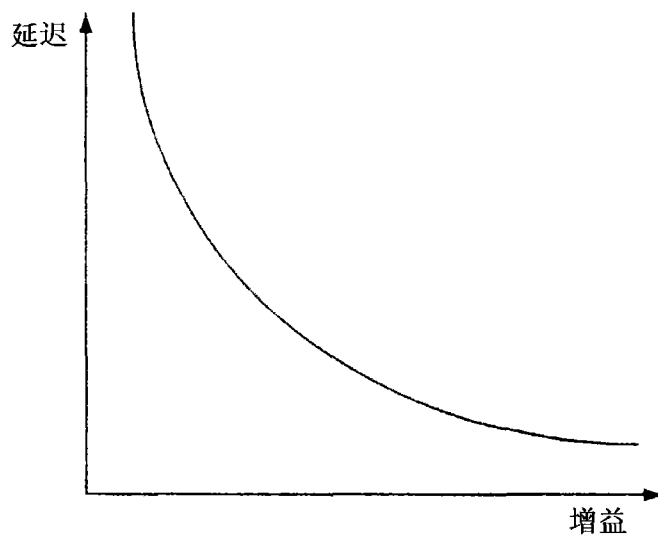
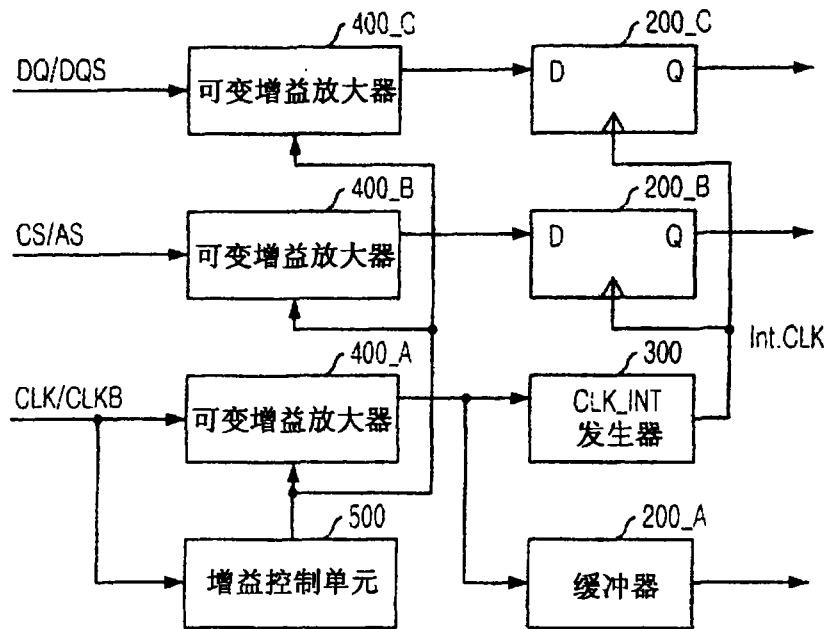


图3



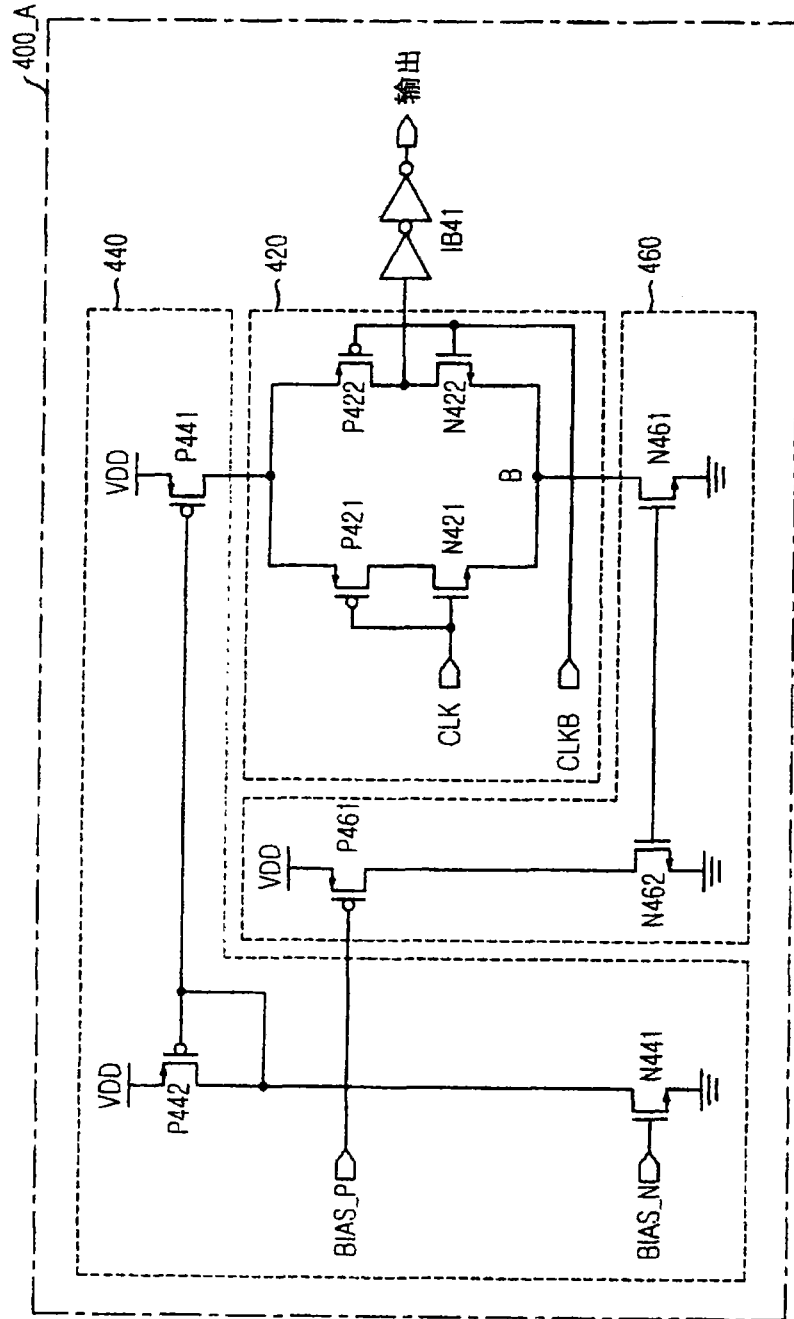


图4

图5

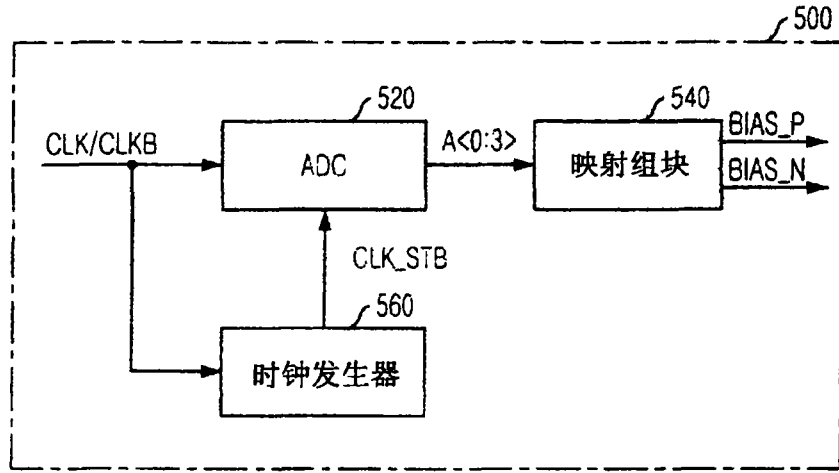


图6

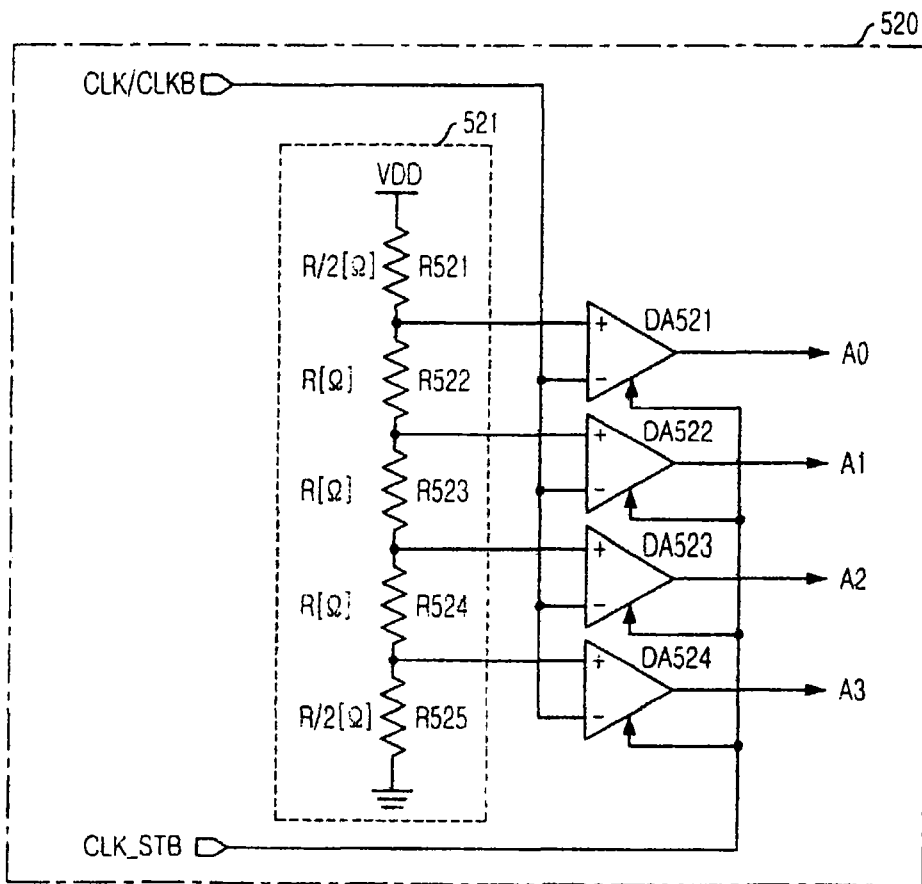


图7

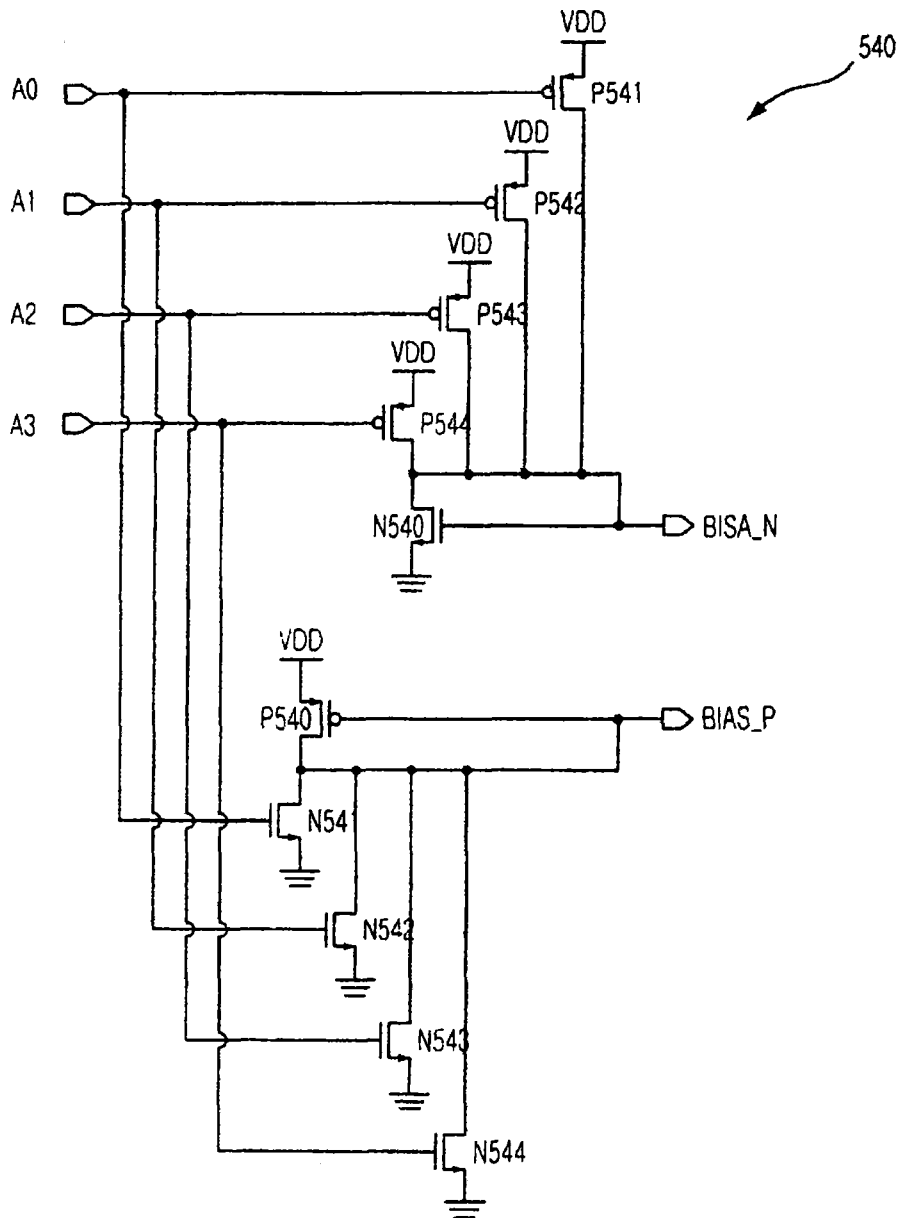


图8

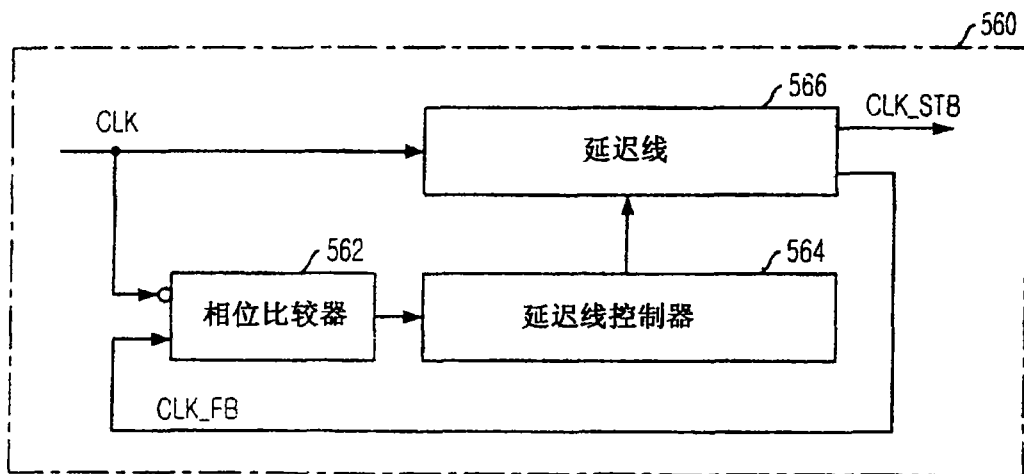


图9

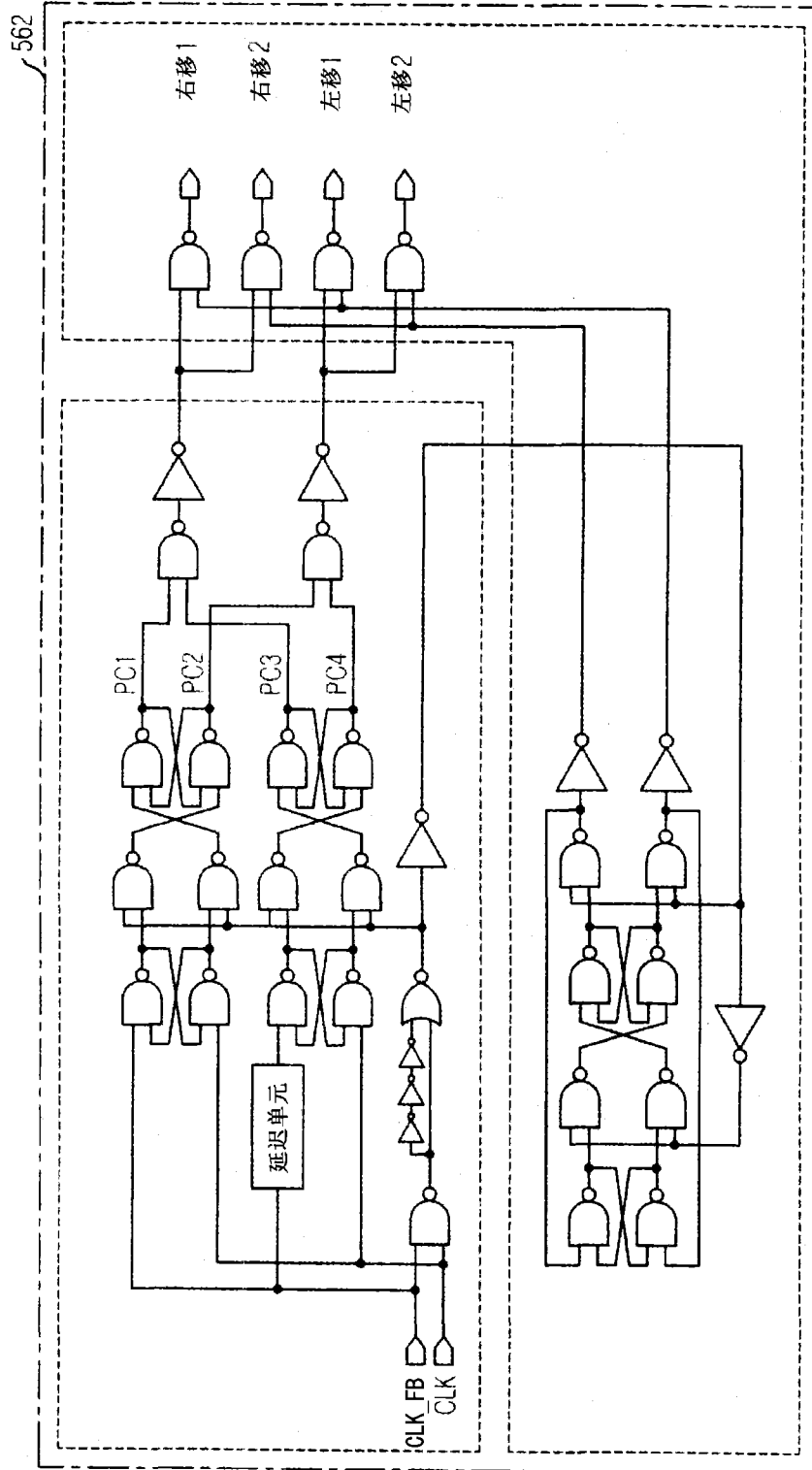


图10

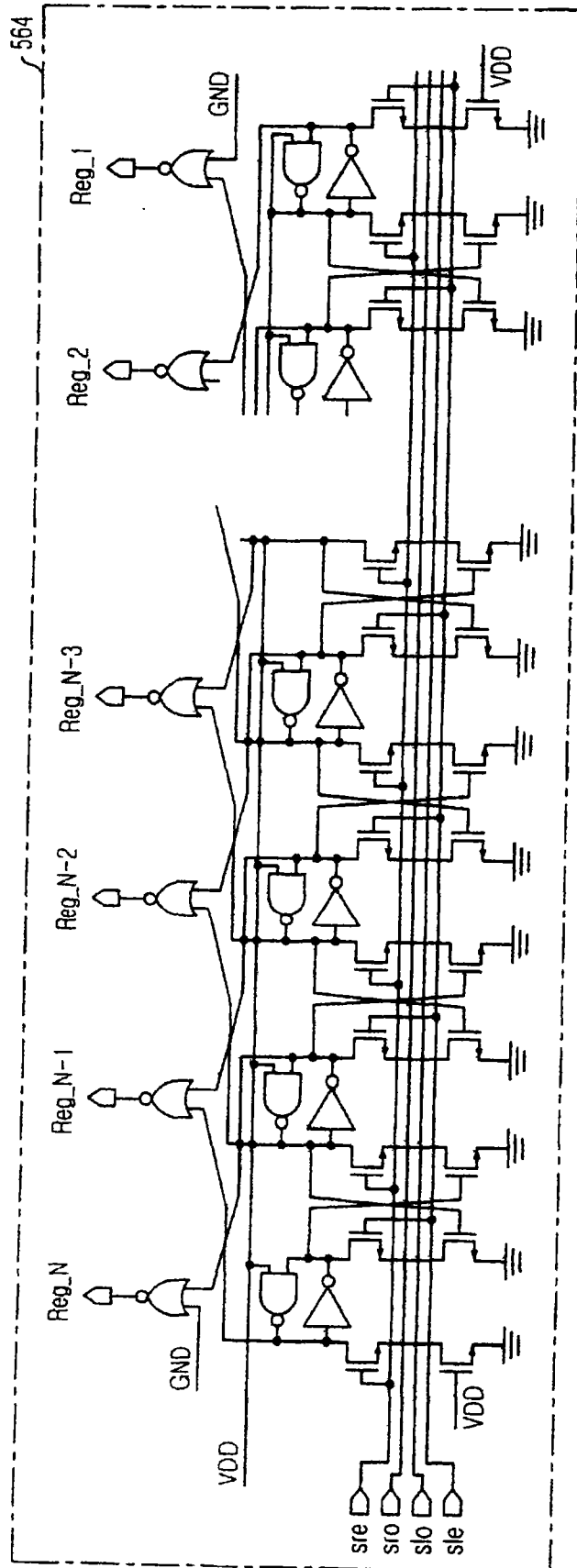


图11

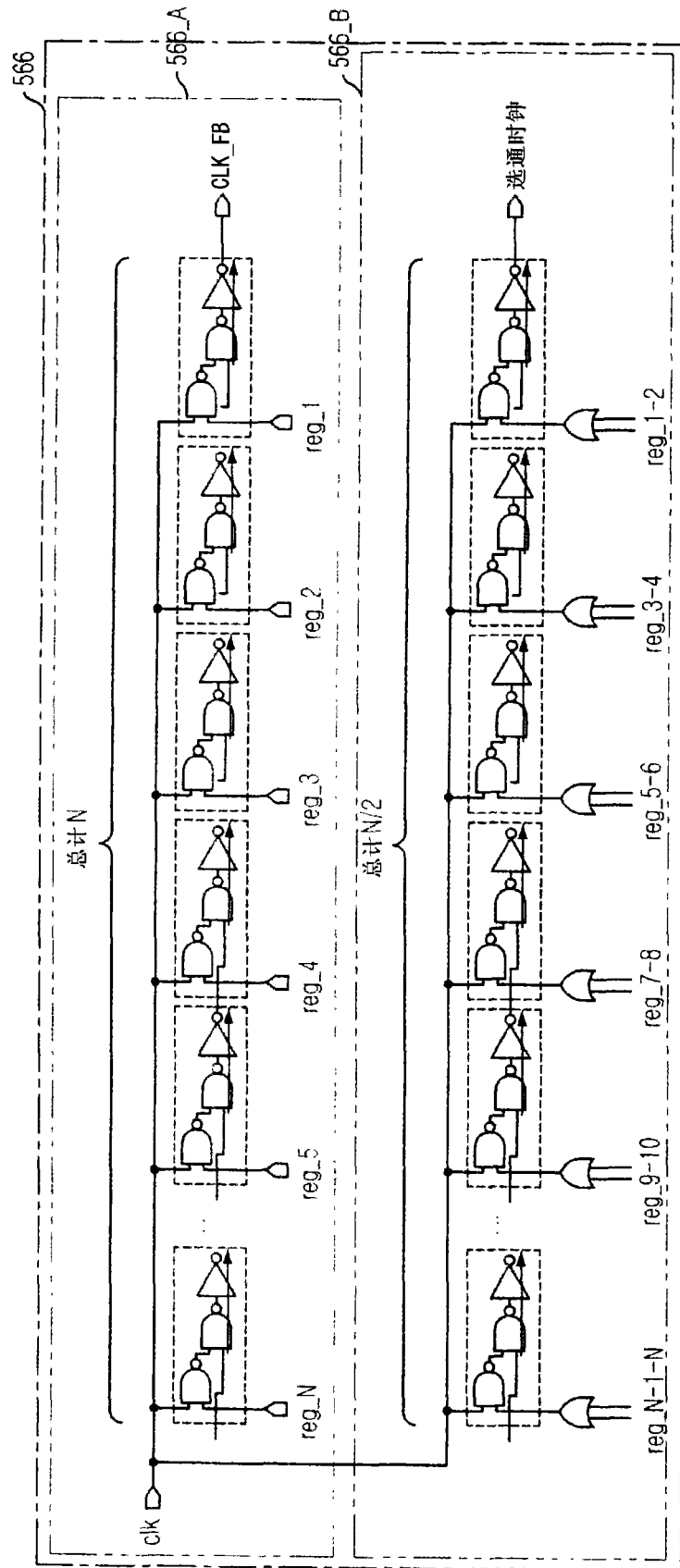


图12

