



(12) 发明专利

(10) 授权公告号 CN 101090124 B

(45) 授权公告日 2011. 11. 02

(21) 申请号 200610094492. 0

EP 0502600 A2, 1992. 09. 09,

(22) 申请日 1994. 01. 18

审查员 田书凤

(30) 优先权数据

23287/1993 1993. 01. 18 JP

323117/1993 1993. 11. 29 JP

(62) 分案原申请数据

94101918. 7 1994. 01. 18

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 竹村保彦

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 王忠忠

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

JP 特开平 5-235350 A, 1993. 09. 10, 说明书第 [0003] 至 [0005] 段、附图 4(a).

JP 特开平 4-278925 A, 1992. 10. 05,

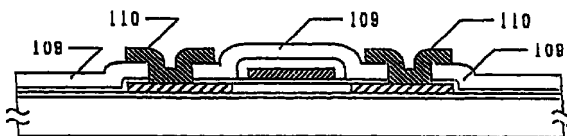
权利要求书 1 页 说明书 11 页 附图 10 页

(54) 发明名称

半导体器件

(57) 摘要

一种 MIS 型半导体器件的制造方法, 其特征在于在一个半导体衬底或半导体薄膜上选择地形成杂质区, 而这些杂质区由从上面辐照的激光束或等效的强光辐照而激活, 因而激光束或等效强光辐照在杂质区以及杂质区与邻接杂质区的激活区间的边界。



1. 一种电光系统,包括:

显示器,包括衬底上的驱动器电路,所述驱动器电路包含 n 沟道薄膜晶体管和 p 沟道薄膜晶体管;

其中所述 n 沟道薄膜晶体管和所述 p 沟道薄膜晶体管中的每个包括:

半导体层;

形成在所述半导体层中的源区和漏区,所述源区和所述漏区之间有位于所述半导体层中的沟道区;

毗邻所述沟道区的栅绝缘膜;

毗邻所述沟道区包括钼的栅极,所述栅极和所述沟道区之间介有所述栅绝缘膜;及

一对轻度掺杂区,其中一个轻度掺杂区位于所述沟道区和所述源区之间,而另一个轻度掺杂区位于所述沟道区和所述漏区之间,

其中所述 n 沟道薄膜晶体管中的每个轻度掺杂区的宽度为 0.2 至 0.3 微米,而所述 p 沟道薄膜晶体管中的每个轻度掺杂区的宽度为 0 至 0.2 微米。

2. 根据权利要求 1 的电光系统,其中所述衬底是玻璃衬底。

3. 根据权利要求 1 的电光系统,其中所述 n 沟道薄膜晶体管的所述轻度掺杂区含有浓度比所述 n 沟道薄膜晶体管的所述源区和漏区低的磷。

4. 一种电光系统,包括:

显示器,包括衬底上的驱动器电路,所述驱动器电路包含 n 沟道薄膜晶体管和 p 沟道薄膜晶体管;

其中所述 n 沟道薄膜晶体管和所述 p 沟道薄膜晶体管中的每个包括:

半导体层;

形成在所述半导体层中的源区和漏区,所述源区和所述漏区之间有位于所述半导体层中的沟道区;

毗邻所述沟道区的栅绝缘膜;

毗邻所述沟道区包括钨的栅极,所述栅极和所述沟道区之间介有所述栅绝缘膜;及

一对轻度掺杂区,其中一个轻度掺杂区位于所述沟道区和所述源区之间,而另一个轻度掺杂区位于所述沟道区和所述漏区之间,

其中所述 n 沟道薄膜晶体管中的每个轻度掺杂区的宽度为 0.2 至 0.3 微米,而所述 p 沟道薄膜晶体管中的每个轻度掺杂区的宽度为 0 至 0.2 微米。

5. 根据权利要求 4 的电光系统,其中所述衬底是玻璃衬底。

6. 根据权利要求 4 的电光系统,其中所述 n 沟道薄膜晶体管的所述轻度掺杂区含有浓度比所述 n 沟道薄膜晶体管的所述源区和漏区低的磷。

半导体器件

[0001] 本申请属分案申请,其母案的申请号为 200410042294.0。该母案的首个在先申请号为 JP93-23287,其首个在先申请日则为 1993 年 1 月 18 日。

技术领域

[0002] 本发明涉及制造金属绝缘体半导体类型的半导体器件,即 MIS 型半导体器件(通常所说的绝缘栅型半导体器件)的一种制造方法。这种 MIS 型半导体器件包括例如 MOS 晶体管,薄膜晶体管,以及类似的晶体管。

背景技术

[0003] 通常,用一种自对准(Self-aligning)方法制造 MIS 型半导体器件。根据这种方法,通过栅极绝缘膜在半导体衬底上或半导体覆盖膜上形成栅极布线(电极)以及用栅极布线作掩模,将杂质注入半导体衬底或者半导体覆盖膜内。使用诸如热扩散方法,离子注入方法,等离子体掺杂方法和激光掺杂方法将杂质注入。那些方法允许栅极的一个边缘和杂质区域(源极和漏极)的边缘基本上重合从而消除了一种交叠的状态(产生寄生电容的原因之一)和一种偏离的状态(一种引起有效迁移率减退的原因)。在交叠状态栅极和杂质区域呈交叠位置,在偏离状态栅极与杂质区域分离开来。

[0004] 然而,通常的工艺方法存在的问题在于杂质区域以及位于栅极下面的与杂质区域相邻接的有源区域(沟道形成区域)的载流子密度的空间变化太大,因此,产生了显著的大电场,特别是当在栅极上施加反向偏置电压时增加了漏电流。

[0005] 本发明的发明人发现将栅极和杂质区域稍微偏离可以使得这一问题得以缓和。为了实现这种偏离状态,于是发明人用一种可阳极氧化的材料制做栅电极。这种阳极氧化的结果使得他们发现利用阳极氧化膜作为掩模进行杂质注入可以获得具有好的再现性的一种恒定尺寸的偏离状态。

[0006] 此外,由于用诸如离子注入和等离子体掺杂等方法借助辐照高速的离子到半导体衬底或半导体覆盖膜上将杂质注入、在那些被离子穿过的部位,其结晶度受到损坏,这就需要改善(激活)结晶度。虽然在 600°C 以上的温度结晶度主要是由于加热得以改善,但近来低温工艺处理的趋势变得更加明显。发明人还指出,通过发射激光束或等效的强光在那里可以实现激活而且其批量生产率也是很好的。

[0007] 图 2 示出了生产基于前述概念的薄膜晶体管的工艺方法。首先,在衬底 201 上淀积一底面绝缘层 202,于是形成了一个岛状结晶半导体区域 203。然后在上面形成绝缘膜 204 作栅极绝缘膜。如图 2A 所示,使用可阳极氧化的材料制成栅极布线 205。

[0008] 其次,栅极布线被阳极氧化,而且在栅极布线的表面上形成具有小于 300 毫微米(nm),最好是小于 250nm 的适合厚度的阳极氧化物 206。于是将这个阳极氧化物作为掩膜,用离子注入或离子掺杂的方法用自对准的方式发射杂质,例如磷(P),以形成杂质区域 207(图 2B)。

[0009] 随后,借助例如激光束的强光从上面照射在杂质注入的区域上面,以便激活该区

域(图 2C)。

[0010] 最后,淀积一个层间绝缘体 208,并且在杂质区域上造一个接触孔以便制造连接到杂质区域的电极 209,这样一个薄膜晶体管就完成了,如图 2D 所示。

[0011] 然而,根据前述的方法发现了在杂质区域和一个有源区(夹在杂质区域间而且直接在栅电极的下面的半导体区)间的边界(在图 2C 中用 X 表示)的物理特性是不稳定的,而且能够出现诸如在超过规定的时间漏电流将要增加并且可靠性下降的问题。从该工艺过程看,那也就是有源区的结晶性从开始基本上不变。另一方面,虽然杂质区域邻接有源区,而且一起始就和有源区有相同的结晶性,在注入大量的杂质(高 10^{15}cm^{-2})的过程中它的结晶性受到了破坏。然后还发现,虽然在后来的激光束辐照过程中杂质区域得以恢复,但是很难再现和原来一样的结晶状态,特别是与有源区相接触的那部分杂质区域在被激光束辐照期间有被遮光的趋势,所以不能被完全激活。

[0012] 这就是杂质区域和有源区的结晶性是不连续的,由此,往往会产生陷阱能级或类似能级。特别是当采用辐照高速的离子作注入杂质的方法时由于散射使杂质离子绕到栅电极的下面部位,而破坏了那个部位的结晶度。由于栅电极部分的遮盖,栅极部分下面的区域不可能被激光束或类似的激活。

[0013] 为了解决这个问题的一种方法用如激光束这样的辐射光从背面去照射使那个部分激活。由于没有由栅极布线的遮盖,用这种方法可以使有源区和杂质区域间的边界完全激活。然而,在这种情形衬底材料必须透光,当然,当使用硅片或其他类似的东西,不能使用这种方法。此外,由于很多玻璃衬底不能透过小于 300nm 的紫外光,不能使用批量生产率极好的 KrF 受激准分子激光器(波长:248nm)。

发明内容

[0014] 因此,本发明的一个目的是解决前述的问题,并且获得诸如通过实现有源区和杂质区域间的结晶性的连续性而得到诸如 MOS 晶体管和薄膜晶体管这类的高可靠的 MIS 型半导体器件。

[0015] 根据本发明,光的能量不仅辐照在杂质区域,而且还辐照在一部分和它相邻接的有源区上,并且尤其是辐照在杂质区和有源区间的边界部位,用这种方法,来自例如一个闪光灯的激光或强光源所产生的光能量从上方辐照在杂质区。为达此目的,为了使得边界部分基本上透明以便辐射光,在注入杂质以前或以后将组成栅电极部分的部分材料除去。

[0016] 本发明包含在形成一个绝缘覆盖膜以后,该膜在结晶的半导体衬底或半导体覆盖膜上作栅绝缘膜用,由可阳极氧化的材料形成栅极布线(栅电极)的步骤;使其被阳极氧化,于它的表面形成阳极氧化物(第一个阳极氧化物);以由可阳极氧化的材料以及它的阳极氧化物组成的栅电极部分或者由栅电极部分所限定部分作掩模,用自对准方式将杂质注入半导体衬底或半导体覆盖膜;以及在注入杂质的步骤以前或以后将部分或全部的第一个阳极氧化物除去,以使光能量能辐照在杂质区域和有源区间的边界或者辐照在它们的相邻的部位以便激活杂质杂质区域。

[0017] 此外,不用说,如果必要,为了在其表面覆盖有高的绝缘质量的一种阳极氧化物(第二个阳极氧化物)可以将栅电极再次阳极氧化,而且设置一个层间绝缘体或类似物能够降低与上面布线的耦合电容。而且还不用说,虽然在阳极氧化中一般使用一种电解溶液

的湿法,而且也能使用另一种公知的减压等离子体(干法)方法。此外,由湿法获得的阳极氧化物可以是一种阻挡型的(barrier),它是很微细的且耐压高,或者是一种疏松型的(porous),它是疏松的且耐压低。它们也能满意地结合在一起。

[0018] 在本发明中优选所用的可阳极氧化的材料是铝、钛、钽、硅、钨和钼。栅电极可以由这些材料的简单的物质或合金的单层或多层所构成。不必说了,在这些材料中可以加入少量的其他的元素。此外也不须说,也可以使用非阳极氧化的一种适当的方法将布线氧化。

[0019] 作为用于本发明的光能的源,诸如 KrF 激光器(波长;248nm),XeCl 激光器(308nm),ArF 激光器(193nm)和 XeF 激光器(353nm)的这类受激准分子激光,诸如 Nd:YAG 激光器(1064nm)以及它的二次、三次和四次高次谐波,二氧化碳气体激光器,氦离子激光器和铜蒸气激光器这类的相干光源以及诸如氙闪光灯、氦弧光灯和卤素灯一类的非相干光源都是适合的。

[0020] 通过这样的工艺过程获得的 MIS 型半导体器件的特征是杂质区(源、漏极)和栅电极部分(包括栅电极和它的阳极的氧化物)的结具有基本相同的形状(类似的图形)以及栅电极(它以导电平面为界,不包含像阳极氧化物这类的缔合物质)和杂质区域偏离。

[0021] 当它不具有像第二个阳极氧化物一类的氧化物时在栅电极周围没有阳极氧化物,而且杂质区域与栅电极偏离。偏离的宽度最好是 0.1 至 0.5 微米。

[0022] 在本发明中,包含作为绝缘材料的第一阳极氧化物的电容在形成第一阳极氧化物后保留一部分第一阳极氧化物再形成一个上布线而构成,所以将剩余的部分夹于其中。在这种情况下,在起到 MIS 型半导体器件的栅电极作用方面的栅电极部分的阳极氧化物的厚度以及电容器部分的氧化物的厚度可以不同,每个厚度可以根据各自的用途而确定。

[0023] 同理,在形成象第二阳极氧化物的氧化物的过程中,甚至在相同的衬底上通过调节例如施加于每个布线上的电压来改变阳极氧化物的厚度。在这种情况下栅电极部分的像阳极氧化物这类的氧化物的厚度以及电容器(或者在布线交叉处的部分处)的氧化物的厚度均可以变化。

附图说明

[0024] 结合附图阅读下面的说明书以及在附带的权利要求中所描述的它们的新颖性,对本发明的上述的及其他的有关的目的和特征将更加明了。

[0025] 图 1(A) 至图 1(E) 是解释本发明和第一实施例的剖面图;

[0026] 图 2(A) 至图 2(D) 是解释现有技术的剖面图;

[0027] 图 3(A) 至图 3(F) 是解释本发明的第二实施例的剖面图;

[0028] 图 4(A) 至图 4(C) 是解释本发明的第二实施例的平面图;

[0029] 图 5(A) 至图 5(F) 是解释本发明的第三实施例的剖面图;

[0030] 图 6(A) 至图 6(E) 是解释本发明的第四实施例的剖面图;

[0031] 图 7(A) 至图 7(F) 是解释本发明的第五实施例的剖面图;

[0032] 图 8(A) 至图 8(F) 是解释本发明的第六实施例的剖面图;

[0033] 图 9 是利用第六实施例的一个集成电路的一个方框图。

具体实施方式

[0034] 第一实施例

[0035] 图 1 是本发明的第一优选实施例。在这个实施例中在绝缘衬底上形成一个薄膜晶体管。该衬底 101 是一个玻璃衬底,例如可以用 Corning 7059 或一种二氧化硅衬底一类的非碱玻璃衬底来制造。考虑到成本,在这里使用 Corning 7059 玻璃衬底。在其上淀积一层氧化硅膜 102 作为氧化底膜。可以使用溅射方法和化学汽相生长方法(CVD 方法)来淀积氧化硅膜。在这里使用 TEOS(四乙氧硅烷)和氧作为材料气体,通过等离子体 CVD 方法形成膜。衬底的温度是 200 至 400°C。氧化硅底膜的厚度是 500 至 2000 Å。

[0036] 其次,淀积一个非晶硅膜 103 并且构成岛状图形。可以用等离子体 CVD 方法和低压 CVD 方法来淀积非晶硅膜 103。进里的非晶硅膜 103 是将用甲硅烷(SiH₄)作为材料气体用等离子体 CVD 方法淀积的。该非晶硅膜的厚度是 200 Å 至 700 Å。然后用激光束(KrF 激光,波长:248nm,脉冲宽度:20 毫微秒)辐照其上。在真空环境下将该衬底加热到 300 至 550°C,1 至 3 个小时,以便在激光束辐照前将非晶硅膜中所含的氢释放出来。激光束的能量密度是 250 至 450mJ/cm²。当激光束辐照时衬底被加热高达 250 至 550°C。结果,非晶硅膜被结晶,而且转变为结晶硅膜。

[0037] 然后,形成厚度为 800 至 1200 Å 的作栅极绝缘膜用的氧化硅膜 104。在这里采用和制作氧化硅膜 102 相同的方法制作氧化硅膜 104。而且,栅电极 105 是用一种可阳极氧化的材料制成的。也就是诸如铝、钽和钛的金属,诸如硅的半导体或者诸如一氮化钽和一氮化钛的导电的金属氮化物。这里使用的是钽,它的厚度是 2000 至 10000 Å (图 1A 所示)。

[0038] 以后,将栅电极阳极氧化,在其表面形成厚度为 1500 至 2500 Å 的阳极氧化物(第一阳极氧化物)。阳极氧化是将衬底浸渍于含有 1 至 5% 的柠檬酸的甘醇溶液中,并且以 1 至 5V/min(伏/分)速率增加施加的电压,将所有的栅极布线连接在一起并将其设置为正电极,再将白金设置为负电极,用等离子体掺杂方法辐照硼(B)或磷(P)的离子以形成杂质区域 107,然而根据栅极绝缘膜 104 的厚度来改变离子的加速能量,当栅极绝缘膜的厚度是 1000 Å 对于硼通常加速能量为 50 至 65KeV 是合适的,对于磷加速能量为 60 至 80KeV 是合适的。此外,这时适当的剂量是 $2 \times 10^{14} \text{cm}^{-2}$ 至 $6 \times 10^{15} \text{cm}^{-2}$,而且发现剂量越低,所获得的器件的可靠性越高。由于杂质的注入是在如前所述的存在有阳极氧化物的状态下完成的,栅电极(钽)和杂质区域偏离。此外,图中所示的杂质区域的范围自然地是标称的,而且由于散射或类似的过程(图 1B 所示),离子实际上在其周围是绕射的。

[0039] 在完成杂质的掺杂后,只有第一个阳极氧化物被蚀刻。刻蚀是在四氟化碳(CF₄)和氧的等离子体的气氛中完成的。四氟化碳和氧的流量比是 CF₄/O₂ = 3/10。在这种条件下,虽然五氧化二钽(钽的一种阳极氧化物)被刻蚀,氧化硅没有被刻蚀。因此,只有阳极氧化物 106 被刻蚀,而栅极布线 105 和作为栅绝缘膜的氧化硅膜 104 没有刻蚀。结果,在杂质区 107 与夹在杂质区间的有源区间的各个边界(由 X 所表示)如图 1C 所示。在这种状态用激光束辐照使杂质区激活。所用的激光是 KrF 受激准分子激光(波长是 248nm,脉冲宽度是 20ns),而且它的能量密度是 250 至 450mJ/cm²。在用激光束辐照期间,当衬底被加热高达 250 至 550°C 时,对杂质区的激活更加有效。当用 $1 \times 10^{15} \text{cm}^{-2}$ 的剂量,衬底的温度是 250°C,激光能量是 300mJ/cm² 时,将磷掺杂于杂质区,一般地获得的薄层电阻是 500 至 1000 Ω/□。

[0040] 在本实施例中由于杂质区与有源区间的边界（由 X 所表示）是用激光束辐照的，由边界部位变坏所引起的可靠性的下降是很明显的，这是在通常的生产工艺方法中所存在的一个问题。此外，在本工艺过程中由于激光束辐照在暴露的栅极布线上，布线的表面最好完全反射该激光束或者该布线本身最好有足够的耐热。然而由于钽的熔点高于 3000℃，所以这里不存在问题，当使用具有较低熔点的铝时，必须要小心，例如希望在其上表面设置一种耐热材料。（图 1c 所示）

[0041] 随后，再次给栅极布线施加电流，以完成阳极氧化，以形成具有 1000 至 2500 Å 厚度的阳极氧化物（第二阳极氧化物）。由于阳极氧化物 108 决定着薄膜晶体管的由于导电表面的缩进的偏移尺寸，以及防止与上布线的短路，因此要选择足够的厚度。当然，根据情况而定，也可以无需形成此种阳极氧化物。

[0042] 最后，例如使用 TEOS 作为材料气体，用等离子体 CVD 方法，形成厚度为 2000 至 10000 Å 的氧化硅膜 109 作为层间绝缘体。然后，在其上做接触孔以及将由 200 Å 厚的一氮化钛和 500 Å 厚的铝多层膜组成的电极 110 连接到杂质区，这样薄膜晶体管就完成了。

[0043] 第二实施例

[0044] 图 3 和图 4 示出了第二实施例，图 3 是沿着图 4（平面图）的虚线所做的截面图。首先，在一个衬底（Corning 玻璃 7059）301 上形成一个底面氧化硅膜，再形成厚度为 1000 至 1500 Å 的非晶硅膜。在将非晶硅膜在氮气或氩气的气氛中结晶，用 600℃ 退火 24 至 48 小时。因此形成了一个结晶硅岛 302。此外淀积一层厚度为 1000 Å 作栅极绝缘膜用的氧化硅膜 303，并形成钽布线（5000 Å 厚度）304、305 和 306（图 3A）

[0045] 然后，给这些布线 304 ~ 306 施加电流以便在这些布线表面上形成厚度为 2000 至 2500 Å 的第一阳极氧化物 307、308 和 309。用这些布线作掩模，用等离子体掺杂方法将杂质注入硅膜 302 以形成杂质区 310（图 3B 和 4A）。

[0046] 于是仅有第一阳极氧化物 307、308 和 309 被刻蚀以暴露布线的表面，而且在这种状态用 KrF 受激准分子激光束辐照之，以便激活杂质区（图 3C）。

[0047] 随后，在布线 306 上仅在做了接触孔的部位上设置 1 至 5 微米厚的聚酰亚胺覆盖膜 311。由于它易于构成图形，使用光敏聚酰亚胺是很方便的。

[0048] 于是在这种状态给布线 304、305 和 306 施加电流以形成厚度为 2000 至 2500 Å 的第二阳极氧化物 312、313、314。先前已设置聚酰亚胺的部位不被阳极氧化，因此留下了接触孔 315（图 3E）。

[0049] 最后，淀积厚度为 2000 至 5000 Å 的氧化硅膜 316 作为层间绝缘体，而且接触孔也做好。另外，去掉在布线 305（在图 4C 中用虚线围绕的部位 319）的一部位上的所有的层间绝缘体以使第二阳极氧化物 313 暴露出来。于是使用一氮化钽（500 Å 厚）和铝（3500 Å 厚）组成的多层膜形成布线和电极 317 和 318 以完成该电路。这时，在部位 319 处由布线 318 和布线 305 构成一个电容，经接触点 320 和布线 306 相连接（图 3F 和 4C）。

[0050] 第三实施例

[0051] 图5表示第三实施例。在衬底(Corning 7059)501上形成一个氧化硅底膜,再形成厚度为1000至 1500Å 的非晶硅膜。在氮或氩的气氛中在 600°C ,将非晶硅膜退火24小时至48小时使之结晶。从而形成了结晶硅的岛502。淀积作栅极绝缘膜用的 1000Å 厚的氧化硅膜503,再形成钼布线(500Å 厚)504,505和506(图5A)。

[0052] 然后使电流流过这些布线以便在这些布线的侧表面和上表面形成厚度为500至 1500Å 的阳极氧化物覆盖膜507,508和509。以这些布线作掩模,用等离子体掺杂方法,将杂质注入硅膜502中,以便形成杂质区510(图5B)。

[0053] 然后,只有阳极氧化物507,508和509被刻蚀,从而将杂质区510与介于杂质区之间的有源区间的边界暴露出来,而且在这种状态下用KrF受激准分子激光束辐照,以便激活该杂质区(图5C)。

[0054] 随后,设置具有1至5微米厚的聚酰亚胺覆盖膜511,覆盖布线504。由于易于构图使用光敏的聚酰亚胺是很方便的。

[0055] 然后,在这种状态给504,505和506布线通电流以形成厚度为2000至 2500Å 的阳极氧化物513和514。而先前设置了聚酰亚胺的那些部位没有被阳极氧化(图5E)。

[0056] 最后淀积一层2000至 5000Å 厚的氧化硅膜作为层间绝缘体,并在杂质区510制作接触孔。此外,去掉布线506部分上的所有层间绝缘体,以露出阳极氧化物514。于是,使用一氯化钽(500Å 厚)和铝(3500Å 厚)的多层膜形成布线和电极516和517,从而完成该电路。这时,布线517和布线506及在部位518处的作为介质的阳极氧化物(514)构成一个电容(图5F)。

[0057] 第四实施例

[0058] 图6示出了第四优选实施例。在本实施例中,在一个绝缘衬底上形成一个薄膜晶体管。在衬底601上淀积一氧化硅膜602作为一层氧化物底膜。然后,淀积一层非晶硅膜,而且构成岛状。然后激光束(KrF激光,波长:248nm,脉冲宽度为20nsec)辐照在其上。在激光束辐照之前将衬底在真空中加热到300至 550°C ,0.1至3小时,以便放出含在非晶硅膜中的氢。该激光束的能量密度是250至 $450\text{mJ}/\text{cm}^2$ 。在激光束辐照期间,该衬底被加热到250至 550°C 。因此,非晶硅膜被结晶转变为结晶硅膜603。

[0059] 然后,形成一层厚度为800至 1200Å 的氧化硅膜604作栅极绝缘膜用。而且用铝来形成栅电极605。它的厚度是2000至 10000Å (图6A)。

[0060] 随后,将栅电极阳极氧化在其表面形成厚度为1500至 2500Å 的阳极氧化物606(第一阳极氧化物),该阳极氧化的完成是将衬底浸渍在含有1至5%的酒石酸的甘醇溶液中按1-5V/min速率增加所施加的电压,把所有的栅极布线联合起接至正电极,把白金设定为负电极。用等离子体掺杂的方法用硼(B)或磷(P)离子辐照以便形成杂质区607(图6B)。

[0061] 完成杂质掺入后,只把第一阳极氧化物606刻蚀。在四氟化碳和氧的等离子体的气氛中进行刻蚀。四氟化碳与氧的流量比例是 $\text{CF}_4/\text{O}_2 = 3/10$ 。在这个条件下,当刻蚀铝的阳极氧化物时,不刻蚀氧化硅。因此,只有阳极氧化物606被刻蚀而不刻蚀栅极布线605及作为栅极绝缘膜的氧化硅膜604。通过刻蚀工艺过程使阳极氧化物的厚度减薄至500~

1500 Å (阳极氧化物 608)。

[0062] 结果,杂质区 607 与夹在杂质区中间的有源区之间的各个边界(由 X 所示)呈图 6C 中所示的样子。然后,在这种状态由发射的激光束将杂质区激活。使用的激光是 KrF 受激准分子激光器(波长:248nm,脉冲宽度是 20nsec),激光的能量密度是 250 至 450mJ/cm²。在发射激光束期间,将衬底加热高达 250 至 550°C 时,将更有利于杂质区的激活。在本实施例中,由于杂质区与有源区间的边界(由 X 表示)是被激光束辐照的,边界部分的劣变所引起的可靠性下降是非常明显的,这在通常生产工艺中还是个问题(图 6C)。

[0063] 随后,给栅极布线再施加电流,以使其阳极氧化形成厚度为 1000 至 2500 Å 的阳极氧化物(第二阳极氧化物)609。由于阳极氧化物 609 的厚度决定薄膜晶体管由于在阳极氧化期间寻电面的缩进而偏移的尺寸并防止和上布线的短路,为了这个目的可以选择适当的厚度。依情况而定,也可能不必形成这类阳极氧化物(图 6D)。

[0064] 最后,形成一层厚度为 2000 至 1000 Å 的氧化硅膜 610 作为层间绝缘体。在其上做一个接触孔,用厚 200 Å 的一氯化钛及厚 500 Å 的铝多层膜构成的电极 611 连接到杂质区上,从而完成了薄膜晶体管(图 6E)。

[0065] 第五实施例

[0066] 本实施例所表示的是将两种阳极氧化物即疏松的和阻挡型阳极氧化物结合起来情况。这就是将大于 0.2 微米或最好是大于 0.5 微米的疏松的阳极氧化物用一相对低的电压形成在栅极电极的侧面,而同时在栅电极的上表面形成具有好的绝缘质量的阻挡型阳极氧化物。

[0067] 可以在 3 至 20% 的柠檬酸、草酸、磷酸、铬酸或硫酸的水溶液中阳极氧化而获得疏松的阳极氧化物。另一方面,使用例如 3 至 10% 酒石酸,硼酸或硝酸的甘醇有机溶液作阳极氧化可获得阻挡型阳极氧化物。在栅电极的上表面最好尽可能薄地形成阻挡型阳极氧化物(只要保持和上布线的绝缘),也就是小于 0.2 微米或者小于 0.1 微米就更好。

[0068] 这两类阳极氧化物可以这样形成,在栅电极的上表面上形成掩模材料,以便在这种状态最初形成疏松阳极氧化物,然后除去掩模材料,以便集中在栅电极的上表面形成阻挡型阳极氧化物。用于这种目的的掩模材料必须能经受阳极氧化的电压,例如聚酰亚胺是适合的。特别是当使用一种光敏材料如 Photonese(一种光敏聚酰亚胺)和 AZ1350 时,可以使用这种掩模材料构成栅电极的图形。此外,虽然一种在通常的光刻工艺中使用的光致抗蚀剂(例如由东京 OhkaKogyo 有限公司制造的 OFPR 800/30cp)不足之处在于它的绝缘特性不好,在疏松阳极氧化期间,阻挡了逐渐剥落,在阻挡型阳极氧化的条件下,在应用抗蚀剂以前,形成一层 50 至 1000 Å 氧化物覆盖膜,这个问题能够得以解决。

[0069] 图 7 是表示本实施例的生产工艺的截面图,首先用溅射的方法在衬底(Corning 7059)上形成厚度为 2000 Å 的氧化硅底膜 702。此外,用等离子体 CVD 方法淀积一层厚度为 200 至 1000 Å,或者例如 500 Å 厚的本征的(I 型)非晶硅膜。随后构成图形并刻蚀,以便形成硅岛区 703。通过在其上辐照激光束(KrF 激光器),使硅岛区 703 结晶。此外用溅射的方法,淀积厚度为 1000 Å 的氧化硅膜 704 作为栅绝缘膜。

[0070] 随后,用溅射的方法淀积厚度为 3000 至 8000 Å 例如为 4000 Å 的铝膜

(包括 0.1 至 0.3wt% 的钨)。将衬底浸渍在含有 3% 的中性 (用氨将 PH 值调至 7) 酒石酸的一种甘醇的溶液中施加 10-30V 电压在铝膜上形成厚度为 100 至 400 Å 的薄阳极氧化物。然后在铝膜上用施涂法形成大约为 1 微米厚的光致抗蚀剂 (例如由东京 Ohka Kogyo 有限公司生产的 OFPR 800/30cp) 用公知的光刻法形成栅极电极 705。将光致抗蚀剂掩模 706 留在栅极电极 705 上。用光敏聚酰亚胺 (Photones) 如由 Toray 工业公司生产的 UR 3800 替代光致抗蚀剂 (图 7A) 也可以得到相同的效果。

[0071] 然后,将衬底浸渍在 10% 的柠檬酸溶液中,施加以 5 至 50V,例如 8V 的恒定的电压阳极氧化 10-500 分钟,例如 200 分钟,在栅极电极的侧面形成精度小于 ± 200 Å 的,厚度为 5000 Å 的疏松阳极氧化物。由于在栅电极的上表面上存在掩模材料 706,在其上几乎没有进行阳极氧化 (图 7B)。

[0072] 然后,另一个阳极氧化是这样完成的,将掩模材料除去,以露出栅极电极的上表面,将衬底浸于 3% 的酒石酸甘醇溶液中 (它的 PH 值已由氨调为中性) 并且通过电流,同时按每分钟 1 至 5 伏的速率,例如 4V/min,加压至 100V。这时,不但栅电极的上表面而且其侧面也被阳极氧化,形成一层精细的 1000 Å 厚的阻挡型阳极氧化物 708。阳极氧化物的耐压大于 50V (图 7C)。

[0073] 然后用干法刻蚀将氧化硅膜 704 刻蚀掉。在此刻蚀过程中可以使用各向同性的等离子体刻蚀方法,也可用各向异性的反应离子刻蚀方法。然而,重要的是通过充分增加硅和氧化硅的选择比率而不过深地刻蚀硅的区域 703。例如,当使用 CF_4 作为刻蚀气体时,阳极氧化物 707 和 708 不被刻蚀;只有氧化硅膜被刻蚀。此外,在阳极氧化物下面的氧化硅不被刻蚀而留下作为栅绝缘膜 710。

[0074] 然后,用等离子体掺杂方法,将栅极电极 705 和侧面的疏松的阳极氧化物 707 作掩模,将杂质 (磷) 注入硅区域 703。用磷化氢 (PH_3) 作为掺杂气体,加速电压为 5 至 30KV,例如 10KV。剂量为 1×10^{14} 至 $8 \times 10^{15} \text{cm}^{-2}$,例如为 $2 \times 10^{15} \text{cm}^{-2}$ 。以此形成了 N 型杂质区 709 (图 7D)。

[0075] 其次,使用磷酸、乙酸和硝酸的混合物刻蚀疏松的阳极氧化物 707 露出阻挡型阳极氧化物 708。用激光束从上向下辐照,实施激光退火,以激活掺杂的杂质。激光束在辐照期间辐照在掺杂的杂质区和未掺杂的区域间的边界 711 上。

[0076] 该激光束的能量密度是 100 至 400mJ/cm²,例如 150mJ/cm²,辐照 2 至 10 次,例如是 2 次在用激光辐照期间,将衬底加热至 200 ~ 300°C 如 250°C。在本实施例中,在辐射期间,由于硅的区域是暴露的,所以激光束的能量最好是稍低一些。

[0077] 然后用等离子体 CVD 方法形成厚度为 6000 Å 的氧化硅膜 712,作为层间绝缘体。并且在其上形成接触孔以使用 - 氮化钛和铝这样的金属材料的多层膜形成一个电极以及 TFT 的源和漏区的引线 713 和 714。最后在一个大气压力氢的气氛中加热在 350°C 和 30 分钟以完成退火工艺。用上述的工艺方法完成了薄膜晶体管。另外,偏移的宽度 X 大约是 6000 Å,也就是疏松阳极氧化物 5000 Å 加上阻挡型的阳极氧化物 1000 Å 的厚度 (图 7F)。

[0078] 在阳极氧化期间,由于没有过高的电压加在栅绝缘膜上,栅极绝缘膜的界面能级密度是小的,因此 TFT 的亚阈值特性 (S 值) 是很小的。结果获得了明显的开 / 关 (ON/OFF)

的上升特性。

[0079] 第六实施例

[0080] 图 8 是表明本实施例的生产工艺方法的剖面图。首先,在衬底 Corning 7059)801 上形成厚度为 2000 \AA 的氧化硅底膜 802。然后,形成厚度为 200 至 1500 \AA ,例如 800 \AA 的本征(I型)结晶硅岛区 803。随后形成厚度为 1000 \AA 的氧化硅膜 804 覆盖在硅岛区上。

[0081] 随后,用溅射的方法淀积厚度为 3000 至 8000 \AA ,例如 4000 \AA 的铝膜(包括 0.1 至 0.3wt% 的钎)。然后用与实施例 5 相同的方式在铝膜上形成厚度为 100 至 400 \AA 的薄阳极氧化物。再用施涂法在铝上形成大约 1 微米厚的光致抗蚀剂,用公知的光刻的方法,形成栅极电极 805,而将光致抗蚀剂掩模 806 留在栅电极上(图 8A)。

[0082] 然后,将衬底浸渍在 10% 的草酸溶液中并且施加 5 至 50V 的电压,例如 8V 的恒定电压。阳极氧化 10 至 500 分钟,例如 200 分钟,在栅极电极的侧面形成厚度约为 5000 \AA 的疏松阳极氧化物 807,由于在栅极电极的上表面有掩模材料 806,在其上面基本上没有进行阳极氧化(图 8B)。

[0083] 随后,通过除去掩模材料露出栅电极的上表面,将衬底浸入 3% 的酒石酸甘醇的溶液(使用氨将其 pH 值调节为中性),再通以电流,同时以每分钟 1 至 5V 例如以 4V/min 的速率将电压增至 100V 以便进行阳极氧化。这时,栅电极的上表面和侧面被阳极氧化,形成厚度为 1000 \AA 的精细的阻挡型阳极氧化物 808。阳极氧化物的耐压大于 50V。

[0084] 然后用干刻蚀法刻蚀氧化硅膜 804。而这次刻蚀中阳极氧化物 807 和 808 未被刻蚀,只有氧化硅被刻蚀掉。而且在阳极氧化物下面的氧化硅膜未被刻蚀,留下作为栅绝缘膜 809(图 8C)。

[0085] 其次使用磷酸、乙酸和硝酸的混合物刻蚀疏松的阳极氧化 807 以露出阻挡型阳极氧化物 808。于是使用栅电极 805 以及由在侧面的阳极氧化物 807 所限定的栅绝缘膜 809 作掩模,用等离子掺杂的方法,将杂质(磷)注入到硅区域 803 中。用磷化氢(PH_3)作掺杂气体,加速电压为 5 至 30KV,例如 10KV。剂量为 1×10^{14} 至 $8 \times 10^{15} \text{ cm}^{-2}$,例如是 $2 \times 10^{15} \text{ cm}^{-2}$ 。

[0086] 在这种掺杂过程中,虽然高浓度的磷注入未被栅极绝缘膜 809 覆盖的区域 810,掺杂量很少并且只有区域 810 的杂质的 0.1 至 5% 注入到其表面由栅绝缘膜 809 所覆盖,而且由本发明中的栅绝缘膜阻挡的区域 811。结果,形成了 N 型高浓度杂质区 810 和低浓度杂质区 811(图 8D)。

[0087] 然后从上面辐照的激光束,进行激光退火,以便激活该掺杂的杂质。然而,在这种情形下,低浓度杂质区 811 与有源区间的各个边界没有辐照足够的激光束。然而如前所述,由于掺杂在低浓度杂质区 811 的量是很少的,硅结晶的破坏是少的,因此不太需要用激光束辐照来改善结晶性。

[0088] 相反,高浓度杂质区 810 和低密度杂质区 811 间的相应的边界需要用激光束进行充分地辐照。这是由于在高浓度杂质区 811 的结晶缺陷是大的,而且由于大量的杂质离子注入该区。如图所示本实施例(图 8E)的结构可见,激光束也透射到边界部分。

[0089] 然后用等离子体 CVD 方法形成厚 6000 \AA 的氧化硅膜 812 作为层间绝缘体,并

在其上做接触孔及以使用像一氮化钛和铝那样的金属材料的多层膜形成一个电极以及 TFT 的源和漏区的布线 813 和 814。最后,在一个大气压的氢的气氛中,在 350°C 的温度退火 30 分钟。通过上述的过程,完成了薄膜晶体管的制作。

[0090] 用本实施例的方法可以获得和所谓的低浓度漏极 (LDD) 结构相同的结构。已经表明 LDD 结构在抑制热载流子引起的退化方面是有效的,根据本实施例,在生产 TFT 中可以获得相同的效果。然而与为获得 LDD 的公知工艺方法相比较,本实施例的特征在于用单一的掺杂工艺方法可以获得 LDD。此外,本实施例的特征在于高浓度杂质区 810 是由疏松阳极氧化物 807 所限定的栅绝缘膜 809 所限定。这也就是杂质区是由疏松阳极氧化物 807 所间接限定。然后,如本实施例中所显示的 LDD 区域的宽度 X 基本上由疏松的阳极氧化物的宽度所决定。

[0091] 在本和先前的实施中所示的 TFT 生产的方法的使用允许进行较高的集成。而且在这时,如果偏移区域或 LDD 区域的宽度 X 是随 TFT 所要求的特征而变化是更方便的。图 9 是用于集成电路的电-光系统的方框图,在该集成电路中,在一个玻璃衬底上安置一个显示、CPU、存储器等等。

[0092] 这里,一个输入端口读取来自外面一个信号输入,并且将其转换为图象信号。一个校正存储器,其实质是一个有源矩阵板的存储器用以校正输入信号或者对应该板特征的类似信号。这个校正存储器用其内部的非易失的存储器保持表征每个象素的信息,并且一条一条地校正。这也就是当电光器件的象素中有一个点缺陷,校正存储器发送一个与该点周围的那些象素相应的一个校正信号,覆盖该点缺陷使得该缺陷点变得不明显。或者当一个象素比周围的象素暗,它发送给该象素一个较大的信号使得它与周围的象素有相同的亮度。

[0093] 该 CPU 和存储器与普通计算机中的相同。该存储器具有象 RAM 一类能容纳每个象素的图象记忆。一个背面光用于从背面照射衬底并且根据图象信息改善该背面光。

[0094] 通过形成能够分别改善阳极氧化状态的 3 至 10 行线能获得适合每种这样的电路的偏移区或 LDD 区的宽度。一般地在有源短阵电路 (91) 的一个 TFT 中当沟道长度是 10 微米时,LDD 区的宽度可以是 0.4 至 1 微米,例如 0.6 微米。在一个驱动器中的 N 沟道型 TFT (薄膜晶体管) 中当沟道长度为 8 μm ,沟宽为 200 μm ,LDD 区的宽度可以是 0.2 ~ 0.3 μm ,比如是 0.25 μm 。

[0095] 同理在一 P 沟道型 TFT 中,当沟道长度是 5 微米,沟道宽度是 500 微米,LDD 区域的宽度可以是 0 至 0.2 微米,例如是 0.1 微米。

[0096] 在一解码器中的 N 沟道型的 TFT 中,当沟道长度是 8 微米而沟道宽度是 10 微米,LDD 区的宽度可以是 0.3 至 0.4 微米,例如是 0.35 微米。同样在 P 沟道型 TFT 中,当沟道长度是 5 微米以及沟道宽度是 10 微米,LDD 区的宽度可以是 0 至 0.2 微米,例如是 0.1 微米。此外,在图 9 中的 CPU,输入端口、校正存储器和存储器的 NTFT 和 PTFT (N 沟道薄膜晶体管和 P 沟道薄膜晶体管) 的 LDD 区域的宽度与解码器相似,为在高频下低功耗的工作可作优化选择。因此,电光器件 94 可以形成在有一个绝缘表面的相同衬底上。

[0097] 如上所述,本发明允许改善诸如在低温工艺过程中生产的 MOS 晶体管、薄膜晶体管以及类似的晶体管等 MIS 型半导体器件的可靠性。特别是当它在一种状态保留超过 10 小时,这种状态是源极接地,以及漏极和或栅极的一个或二者加上高于 +20V 或低于 -20V 的

电位,对晶体管的特性不产生大的影响。

[0098] 虽然这些实施例的解释是集中在薄膜晶体管上,不须说在一种单晶的半导体衬底上生产 MIS 型半导体器件也能获得与本发明的相同效果。

[0099] 并且至于半导体材料,同本发明中提及的硅一样,用硅锗合金、碳化硅、锗、硒化镉、硫化镉、砷化镓或类似的均可获得相同的效果。如上所述,本发明对于工业是有益的。

[0100] 参照本发明的优选实施例详细说明和描述了本发明,本技术领域的普通技术人员将明白在不离开本发明的精神和范围的情况下可以做出许许多多的前述的或其它的形式上和细节上的改变。

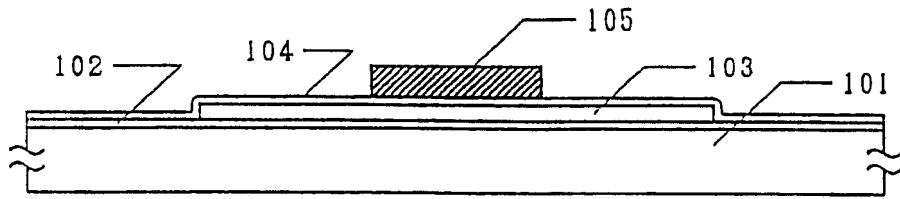
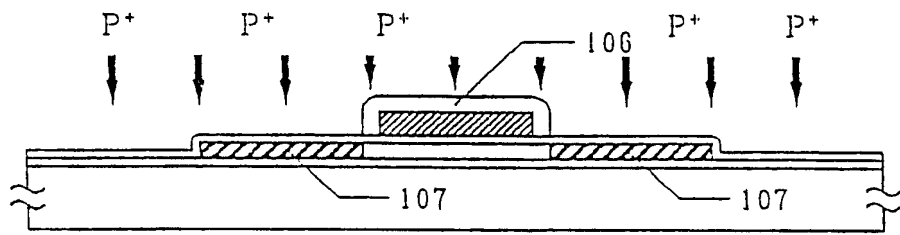


图 1(A)



激光

图 1(B)

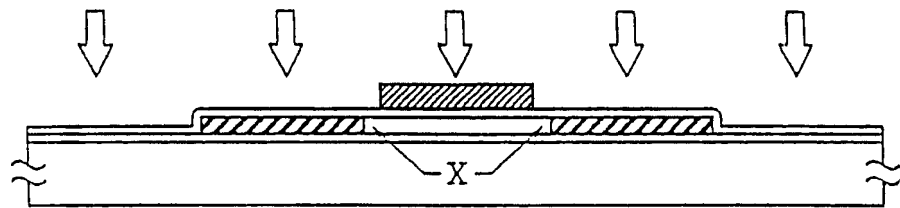


图 1(c)

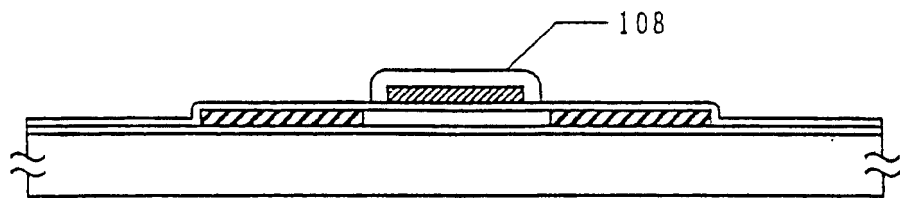


图 1(D)

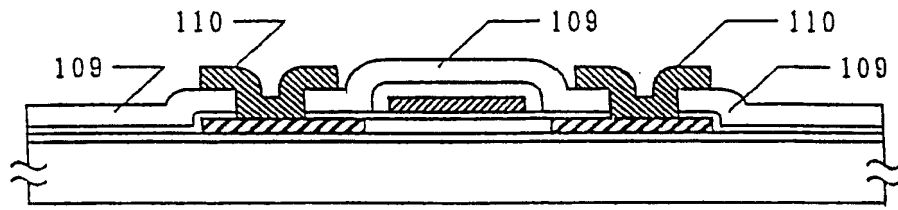


图 1(E)

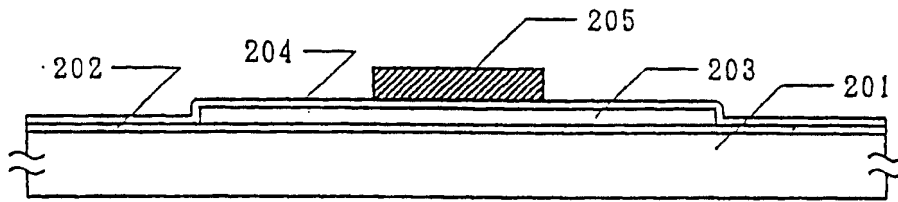


图 2(A)

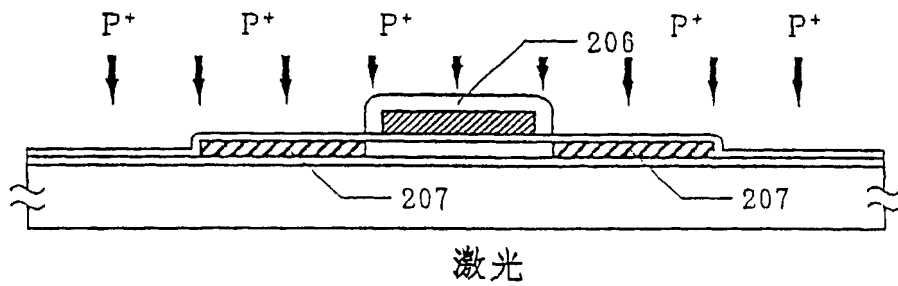


图 2(B)

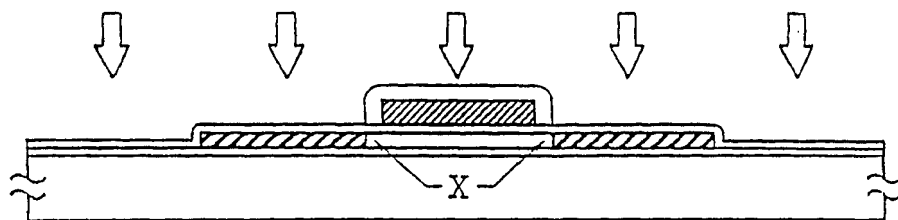


图 2(c)

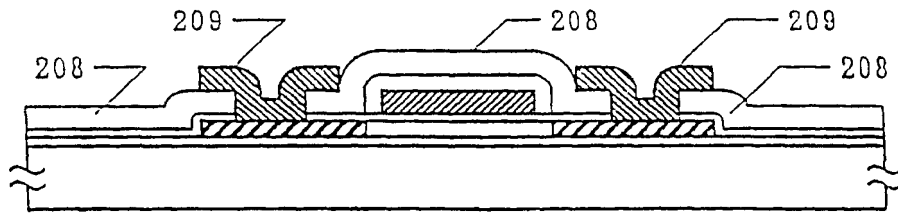
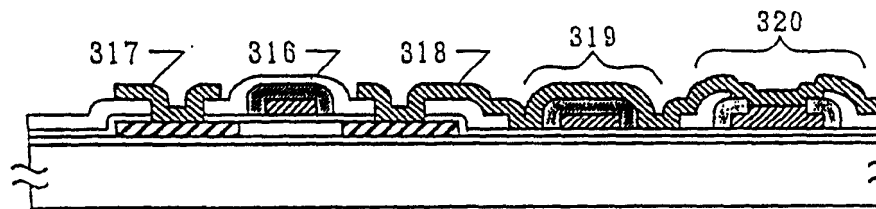
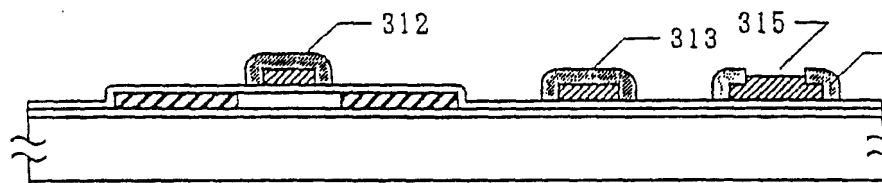
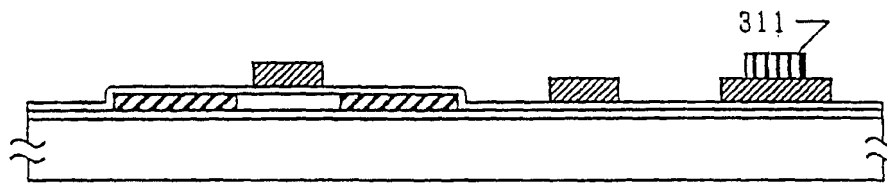
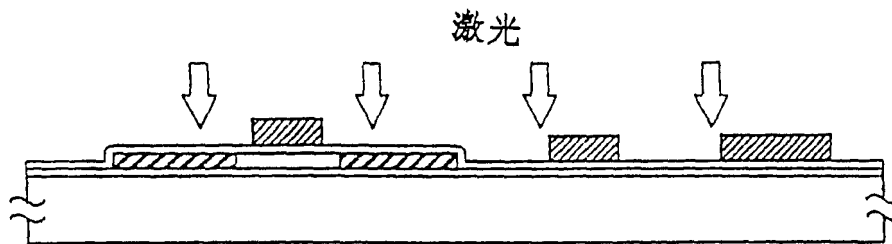
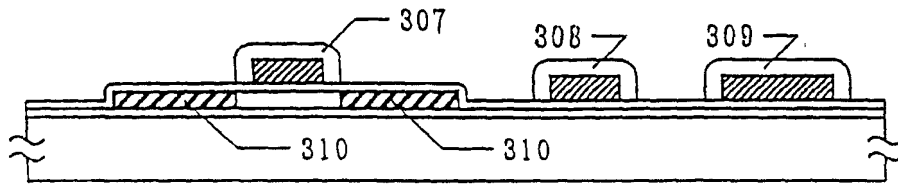
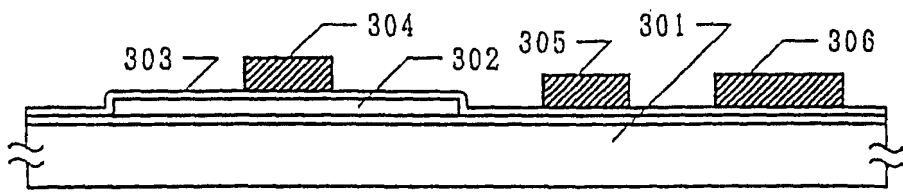


图 2(D)



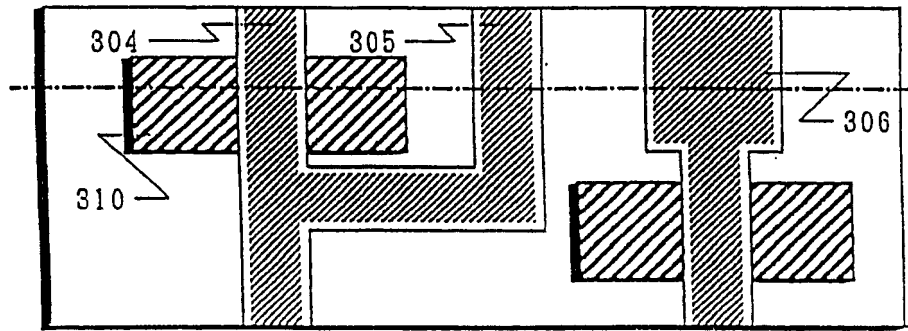


图 4(A)

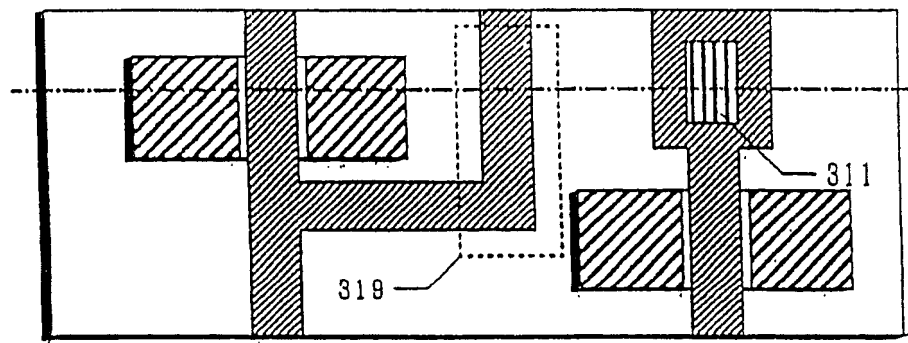


图 4(B)

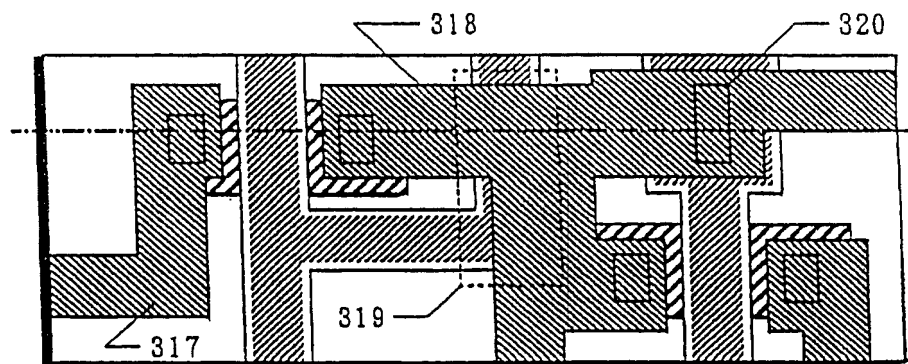
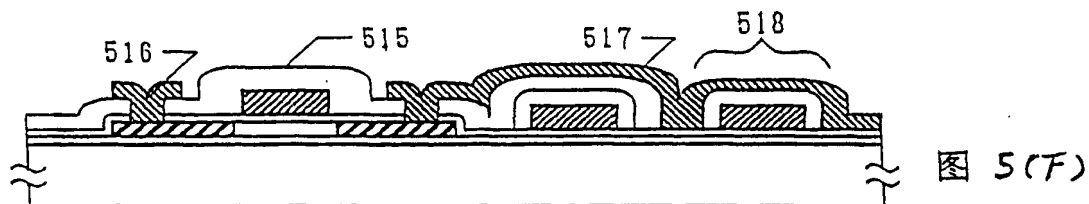
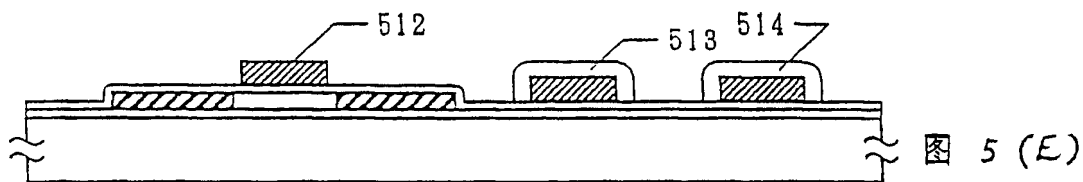
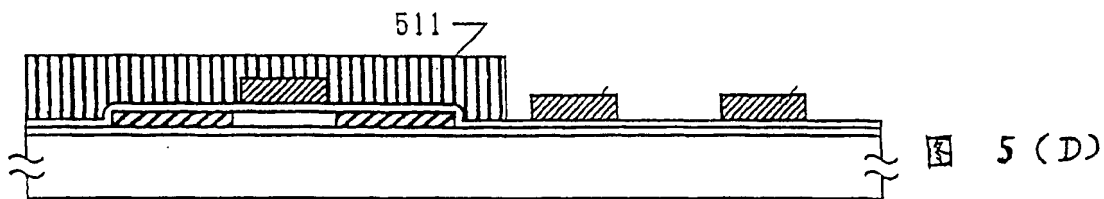
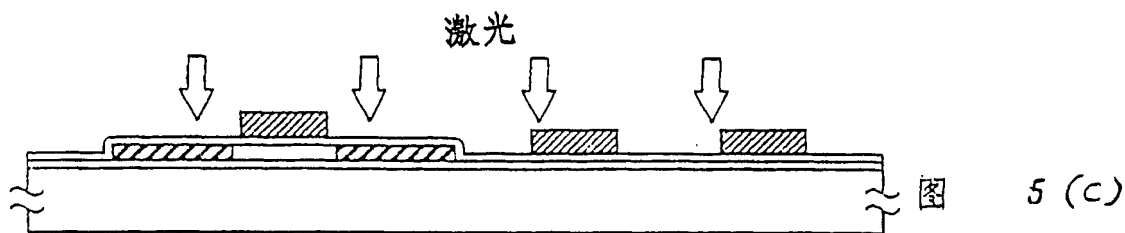
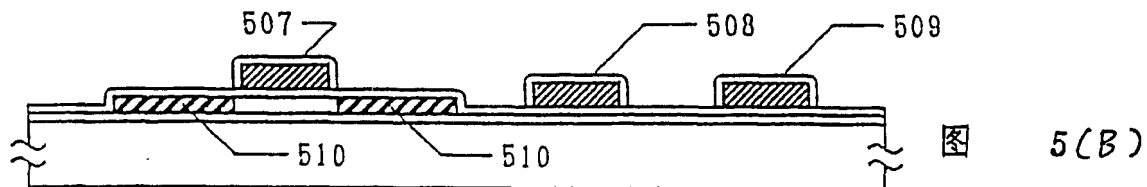
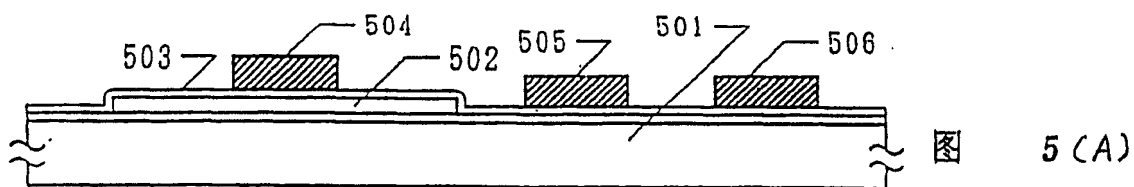


图 4(c)



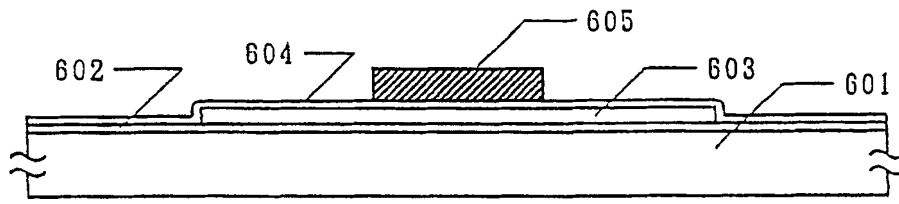
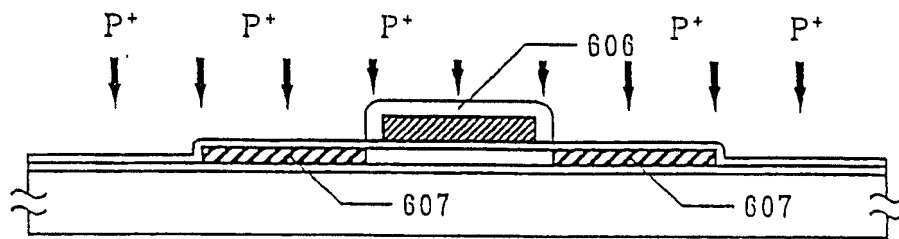


图 6(A)



激光

图 6(B)

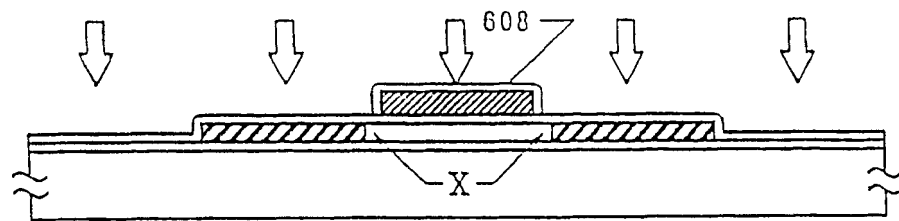


图 6(C)

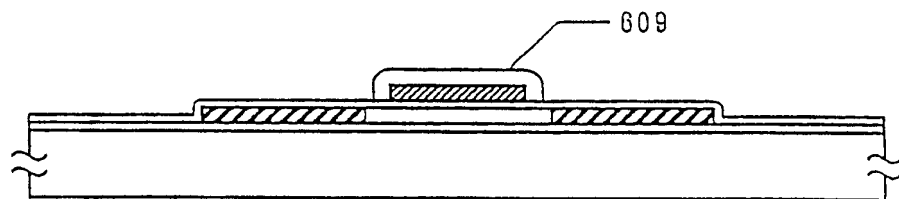


图 6(D)

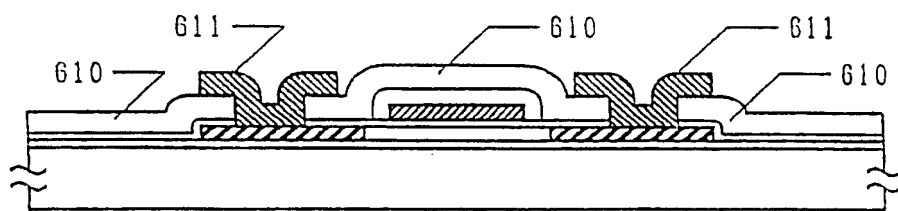


图 6(E)

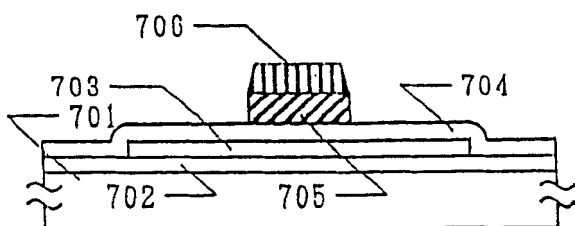


图 7(A)

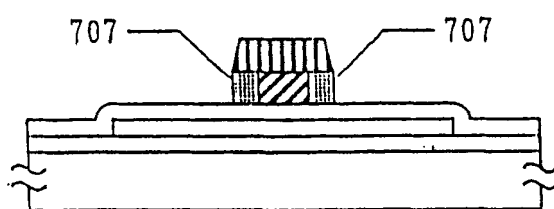


图 7(B)

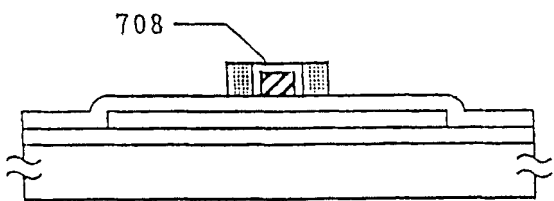
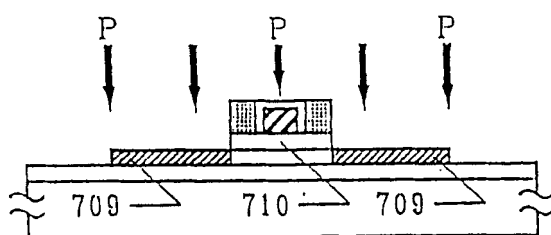


图 7(c)



激光

图 7(D)

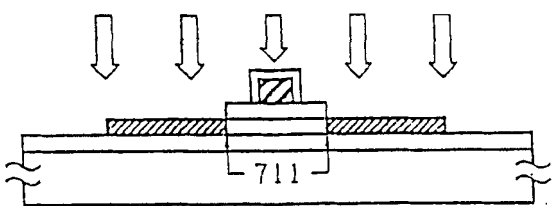


图 7(E)

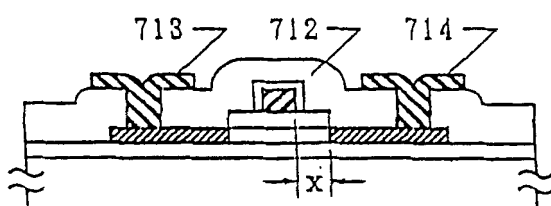


图 7(F)

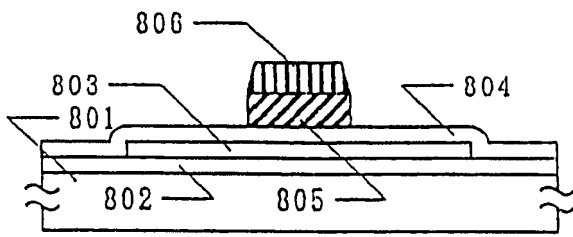


图 8(A)

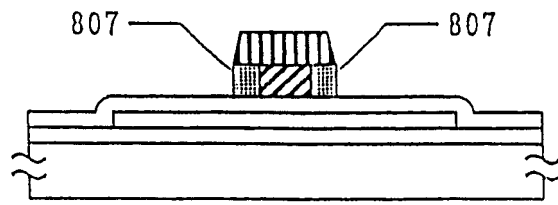


图 8(B)

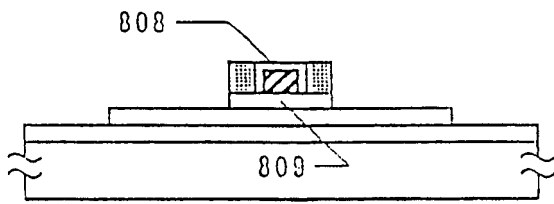


图 8(c)

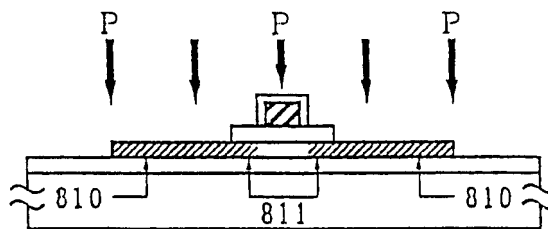


图 8(D)

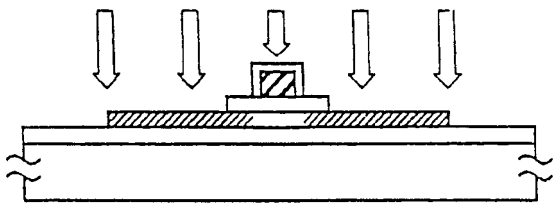


图 8(E)

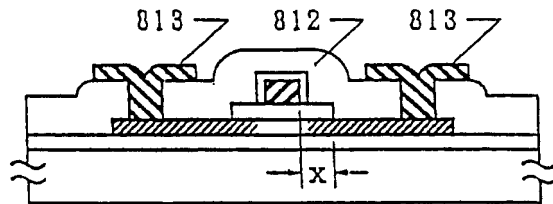


图 8(F)

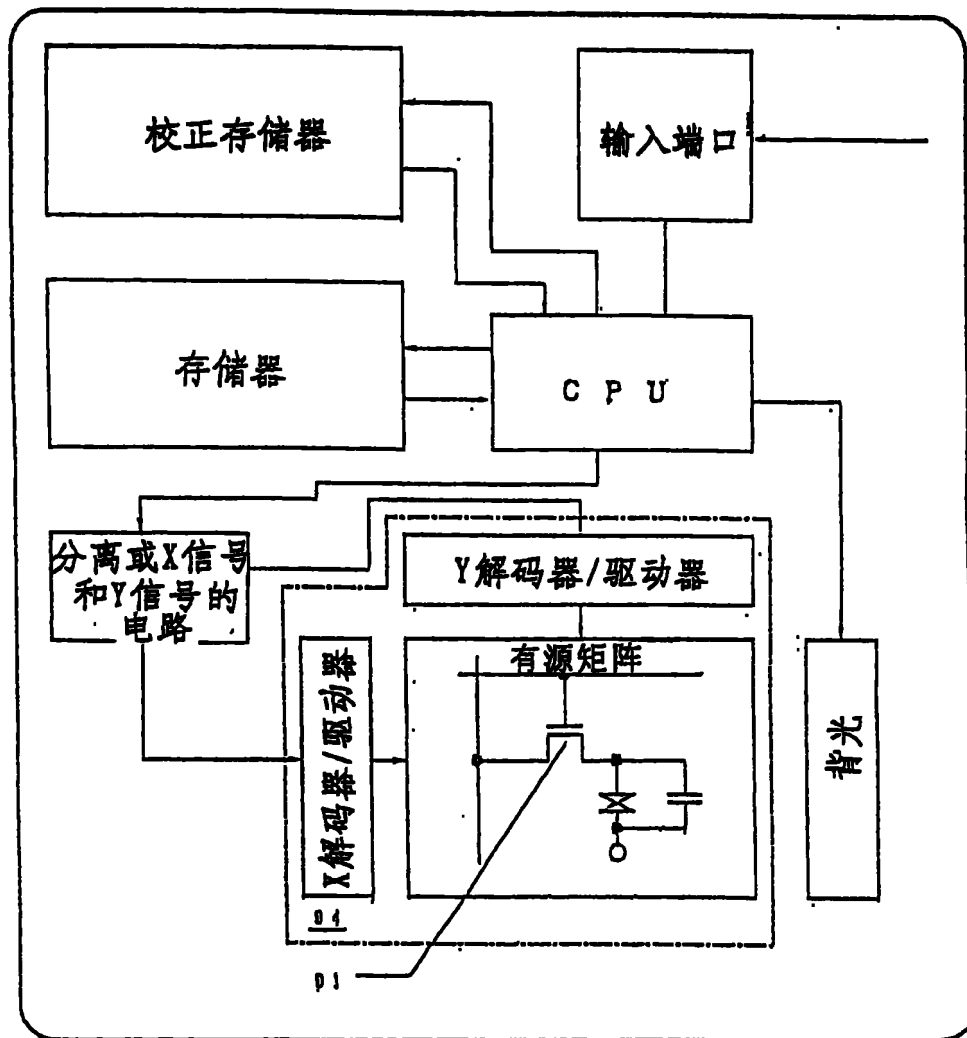


图 9