



(12) 发明专利申请

(10) 申请公布号 CN 102646600 A

(43) 申请公布日 2012. 08. 22

(21) 申请号 201210102929. 6

(51) Int. Cl.

(22) 申请日 2006. 05. 19

H01L 21/336 (2006. 01)

(30) 优先权数据

2005-148836 2005. 05. 20 JP

2005-150271 2005. 05. 23 JP

(62) 分案原申请数据

200610084061. 6 2006. 05. 19

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 大沼英人 永井雅晴 纳光明

坂仓真之 小森茂树 山崎舜平

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 李玲

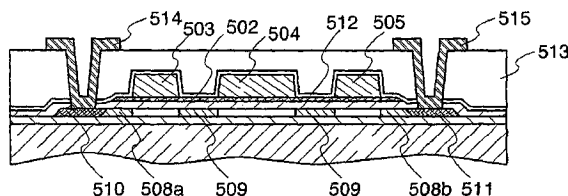
权利要求书 3 页 说明书 28 页 附图 21 页

(54) 发明名称

半导体设备及其制造方法

(57) 摘要

半导体设备及其制造方法。本发明的一个目的在于,在有限的面积中形成多个元件,以便减少由用于集成的元件占用的面积,使得可在诸如液晶显示设备和含有 EL 元件的发光设备的半导体设备中推动更高的分辨率(增加像素数量)、以小型化来减少每一显示像素的节距以及驱动像素部分的驱动电路的集成。对光刻过程应用配备有由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线,用于形成栅电极以便形成复杂栅电极。此外,可通过仅仅改变掩膜而无需增加处理的次数在同一衬底上形成具有上述多栅结构的顶栅 TFT 和具有单栅结构的顶栅 TFT。



1. 一种用于制造半导体器件的方法,包含以下步骤:

在半导体层上形成绝缘膜;

在所述绝缘膜上形成第一导电膜;

在所述第一导电膜上形成第二导电膜;

在所述第二导电膜上形成包含端部分和中央部分的抗蚀图案,从截面上看所述中央部分比所述抗蚀图案的其它部分厚;

蚀刻所述第二导电膜和所述第一导电膜,以便从所述第一导电膜形成第一导电图案以及从所述第二导电膜形成多个第二导电图案,所述第二导电图案彼此分离地位于所述第一导电图案上;以及

通过掺杂一种导电性的杂质元素在所述半导体层中形成多个沟道形成区、多个第一杂质区、多个第二杂质区和多个第三杂质区,

其中所述第一杂质区的每一个位于所述第一导电图案外部,所述第二杂质区的每一个与所述第一导电图案重叠,而所述第三杂质区的每一个位于两个所述沟道形成区之间,以及

其中所述第二导电图案的数目和沟道形成区的数目相同,并且所述数目至少为 3。

2. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述第一导电图案的宽度宽于所述第二导电图案的宽度总和。

3. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述抗蚀图案是通过使用含有衍射光栅图案的光掩膜来形成的。

4. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述抗蚀图案是通过使用含有半透明膜的光掩膜来形成的。

5. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述抗蚀图案是通过使用含有衍射光栅图案的标线来形成的。

6. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述抗蚀图案是通过使用含有半透明膜的标线来形成的。

7. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述第一导电图案和第二导电图案用作栅电极。

8. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,每个所述第一杂质区中的所述杂质元素的浓度高于每个所述第二杂质区中的所述杂质元素的浓度。

9. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述第一杂质区是源区和漏区。

10. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述半导体层包括单晶半导体膜、多晶半导体膜或微晶半导体膜中的一个。

11. 如权利要求 1 所述的用于制造半导体器件的方法,其特征在于,所述半导体层是选自单晶硅衬底、GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底或 ZnSe 衬底的半导体衬底的一部分。

12. 一种用于制造半导体器件的方法,包含以下步骤:

在半导体层上形成绝缘膜;

在所述绝缘膜上形成第一导电膜;

在所述第一导电膜上形成第二导电膜；

在所述第二导电膜上形成包含端部分和中央部分的抗蚀图案，从截面上看所述中央部分比所述抗蚀图案的其它部分厚；

蚀刻所述第二导电膜和所述第一导电膜，以便从所述第一导电膜形成第一导电图案以及从所述第二导电膜形成多个第二导电图案，所述第二导电图案彼此分离地位于所述第一导电图案上；

通过掺杂一种导电性的杂质元素在所述半导体层中形成多个沟道形成区、多个第一杂质区、多个第二杂质区和多个第三杂质区；

在所述第一导电图案和所述多个第二导电图案上形成第三绝缘膜；

形成经所述第三绝缘膜各自电连接至所述第一杂质区的源极和漏极；以及

形成连接至所述源极和漏极中一个的像素电极，

其中所述第一杂质区的每一个位于所述第一导电图案外部，所述第二杂质区的每一个与所述第一导电图案重叠，而所述第三杂质区的每一个位于两个所述沟道形成区之间，以及

其中所述第二导电图案的数目和沟道形成区的数目相同，并且所述数目至少为 3。

13. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述第一导电图案的宽度宽于所述第二导电图案的宽度总和。

14. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有衍射光栅图案的光掩膜来形成的。

15. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有半透明膜的光掩膜来形成的。

16. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有衍射光栅图案的标线来形成的。

17. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有半透明膜的标线来形成的。

18. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述第一导电图案和第二导电图案用作栅电极。

19. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，每个所述第一杂质区中的所述杂质元素的浓度高于每个所述第二杂质区中的所述杂质元素的浓度。

20. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述第一杂质区是源区和漏区。

21. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述半导体层包括单晶半导体膜、多晶半导体膜或微晶半导体膜之一。

22. 如权利要求 12 所述的用于制造半导体器件的方法，其特征在于，所述半导体层是选自单晶硅衬底、GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底或 ZnSe 衬底的半导体衬底的一部分。

23. 一种用于制造半导体器件的方法，包含以下步骤：

在半导体层上形成绝缘膜；

在所述绝缘膜上形成第一导电膜；

在所述第一导电膜上形成第二导电膜；

在所述第二导电膜上形成抗蚀图案，所述抗蚀图案包含厚度比所述抗蚀图案的其它部分厚的三个部分，其中，在所述三个部分中，所述抗蚀图案的中央部分的长度比所述抗蚀图案的端部分的长度长；

蚀刻所述第二导电膜和所述第一导电膜，以便从所述第一导电膜形成第一导电图案以及从所述第二导电膜形成多个第二导电图案，所述第二导电图案彼此分离地位于所述第一导电图案上；以及

通过掺杂一种导电性的杂质元素在所述半导体层中形成多个沟道形成区、多个第一杂质区、多个第二杂质区和多个第三杂质区，

其中所述第一杂质区的每一个位于所述第一导电图案外部，所述第二杂质区的每一个与所述第一导电图案重叠，而所述第三杂质区的每一个位于两个所述沟道形成区之间，以及

其中所述第二导电图案的数目和沟道形成区的数目相同，并且所述数目至少为 3。

24. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述第一导电图案的宽度宽于所述第二导电图案的宽度总和。

25. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有衍射光栅图案的光掩膜来形成的。

26. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有半透明膜的光掩膜来形成的。

27. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有衍射光栅图案的标线来形成的。

28. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述抗蚀图案是通过使用含有半透明膜的标线来形成的。

29. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述第一导电图案和第二导电图案用作栅电极。

30. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，每一个所述第一杂质区中的所述杂质元素的浓度高于每一个所述第二杂质区中的所述杂质元素的浓度。

31. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述第一杂质区是源区和漏区。

32. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述半导体层包括单晶半导体膜、多晶半导体膜或微晶半导体膜之一。

33. 如权利要求 23 所述的用于制造半导体器件的方法，其特征在于，所述半导体层是选自单晶硅衬底、GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底或 ZnSe 衬底的半导体衬底的一部分。

半导体设备及其制造方法

[0001] 本申请为申请日为 2006 年 5 月 19 日、申请号为 200610084061.6、发明名称为“半导体设备及其制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及具有由薄膜晶体管（后文中称为 TFT）组成的电路的半导体设备及其制造方法，例如涉及配备以液晶显示屏或具有有机发光元件的发光显示设备为代表的电光设备作为组件的电子设备。

[0003] 要注意，说明书中的半导体设备指的是一般可通过利用半导体特性来作用的设备，且电光设备、半导体电路和电子设备都是半导体设备。

背景技术

[0004] 近年来，通过使用带有绝缘表面的衬底上形成的半导体薄膜（在厚度上大约几到几百纳米）来制造薄膜晶体管（TFT）的技术引起了注意。薄膜晶体管广泛地应用于诸如 IC 和电光设备的电子设备设备，尤其作为图像显示设备的开关元件迅速发展。

[0005] 具体地，积极地开发了其中为按矩阵排列的每一显示像素提供 TFT 的开关元件的有源矩阵显示设备（诸如液晶显示设备或发光显示设备）。

[0006] 在有源矩阵显示设备中，推进了扩充像素部分中的有效屏幕区的发展。为了使得有效屏幕区更大，确实有必要使得由排列在像素部分中的 TFT（像素 TFT）所占据的面积尽可能地小。此外，为了降低制造成本，也推进了在带有像素部分的同一衬底上形成驱动电路的发展。最重要的，使用多晶硅薄膜的 TFT 比使用非晶态硅薄膜的 TFT 具有更高的场效应迁移率，从而能以更高的速度操作。

[0007] 在安装在显示设备上的模块中，在一个衬底上形成为每一功能块显示图像的像素部分以及用于控制该像素部分的驱动电路，诸如移位寄存器电路、电平移动器电路、缓冲电路和采样电路，它们在众多情况中是 CMOS 电路。

[0008] 当在同一衬底上形成驱动电路和像素部分时，由除像素部分以外的区域占据的面积被称为边框部分，当与由 TAB 方法安装驱动电路相比时，该面积往往更大。为了使得边框部分的面积更小，也确实有必要减少构成驱动电路的电路的比例。

[0009] 具体地，对具有按矩阵排列的有机发光元件（EL 元件）的发光显示设备，每一像素需要具有不同角色的多个 TFT。此外，也对液晶显示设备，进行了在一个像素中形成开关 TFT 和诸如 SRAM 等存储器元件的尝试。此外，在同一衬底上形成像素部分和驱动电路的情况中，期望尽可能的小型化。

[0010] 在日本专利公开第 2001-51622 号中，描述了在 EL 显示设备中具有多栅结构（使用具有串联连接作为有源层的两个或多个沟道形成区的半导体层的结构）的 TFT 的使用。

[0011] 此外，在日本专利公开第 2002-151523 号中，描述了 TFT 的一种制造过程，其中将配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线应用于形成栅电极的光刻过程。

[0012] 此外,在日本专利公开第 2002-203862 号中,描述了 TFT 的一种制造过程,其中对于具有由不同的导电材料组成的两层结构的栅电极,作为栅电极的较低层的第一层具有比栅电极的第二层更大的电极宽度,并实现了通过第一层的一部分中掺杂半导体层。

发明内容

[0013] 本发明的一个目的在于提供配备高操作性能和高可靠性的电路的半导体设备,且本发明的一个目的在于通过改进半导体设备的可靠性来改进配备半导体设备的电子设备的可靠性。此外,本发明的一个目的在于简化半导体设备的制造过程来降低制造成本。

[0014] 此外,本发明的一个目的在于在有限的面积中形成多个元件来减少由用于集成的元件所占据的面积,使得可在以液晶显示设备、含有 EL 元件的发光设备和半导体设备为代表的电光设备中推进更高的分辨率(增加像素数量)、以小型化减少每一显示像素节距以及驱动像素部分的驱动电路的集成。此外,本发明的一个目的在于,通过集成各种电路以便减小尺寸来改进电光设备或发光设备的图像质量或配备这样的设备的电子设备的产品的质量。

[0015] 本发明提供具有多栅结构的新颖的 TFT,它具有较低的截止电流值,并抑制了由于热载流子注入引起的降级。应注意,截止电流值是由于当晶态管为开关元件时在未选中期间(关闭状态期间)电荷漏泄引起流经该晶体管的电流的值。

[0016] 具体地,在具有两个沟道形成区的双栅 TFT 情况中,使用这样一种结构,它包含 TFT 的沟道长度,并具有在沿垂直于衬底的主平面的横断面结构中电极厚度变薄的中央部分和两端部分的栅电极。此外,使用给出 n 型或 p 型导电性的杂质元素掺杂与该栅电极的较薄部分重叠且其间插入栅绝缘膜的半导体层,来通过提供杂质区形成彼此分离的三个杂质区。应注意,沟道形成区位于三个杂质区各个之间。该栅电极具有两个较厚部分,其间夹有中央部分的,并提供与栅电极的较厚部分之一重叠且其间插入栅绝缘膜的第一沟道形成区(沟道长:L1)以及与栅电极的另一较厚部分重叠且其间插入栅绝缘膜的第二沟道形成区(沟道长:L2)。

[0017] 此外,在位于该栅电极外部的半导体层中提供源区和漏区。此外,在该栅电极和栅绝缘膜上方提供夹层绝缘膜。此外,在该夹层绝缘膜上提供源布线,源区和源布线通过延伸到源区的接触孔彼此电连接。此外,在夹层绝缘膜上类似地提供漏布线,漏区和漏布线通过延伸到漏区的接触孔彼此电连接。

[0018] 此外,本发明不限于具有两个沟道形成区的双栅晶体管,可在同一衬底上制造具有各种多栅结构且沟道形成区数量不同的 TFT。此外,可在同一衬底上提供双栅晶体管和单栅晶体管,而无需增加处理的次数。从而,可通过应用具有最适当结构的晶体管可制成各种电路。

[0019] 本发明对在像素部分中排列具有多栅结构的晶体管是有效的,且可在像素部分中减少由具有多栅结构的晶体管占据的面积用于集成。此外,可充分地保障有效图像显示面积来使得能够以更高的分辨率显示。

[0020] 当在同一衬底上形成驱动电路和像素部分时,除像素区以外的区域,称为边框部分,它所占据的面积往往比当由 TAB 方法安装驱动电路时大。

[0021] 本发明对在驱动像素部分的驱动电路的一部分中排列具有多栅结构的晶体管是

有效的,且可减少由驱动电路占据的面积用于集成。本发明允许减少边框部分(较窄的边框)。

[0022] 说明书公开了本发明的一方面,这是一种半导体设备,它包括:位于带有绝缘表面的衬底的上方具有串联连接的两个或多个沟道形成区的半导体层;该半导体层上方的栅绝缘层;以及包含该栅绝缘层上的导电层的层叠层的栅电极,其中该半导体层含有源区、漏区、源区与漏区之间的第一沟道形成区和第二沟道形成区以及第一沟道形成区与第二沟道形成区之间的中间杂质区,其中构成该栅电极的层叠层之一的第一导电层与至少第一沟道形成区、中间杂质区以及第二沟道形成区重叠,其中构成该栅电极的层叠层之一的第二导电层与第一导电层接触并与第一沟道形成区重叠,且其中构成该栅电极的层叠层之一的第三导电层与第一导电层接触,它与第二导电层分离并与第二沟道形成区重叠。

[0023] 此外,在上述方面中,特征之一在于第二导电层和第三导电层具有相同的材料。

[0024] 此外,在上述每一方面中,特征之一在于,第一导电层与第二导电层具有不同的材料。

[0025] 此外,在上述每一方面中,特征之一在于,第一导电层具有大于通过将第一沟道形成区的宽度、第二沟道形成区的宽度以及中间杂质区的宽度相加得到的值的宽度。

[0026] 此外,在上述每一方面中,特征之一在于,第二导电层的宽度等于第一沟道形成区的宽度。

[0027] 此外,在上述每一方面中,特征之一在于,第三导电层的宽度等于第二沟道形成区的宽度。

[0028] 此外,在上述每一方面中,特征之一在于,第一导电层的膜厚度薄于第二导电层和第三导电层。

[0029] 此外,在上述每一方面中,特征之一在于,源区和漏区位于第一导电层外部。

[0030] 此外,本发明的另一方面是一种半导体设备,它包括:位于带有绝缘表面的衬底的上方具有串联连接的两个或多个沟道形成区的半导体层;该半导体层上方的栅绝缘层;以及包含该栅绝缘层上的导电层的层叠层的栅电极,其中该半导体层含有一对较高浓度杂质区、该对较高浓度杂质区之间的第一沟道形成区和第二沟道形成区、该较高浓度杂质区之一与第一沟道形成区之间的第一较低浓度杂质区、该较高浓度杂质区中另一个与第二沟道形成区之间的第二较低浓度杂质区以及第一沟道形成区与第二沟道形成区之间的中间杂质区,其中构成该栅电极的层叠层之一的第一导电层与至少第一较低浓度杂质区、第一沟道形成区、中间杂质区、第二较低浓度杂质区以及第二沟道形成区重叠,其中构成该栅电极的层叠层之一的第二导电层与第一导电层接触并与第一沟道形成区重叠,且其中构成该栅电极的层叠层之一的第三导电层与第一导电层接触,它与第二导电层分离并与第二沟道形成区重叠。

[0031] 此外,在上述方面中,特征之一在于,第一较低浓度杂质区和第二较低浓度杂质区包含相同浓度的n型或p型杂质元素。

[0032] 此外,在上述方面中,特征之一在于,中间杂质区包含与第一较低浓度杂质区或第二较低浓度杂质区相同浓度的n型或p型杂质元素。

[0033] 此外,在上述方面中,特征之一在于,第一较低浓度杂质区的宽度等于第二较低浓度杂质区的宽度。

[0034] 此外,在上述方面中,特征之一在于,第二导电层和第三导电层具有相同的材料。

[0035] 此外,在上述方面中,特征之一在于,第一导电层与第二导电层具有不同的材料。

[0036] 此外,在上述方面中,特征之一在于,第一导电层具有通过将第一沟道形成区的宽度、第二沟道形成区的宽度、中间杂质区的宽度、第一较低浓度杂质区的宽度以及第二较低浓度杂质区的宽度相加得到的宽度。

[0037] 此外,在上述方面中,特征之一在于,第二导电层的宽度等于第一沟道形成区的宽度。

[0038] 此外,在上述方面中,特征之一在于,第三导电层的宽度等于第二沟道形成区的宽度。

[0039] 此外,在上述方面中,特征之一在于,第一导电层的膜厚度薄于第二导电层和第三导电层。

[0040] 此外,在上述方面中,特征之一在于,该对较高浓度的杂质区位于第一导电层外部。

[0041] 此外,制造过程也是本发明的一个方面,其中为了实现上述方面,对形成栅电极的光刻过程应用配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线,用于形成复杂栅电极。此外,可使用带有分辨率界限或以下的缝隙的光掩膜或标线来形成具有复杂形状的栅电极。对配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线的使用,允许在不增加处理次数的情况下形成复杂栅电极。本发明使得能够简化半导体设备的制造过程,并允许降低制造成本。

[0042] 本发明的一方面关于制造过程,它是用于制造半导体材料的方法,包含以下步骤,在半导体层上形成绝缘膜;在该绝缘膜上形成第一导电膜;在第一导电膜上形成第二导电膜;在半导体层上方的第二导电膜上形成抗蚀图案,该抗蚀图案具有较薄的两端部分和较薄的中央部分;执行蚀刻,以便在该半导体层上方形成具有第一宽度的第一导电层,并在第一导电层上形成彼此分离的第二导电层和第三导电层;通过将第一导电层作为掩膜来使用杂质元素掺杂半导体层,以便在该半导体层中形成位于第一导电层外部的一对较高浓度的杂质区;以及通过将第二导电层和第三导电层用作掩膜使用杂质元素掺杂该半导体层,以便在半导体层中形成与第一导电层重叠的较低浓度杂质区。

[0043] 此外,在上述方面中,特征之一在于,第一导电层是通过蚀刻第一导电膜来形成的,第二导电层和第三导电层是通过蚀刻第二导电膜形成的。

[0044] 此外,在上述方面中,特征之一在于,第一导电层的宽度宽于第二导电层的宽度与第三导电层宽度的总和。

[0045] 此外,在上述方面中,特征之一在于,该抗蚀图案是通过使用含有衍射光栅图案或半透明膜的光掩膜或标线形成的。

[0046] 此外,在上述方面中,特征之一在于,第一导电层、第二导电层和第三导电层用作栅电极。

[0047] 此外,本发明不限于栅电极的形成,也可对半导体集成电路中使用的各种布线和电极使用。例如,可使用含有衍射光栅图案或半透明膜的光掩膜或标线在不增加处理次数的情况下制造具有复杂形状的薄膜晶体管的源极、漏布线、连接电极等。当然,可在多个过程中使用含有衍射光栅图案或半透明膜的光掩膜或标线,从而可形成半导体集成电路中使

用的各种布线和电极。

[0048] 本发明的另一方面也在于,使用含有衍射光栅图案或半透明膜的光掩膜或标线,用于透明导电膜(发光元件的像素电极、或阳极或阴极)与薄膜晶体管之间的连接电极,本发明的另一方面关于制造过程,它是制造半导体设备的方法,包含以下步骤,形成覆盖半导体层的绝缘膜;在该绝缘膜上层叠第一导电膜、第二导电膜和第三导电膜;在第三导电膜上形成膜厚度部分不同的抗蚀图案;执行蚀刻用于形成具有其中层叠第一导电膜、第二导电膜和第三导电膜的部分以及具有第一导电膜单层的部分的电极;以及在该绝缘膜上形成透明导电膜,该透明导电膜重叠接触第一导电层的单层部分的上表面。

[0049] 此外,在上述方面中,特征之一在于,该抗蚀图案是通过使用含有衍射光栅图案或半透明膜的光掩膜或标线形成的。例如,可使用含有衍射光栅图案或半透明膜的光掩膜或标线来形成复杂电极。对于电极,连接电极含有三层,且可形成仅与作为最低层的第一导电层的单层的一部分重叠接触的透明导电膜。

[0050] 此外,在上述方面中,特征之一在于,膜厚度部分不同的抗蚀图案含有具有第一膜厚度的部分和具有薄于第一膜厚度的第二膜厚度的部分,且具有第二膜厚度的部分是该抗蚀图案的端部分。

[0051] 此外,在上述方面中,特征之一在于,第一导电膜通过在绝缘膜中形成的接触孔接触该半导体层的一部分。

[0052] 此外,在上述方面中,特征之一在于,第一导电膜是高熔点金属元素或高熔点金属化合物。取决于接触透明导电膜的金属材料的类型,该透明导电膜可具有高接触电阻。例如,铝和ITO引起电蚀增加了接触电阻。当连接电极的第一和第二层分别为高熔点金属和铝时,ITO可无需接触铝连接至作为最低层的该高熔点金属。

[0053] 此外,在上述方面中,特征之一在于,第二导电膜是由铝元素或铝化合物形成的。

[0054] 此外,在上述方面中,特征之一在于,第三导电膜是由高熔点金属元素或高熔点金属化合物形成的。

[0055] 此外,用作晶体管的有源层的半导体层是通过使用包含晶体结构的半导体膜,即可以是单晶半导体膜、多晶半导体膜或微晶半导体膜形成的。

[0056] 或者,也可使用半导体衬底作为用作晶体管的有源层的半导体层。半导体衬底是单晶衬底或化合物半导体衬底,一般为n型或p型单晶硅衬底、GaAs衬底、InP衬底、GaN衬底、SiC衬底、蓝宝石衬底或ZnSe衬底。在使用半导体衬底的情况中,在衬底的主表面(元件形成表面或电路形成表面)的第一元件形成区和第二元件形成区中分别选择性地形成n型阱和p型阱。然后,形成用作元件分离区的场氧化膜,用于划分多个元件形成区。场氧化膜是厚热氧化膜,可使用已知LOCOS方法形成。应注意,元件分隔方法不限于LOCOS方法,例如,元件分隔区可具有通过使用沟渠分离方法得到的沟渠结构。或者,LOCOS结构可与沟渠结构组合。然后,例如,可通过热氧化硅衬底的表面形成栅绝缘膜。该栅绝缘膜可通过使用CVD来形成,且可使用氮氧化硅膜、氧化硅膜、氮化硅膜和它们的层叠膜。

[0057] 供显示设备等使用的使用电致发光的发光元件设备,是根据发光材料是有机化合物还是无机化合物来分类的,一般,前者称为有机EL元件,后者称为无机EL元件。使用根据本发明的半导体设备,可使用有机EL元件和无机EL元件中的任一来制造发光显示设备。

[0058] 无机EL元件分类成弥散型无机EL元件和薄膜型无机EL元件。差别在于,前者含

有其中发光材料的粒子散布在粘合剂中的电致发光层,而后者具有由发光材料的薄膜组成的电致发光层。然而,这两者都需要在强电场中加速电子。应注意,存在使用施主能级和受主能级的施主-受主复合发光,以及使用金属离子的内层电子跃迁作为所获得的发光的机制的局部发光(local luminescence)。一般而言,通常情况是,弥散型无机 EL 元件产生施主-受主复合发光,而薄膜型无机 EL 元件产生局部发光。

[0059] 应注意,本说明书中,在有机 EL 元件的阳极与阴极之间形成的所有层都被定义为有机发光层。有机发光层具体包括,发光层、空穴注入层、电子注入层、空穴传输层、电子注入层等。基本上,有机 EL 元件具有其中顺序层叠的阳极、发光层和阴极的结构,或者除该结构以外,它可具有其中顺序的层叠阳极、空穴注入层、发光层和阴极的结构,或其中顺序层叠的阳极、空穴注入层、发光层、电子迁移层和阴极的结构。

[0060] 有机 EL 元件具有包含提供通过施加电场生成的发光(电致发光)的有机化合物(有机发光材料)的一层(后文中称为有机发光层)、阳极和阴极。有机化合物中的发光包括,当从单激发态回到基态时的发光(荧光)和当从三激发态回到基态时的发光(磷光)。在制造发光显示设备的情况中,可使用上述发光中的任何一种或两种。

[0061] 在发光设备中,一个像素需要担当不同角色的多个 TFT。从而,当在像素部分中排列具有多栅结构的 TFT 时,本发明允许减少由具有多栅结构的 TFT 占用的面积用于集成,并使得能够实现高清晰度的发光设备。

[0062] 同样在液晶显示设备中,本发明允许在一个像素中的小面积中形成开关 TFT 和由反向电路组成的存储器元件(SRAM、DRAM 等),使得可使有效屏幕区的面积更大,且可使一个像素的尺寸更小。从而,可实现高清晰度的液晶显示设备。

[0063] 此外,本发明允许改进具有多栅结构的 TFT 的耐受电压,并允许改进配备具有多栅结构的 TFT 的半导体设备的可靠性。此外,可通过改进半导体设备的可靠性来改进配备半导体设备的电子设备的可靠性。

附图说明

[0064] 附图中:

[0065] 图 1A 到 1D 是示出根据本发明制造半导体设备的过程的横断面视图(实施例模式 1);

[0066] 图 2A 到 2C 是示出根据本发明制造半导体设备的过程的横断面视图(实施例模式 1);

[0067] 图 3 是示出根据本发明的半导体设备的横断面视图(实施例模式 2);

[0068] 图 4 是示出根据本发明的半导体设备的横断面视图(实施例模式 3);

[0069] 图 5A 到 5D 是示出用于曝光的掩膜的俯视图和横断面视图(实施例模式 4);

[0070] 图 6A 和 6B 是玻璃衬底上形成的抗蚀图案的横断面视图的照片(实施例模式 5);

[0071] 图 7A 和 7B 是示出半导体设备的制造过程的横断面视图(实施例模式 5);

[0072] 图 8 是示出有源矩阵 EL 显示设备的结构的横断面视图(实施例模式 6);

[0073] 图 9 是示出有源矩阵 EL 显示设备的驱动电路的一部分的俯视图(实施例模式 6);

[0074] 图 10 是示出有源矩阵 EL 显示设备的像素部分的等效电路的示意图(实施例模式 6);

- [0075] 图 11 是示出有源矩阵 EL 显示设备的像素部分的结构示意图（实施例模式 6）；
- [0076] 图 12A 和 12B 是示出有源矩阵 EL 显示设备的像素部分的一部分（电容器部分）的横断面视图（实施例模式 6）；
- [0077] 图 13A 和 13B 是制造有源矩阵 EL 显示设备中间的俯视图和横断面视图（实施例模式 7）；
- [0078] 图 14A 和 14B 是示出有源矩阵 EL 显示设备的结构的横断面视图（实施例模式 7）；
- [0079] 图 15 是示出有源矩阵 EL 显示设备的结构的横断面视图（实施例模式 7）；
- [0080] 图 16A 和 16B 是示出 EL 模块的示例的示意图；
- [0081] 图 17 是示出液晶显示设备的结构的横断面视图；
- [0082] 图 18 是示出液晶显示设备的像素的结构示意图；
- [0083] 图 19 是示出用于曝光的掩膜图案的示意图；
- [0084] 图 20 是示出配备辅助图案的曝光掩膜图案的示意图；
- [0085] 图 21A 和 21B 是示出液晶模块的示例的示意图；
- [0086] 图 22A 到 22D 是示出电子设备的示例的示意图；以及
- [0087] 图 23 是示出电子设备的示例的示意图。

具体实施方式

[0088] 以下将参考附图详细描述本发明的实施例模式。要注意，本发明不应被认为限于以下实施例模式，而是可进行各种改变，而不背离本发明的范围。

[0089] （实施例模式 1）

[0090] 本实施例模式描述用于使用具有双栅电极结构的 TFT 的栅电极作为离子掺杂过程中的掩膜来以自对准的方式形成杂质区并使得 TFT 中两个沟道形成区中间的距离小于 2 微米的一种工艺。

[0091] 首先，在具有绝缘表面的衬底 101 上形成第一绝缘膜（基底绝缘膜）102。作为具有绝缘表面的衬底 101，可使用例如玻璃衬底、结晶玻璃衬底或塑料衬底等光透射衬底。当稍后形成的薄膜晶体管应用于顶部发光显示设备时，或应用于反射液晶显示设备，也可使用陶瓷衬底、半导体衬底、金属衬底等。

[0092] 作为第一绝缘膜 102，使用诸如氧化硅膜、氮化硅膜或氮氧化硅膜（ SiO_xN_y ）。然后在第一绝缘膜 102 上形成半导体层 103。

[0093] 以这样一种方式形成半导体层 103，使得通过已知的方法（诸如溅射、LPCVD 或等离子体 CVD）形成具有非晶态结构的半导体膜，通过热处理形成结晶晶体半导体膜，且在该晶体半导体膜上形成抗蚀膜之后，由曝光和显影获得的第一抗蚀掩膜被用于实现期望形状的模式形成。

[0094] 形成该半导体层 103 使之具有 25 到 80 纳米（较佳地为 30 到 70 纳米）的厚度。用于该晶体半导体膜的材料不限。然而，较佳地，该晶体半导体膜使用硅、硅-锗（SiGe）合金等形成。

[0095] 对上述的热处理，可使用加热炉、激光辐射、使用从灯中发射的光线代替激光进行的辐射（后文中称为灯退火）或其组合。

[0096] 或者，该晶体半导体膜可通过在添加诸如镍等催化剂之后执行上述热处理而进行

的热结晶来形成。应注意,当使用诸如镍等催化剂进行的热结晶来实现结晶以获取晶体半导体膜时,较佳地在结晶之后执行移除诸如镍等催化剂的吸气处理。

[0097] 或者,在通过激光结晶制造晶体半导体膜的情况中,可使用连续波振荡激光束(CW激光束)和脉冲振荡激光束(脉冲激光束)。作为可在此处使用的激光束,可使用诸如从Ar激光器、Kr激光器和准分子激光器等一种或多种气体激光器;使用作为掺杂剂的Nd、Yb、Cr、Ti、Ho、Er、Tm和Ta中的一种或多种掺杂的YAG、YVO₄、镁橄榄石(Mg₂SiO₄)、YAlO₃或GdVO₄单晶或YAG、Y₂O₃、YVO₄、YAlO₃或GdVO₄多晶(陶瓷)作为介质的激光器;玻璃激光器、红宝石激光器;变石激光器;Ti:蓝宝石激光器;铜蒸汽激光器以及金蒸汽激光器中发射的激光束。使用这些激光束的基波和这些基波的第二谐波到第四谐波激光束进行的辐射允许获取晶粒度大的大晶体。例如,可使用Nd:YVO₄激光器(基波:1064纳米)的第二谐波(532纳米)和第三谐波(355纳米)。在这种情况下,激光器的能流密度需要大约为0.01到100MW/cm²(较佳地为0.1到10MW/cm²)。然后,实现以大约10到2000cm/sec的扫描速率进行的照射。

[0098] 此外,对使用作为掺杂剂的Nd、Yb、Cr、Ti、Ho、Er、Tm和Ta中的一种或多种掺杂的YAG、YVO₄、镁橄榄石(Mg₂SiO₄)、YAlO₃或GdVO₄单晶或YAG、Y₂O₃、YVO₄、YAlO₃或GdVO₄多晶(陶瓷)作为介质的激光器;Ar激光器;或Ti:蓝宝石激光器,可能有连续波振荡。同样,通过执行Q-开关操作、锁模等,可能有以10MHz或以上的振荡频率的脉冲振荡。当以10MHz或以上的振荡频率执行脉冲振荡时,在由激光器熔化半导体膜之后且在其凝固之前使用下一脉冲照射该半导体膜。从而,与使用较低振荡频率的脉冲激光器情况对比,可连续地移动该半导体膜中的固态液态界面,从而可获取朝扫描方向连续生长的晶粒。

[0099] 使用陶瓷(一种多晶)作为介质允许介质在短时间内以低成本以任何形状形成。在使用单晶的情况中一般使用直径为几毫米长度为几十毫米的柱形介质,而在使用陶瓷的情况中可形成更大尺寸的介质。

[0100] 由于介质中诸如Nd和Yb等掺杂剂的浓度直接作用于发光,该浓度不能显著地改变,通过增加浓度来改进激光功率具有某种程度的限制。然而,在陶瓷的情况中,可期望对功率的急剧改进,因为相比单晶,介质的尺寸可显著增加。

[0101] 此外,在陶瓷的情况中,可容易地形成形为平行六面体或长方体的介质。当使用这种形状的介质来使得所发射的光在介质内曲折传播时,所发射的光的光路可变得更长。从而,增加了放大率来允许以更大的功率进行振荡。另外,当从这种形状的介质中发射激光束时,它具有四角形状横断面,从而与环形相比利于形成线性光束。使用光学系统对由此发射的激光束成形可容易地获得具有长度为1毫米或更小的短边且长度为几毫米到几米的长边的线性激光束。另外,使用激发光照射该介质使得线性光束在长边方向具有均匀的能量分布。

[0102] 使用这种线性光束对半导体膜进行辐射使得整个半导体膜更均匀地退火。当对线性光束两端均需要均匀的退火时,需要创新地在相对的两端排列多条缝隙,以便针对能量衰减部分进行光屏蔽。

[0103] 当所获得的均匀强度的线性光束用于对半导体膜退火且该半导体膜用于制造电子设备时,该电子设备具有良好且均匀的特性。

[0104] 然后,如果必需,对该半导体层执行使用少量的杂质元素(硼或磷)进行的掺杂,

来控制 TFT 的阈值电压。在此处使用无需质量分离以等离子体激发乙硼烷 (B_2H_6) 进行的离子掺杂。

[0105] 然而,当移除第一抗蚀掩膜之后,使用含有氢氟酸的蚀刻剂移除氧化膜,且在同时使用该蚀刻剂清洁半导体层的表面。然而,形成覆盖该半导体层的第二绝缘膜(栅绝缘膜)104。第二绝缘膜 104 通过等离子体 CVD、溅射或热氧化形成,具有 1 到 200 纳米的厚度,较佳地为 20 到 120 纳米。作为第二绝缘膜 104,形成诸如氧化硅膜、氮化硅膜或氮氧化硅膜的绝缘膜组成的膜。氮氧化硅膜(组成比:Si = 32%, O = 59%, N = 7%, H = 2%)此处通过等离子体 CVD 形成,具有 115 纳米的厚度。

[0106] 然而,形成第一导电层 105a 和第二导电层 106b 的层叠层,并形成作为第二抗蚀掩膜的掩膜图案 107a。上述过程提供了图 1A 中示出的状态。

[0107] 在图 1A 中,在衬底 101 上形成第一绝缘膜(基底绝缘膜)102、半导体层 103、第二绝缘膜(栅绝缘膜)104,并在其上形成第一导电层 105a 和第二导电层 106a。掩膜图案 107a 由使用光致蚀刻剂进行的曝光过程形成。

[0108] 应注意,使用配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线,使得掩膜图案 107 具有图 1A 中所示的形状,即包括 TFT 的沟道长度并具有沿垂直于衬底的主平面的平面的横断面中膜厚度较薄的中央部分和两端部分的形状。此外,可使用带有分辨率界限或以下的缝隙的光掩膜或标线来形成具有上述复杂形状的栅电极。此外,可在显影来使掩膜图案 107a 变形之后以大约 200°C 焙烧。

[0109] 第一导电层通过使用诸如钨(W)、铬(Cr)、钽(Ta)、氮化钽(TiN)或钼等高熔点金属或包含该高熔点金属作为其主要成分的合金或化合物来形成具有 10 到 50 纳米的厚度。此外,第二导电层通过使用诸如钨(W)、铬(Cr)、钽(Ta)、氮化钽(TiN)或钼等高熔点金属或包含该高熔点金属作为其主要成分的合金或化合物来形成具有 100 到 600 纳米的厚度。

[0110] 此处为第一导电层和第二导电层各自使用不同的导电材料导致稍后执行的蚀刻过程中蚀刻速度的差异。氮化钽膜用作第一导电层,钨膜用作第二导电层。

[0111] 接着,如图 1B 中所示,通过干法蚀刻来执行对第二导电层 106a 的蚀刻。就蚀刻气体而言,使用 CF_4 、 SF_6 、 Cl_2 和 O_2 。为了改进蚀刻速度,使用例如诸如 ECR

[0112] (电子回旋共振)或 ICP(感应率耦合等离子体)等高密度等离子体源的干法蚀刻系统。此外,在基于掩膜图案 107a 处理的形状中,对衬底侧施加负偏压,以便将一端或侧壁部分处理成锥形形状。

[0113] 通过使用抗蚀剂形成的掩膜图案 107a 被在电场中加速的离子溅射,用于提供分开的掩膜图案 107b。

[0114] 接着,如图 1C 中所示,将蚀刻气体改成 CF_4 和 Cl_2 来进行对作为第一导电层的氮化钽的蚀刻。

[0115] 因此,如图 1C 中所示,在第二绝缘膜 104 上形成由第一导电层 105b 和第二导电层 106b 组成的第一导电层叠图案。使由该锥形与衬底 101 一端的表面形成的角度为 10 到 30 度。该角主要由与第二导电层的膜厚度的关系确定,且使由该锥形部分占据的长度大约为 0.2 到 1.5 微米,较佳地为 0.5 到 1 微米。

[0116] 然后,借助于用作蚀刻气体的 BCl_3 、 Cl_2 和 O_2 ,根据掩膜图案 107b 选择性地蚀刻第二导电层 106b。通过使用抗蚀剂形成的掩膜图案 107b 由在电场中加速的离子溅射以提供

在尺寸上进一步减小的掩膜图案 107c。在此处的蚀刻中,使对衬底侧施加的偏压较低,使得保留第一导电层 105b。使第二导电层和第三导电层 106c 的两端较第一导电层 105b 更向内收缩,且 Lov(与栅电极重叠的低浓度杂质区)的长度由稍后所述的背面空间(back space)的长度确定。因此,形成由第一导电层 105b 以及第二导电层和第三导电层 106c 组成的第二导电层叠图案(图 1D)。

[0117] 然后,使用一种导电型杂质掺杂半导体层 103。对第二导电层叠图案的使用允许以自对准方式形成 LDD 区、源区和漏区。

[0118] 图 2A 示出了用于形成与栅电极重叠的 LDD 区的掺杂过程,使用一种导电型杂质的离子通过第一导电层中其上没有层叠第二导电层或第三导电层的多个区域来掺杂位于第一导电层 105b 下方的半导体层 103,以形成第一浓度的一种导电型杂质区 108a、108b 和 109。此处使用磷(或 As)作为一种导电型的杂质的离子来制造 n 沟道 TFT。

[0119] 取决于第二绝缘层和第一导电层的膜厚度,在这种情况下需要 50kV 或以上的加速电压。给定 LDD 区,第一浓度的一种导电型杂质区 108a、108b 和 109 各自的杂质区中的杂质浓度是 1×10^{16} 到 5×10^{18} atoms/cm³(SIMS 测量法中的峰值)。

[0120] 应注意,在上述掺杂过程期间,置于与第二导电层或第三导电层 106c 重叠的半导体层的部分是未用一种导电型杂质的离子掺杂且作为用作稍后将形成的 TFT 的沟道形成区的部分的区域。在半导体层,形成未用一种导电型杂质的离子掺杂的多个区域,此处为两个。在说明书中,夹在多个区域(沟道形成区)之间的一种导电型杂质区,此处该区域被称为中间杂质区 109。

[0121] 图 2B 示出了用于形成位于栅电极外部的源区和漏区的掺杂过程,其中将半导体层 103 用一种导电型杂质的离子掺杂,用第二导电层叠图案作为掩膜,形成第二浓度的一种导电型杂质区 110 和 111。以 30kV 或以下的加速电压执行用于形成源区和漏区的掺杂过程。第二浓度的一种导电型杂质区 110 的浓度是 1×10^{19} 到 5×10^{21} atoms/cm³(SIMS 测量法中的峰值)。

[0122] 应注意,掺杂步骤的顺序不限于上述顺序,且用于形成 LDD 区的掺杂过程可在执行之前的用于形成源区和漏区的掺杂过程之后执行。此外,尽管此处将掺杂过程分成两个步骤来形成不同浓度的杂质区,但可通过调整过程条件来在一个步骤的掺杂过程中形成不同浓度的杂质区。

[0123] 之后,形成使用氮化硅的第三绝缘膜 112。然后,执行对半导体层掺杂的杂质元素的激活和氢化。

[0124] 然后,使用光透射无机材料(诸如,氧化硅、氮化硅或氮氧化硅)或低介电常数有机化合物材料(光敏或非光敏有机树脂材料)来形成第四绝缘膜 113。或者,可使用包含硅氧烷的材料来形成第四绝缘层。硅氧烷是具有通过结合硅(Si)和氧(O)形成的骨架结构的材料,其中将至少包含氢的有机基(例如,烷基或芳烃)用作取代基。也可将氟代基用作取代基。或者,至少包含氢的有机基和氟代基可用作取代基。

[0125] 然后,使用第三光掩膜来形成抗蚀剂掩膜,且选择性的蚀刻用作夹层绝缘膜的第三绝缘膜 112 和第四绝缘膜 113 以及用作栅绝缘膜的第二绝缘膜 104 来形成接触孔。然后,移除抗蚀剂掩膜。

[0126] 然后,在通过溅射形成金属层叠膜之后,使用第四光掩膜来形成抗蚀剂掩膜,并选

择性地蚀刻该金属层叠膜来形成与半导体层接触的源极 114 和漏极 115。

[0127] 应注意,也可在 TFT 的源极 114 和漏极 115 形成的同时在第四绝缘膜 113 上形成连接极(电连接至多个 TFT 的电极)和端电极(用于与外部电源连接的电极)。然后,移除该抗蚀剂掩膜。应注意,该金属层叠膜是膜厚度为 100 纳米的 Ti 膜、含有少量 Si 的膜厚度为 350 纳米的 Al 膜以及膜厚度为 100 纳米的 Ti 膜的三层层叠层。较佳地,在同一金属溅射系统中连续形成该金属层叠膜。

[0128] 通过上述过程,完成图 2C 中所示具有多栅结构的顶栅 TFT。

[0129] 如上所述,在本实施例模式中,具有复杂形状的掩膜图案 107a 是通过使用配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线进行曝光形成的,而第二导电层叠图案是通过使用掩膜图案 107a 蚀刻作为栅电极获取的。本发明允许与半导体层重叠的两个第二导电层之间的距离较窄,从而,可使两个沟道形成区之间的距离狭窄。此外,可使得中间杂质区的宽度(沟道长度方向上的宽度)较短。从而,可减少具有多栅结构的顶栅 TFT 所占据的面积。

[0130] 在图 2C 中所示的双结构 TFT 中,例如,沟道长度 L、LDD 区的宽度以及第二导电层和第三导电层之间的距离(即,两个沟道形成区之间的距离)可以分别是 2 微米、0.7 微米和 0.7 微米。从而,双结构 TFT 的栅电极宽度,即第二导电层叠图案的宽度(沟道长度方向上的宽度)可以是 6.1 微米(0.7 微米+2 微米+0.7 微米+2 微米+0.7 微米)。

[0131] 当在没有使用配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的情况下进行正常曝光时,由于在制造具有双栅结构的 TFT 的情况中的曝光限制,难以使两沟道形成区之间的距离小于 2 微米。

[0132] 从而,为了延长针对热载流子减少的使用寿命,可形成与 TFT 的栅电极重叠的 LDD 区。

[0133] 此外,可按照自对准的方式,将第二导电层叠图案作为掩膜,来形成 LDD 区。

[0134] 此外,可单单通过改变掩膜而无需增加处理的次数,就可在同一衬底上形成具有上述多栅结构的顶栅 TFT 和具有单栅结构的顶栅 TFT。从而,可通过应用具有最适当结构的晶体管来制成各种电路。

[0135] 本实施例模式是参考 n 沟道 TFT 描述的。然而,显然,可将 p 型杂质元素代替 n 型杂质元素来形成 p 沟道 TFT。

[0136] 此外,在同一衬底上形成 n 沟道 TFT 和 p 沟道 TFT,且这些 TFT 的互补的组合使得能够制成 CMOS 电路。CMOS 电路指的是,至少包含一个 n 沟道 TFT 和一个 p 沟道 TFT 的电路(诸如,反向电路、NAND 电路、AND 电路、NOR 电路、OR 电路、移位寄存器电路、采样电路、D/A 转换器电路、A/D 转换器电路、锁存电路和缓冲电路)。此外,可通过组合这些 CMOS 电路可在衬底上制成诸如 SRAM 和 DRAM 和其它元件的存储器元件。此外,可集成各种元件和电路用于在衬底上形成 CPU。

[0137] (实施例模式 2)

[0138] 在本实施例模式中,将参考图 3 描述其中通过使用实施例模式 1 的图案形成方法在同一衬底上制造具有不同结构的 TFT 的示例。

[0139] 图 3 示出了其中在衬底 201 和第一绝缘膜(基底绝缘膜)202 上形成具有单栅结构的 n 沟道 TFT 和具有双栅结构的 n 沟道 TFT 的示例。在图 3 中,具有单栅结构的 n 沟道

TFT 具有作为栅电极的第一导电层 210 和第二导电层 211, 以及含有杂质区 220、杂质区 222 和沟道形成区 221 的半导体层。杂质区 220 和杂质区 222 用给出 n 型导电性的杂质元素掺杂, 源极 212 和漏极 213 连接至这两个区域。具有单栅结构的 n 沟道 TFT 的栅电极是单栅, 第一导电层 210 和第二导电层 211 的宽度大于具有双栅结构的 n 沟道 TFT 的栅电极的导电层宽度, 从而其沟道长度较长。

[0140] 此外, 图 3 中, 具有双栅结构的 n 沟道 TFT 具有作为栅电极的第一导电层 250、第二导电层 251 和第三导电层 252, 以及含有杂质区 260、中间杂质区 262、杂质区 264、沟道形成区 261 和沟道形成区 263 的半导体层。杂质区 260、中间杂质区 262 和杂质区 264 用给出 n 型导电性的杂质元素掺杂, 且杂质区 260 和杂质区 264 连接至源极 253 和漏极 264。具有双栅结构的 n 沟道 TFT 的栅电极具有其中在第一导电层 250 上相邻提供第二导电层 251 和第三导电层 252 的结构。此外, 图 3 中, 提供第二绝缘膜 (栅绝缘膜) 206 来覆盖该半导体层, 并提供第三绝缘膜 204 和第四绝缘膜 205 来覆盖栅电极层。请注意, 由第一导电层 210 覆盖的杂质区 220 中的部分是低浓度杂质区, 用作 LDD 区。类似地, 由第一导电层 210 覆盖的杂质区 222 中的一部分是低浓度杂质区。由第一导电层 250 覆盖的杂质区 260 和 264 中的多个部分是低浓度杂质区。同样, 中间杂质区 262 是低浓度杂质区。

[0141] 本实施例模式可与实施例模式 1 自由结合。

[0142] (实施例模式 3)

[0143] 在本实施例模式中, 将参考图 4 描述其中通过使用实施例模式 1 的图案形成方法在同一衬底上制造具有不同结构的 TFT 的示例。

[0144] 图 4 示出了其中在衬底 301 和第一绝缘膜 (基底绝缘膜) 302 上形成具有双栅结构的两种 n 沟道 TFT 的示例。在图 4 中, 具有第一双栅结构的 n 沟道 TFT 含有作为栅电极的第一导电层 310、第一导电层 311、第二导电层 312 和第三导电层 313, 以及含有杂质区 320、包含不同浓度的杂质区的中间杂质区 322、杂质区 324、沟道形成区 321 和沟道形成区 323 的半导体层。杂质区 320、中间杂质区 322 和杂质区 324 用给出 n 型导电性的杂质元素掺杂, 且源极 314 和漏极 315 连接至杂质区 320 和杂质区 324。具有第一双栅结构的 n 沟道 TFT 的栅电极具有这样一种结构, 其中第二导电层 312 和第三导电层 313 分别层叠在第一导电层 310 和第一导电层 311 上。

[0145] 此外, 图 4 中, 具有第二双栅结构的 n 沟道 TFT 含有作为栅电极的第一导电层 350、第二导电层 351 和第三导电层 352, 以及含有杂质区 360、中间杂质区 362、杂质区 364、沟道形成区 361 和沟道形成区 363 的半导体层。杂质区 360、中间杂质区 362 和杂质区 364 用给出 n 型导电性的杂质元素掺杂, 且源极 353 和漏极 354 连接至杂质区 360 和杂质区 364。具有第二双栅结构的 n 沟道 TFT 的栅电极具有其中在第一导电层 350 上相邻提供第二导电层 351 和第三导电层 352 的结构。此外, 图 4 中, 提供第二绝缘膜 (栅绝缘膜) 306 来覆盖该半导体层, 并提供第三绝缘膜 304 和第四绝缘膜 305 来覆盖栅电极层。沟道形成区 321 与杂质区 320 之间的部分是由第一导电层 310 覆盖的低浓度杂质区, 用作 LDD 区。中间杂质区 322 两侧旁边的区域是由第一导电层 310 覆盖的低浓度杂质区。沟道形成区 323 与杂质区 324 之间的区域是由第一导电层 311 覆盖的低浓度杂质区。沟道形成区 361 与杂质区 360 之间的区域是由第一导电层 350 覆盖的低浓度杂质区。沟道形成区 363 与杂质区 364 之间的区域是由第一导电层 350 覆盖的低浓度杂质区。同样, 中间杂质区 362 是低浓度杂质区。

具有不同结构的这两种类型的 TFT 可使用用于制造栅电极的不同的掩膜图案来制造。

[0146] 本实施例模式可与实施例模式 1 或 2 自由结合。

[0147] (实施例模式 4)

[0148] 在本实施例模式中,将参考图 5A 至 5D 描述配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的曝光掩膜。

[0149] 图 5A 是曝光掩膜的一部分的放大的俯视图。此外,图 5B 示出了对应于图 5A 的曝光掩膜的该部分的横断面视图。图 5B 中,示出了该曝光掩膜和其上由总体涂层形成抗蚀剂的相应的衬底。

[0150] 图 5B 中与图 1A 中相同的部分将参考相同的参考标号描述。

[0151] 图 5A 中,该曝光掩膜配备了由诸如 Cr 等金属膜组成的光屏蔽部分 401a 和 401b 以及作为辅助图案仅配备半透明膜的部分 402。光屏蔽部分 401a 的宽度由 t_1 表示,光屏蔽部分 401b 的宽度由 t_2 表示,配备半透明膜的部分 402 的宽度由 S_1 表示。光屏蔽部分 401a 和光屏蔽部分 401b 之间的距离也可称为 S_1 。

[0152] 在图 5B 的顶部,该曝光掩膜在光透射基底 400 上具有 MoSiN 制成的半透明膜 402,并使由诸如 Cr 的金属膜组成的光屏蔽部分 401a 和 401b 层叠在该半透明膜 402 上。

[0153] 当图 5A 和 5B 中所示的曝光掩膜用于对该抗蚀膜进行曝光时,将如图 5B 底部所示形成未曝光区 403a 和已曝光区 403b。图 5B 的底部中所示的已曝光区 403b 是由所环绕的光、在曝光过程中透射过该半透明膜的光等形成的。

[0154] 然后,当执行显影时,移除已曝光区 403b,并保留未曝光区 403a。如有需要,图 1A 中所示的抗蚀图案 107a 可通过加热步骤形成。

[0155] 此外,作为其它曝光掩膜的示例,图 5C 示出了配备带有光屏蔽部分 401a 和光屏蔽部分 401b 之间的多条缝隙的衍射光栅图案 412 的曝光掩膜的俯视图。图 5C 中曝光掩膜的使用也允许保留未曝光区 403a。然后,图 1A 中的抗蚀图案 107a 可通过加热步骤获得。

[0156] 此外,作为其它曝光掩膜的示例,图 5D 示出了配备光屏蔽部分 401a 与光屏蔽部分 401b 之间的曝光界限或以下的距离的曝光掩膜的俯视图。例如,其中两个沟道形成区之间的距离小于 2 微米的具有双栅结构的 TFT 可在使用 t_1 6 微米、 t_2 6 微米以及 S_1 1 微米的曝光掩膜来在最优曝光条件下执行曝光之后根据实施例模式 1 中的制造过程制造。对图 5D 中所示的曝光掩膜的使用也允许保留未曝光区 403a。然后,图 1A 中的抗蚀图案 107a 可通过加热步骤获得。

[0157] 本发明模式可与实施例模式 1、2 或 3 自由组合。

[0158] (实施例模式 5)

[0159] 在本实施例模式中,将参考图 6A 和 6B 以及图 7A 和 7B 描述制造具有带有三沟道形成区的多栅结构的 TFT 的示例。

[0160] 应用实施例模式 4 中所示的曝光掩膜来形成带有与其它部分相比膜厚度较厚的三个部分的抗蚀图案,并在图 6A 中示出其横断面照片。此外,在 200°C 加热以便平滑表面。在图 6B 中示出在此加热之后的横断面照片。

[0161] 可通过使用图 6A 或 6B 中所示的抗蚀图案来执行实施例模式 1 中所示的第一导电层和第二导电层的层叠层的图案形成,用于形成具有带有三沟道形成区的多栅结构的 TFT 的栅电极。

[0162] 图 7A 示出了对应于图 6A 的过程的横断面视图。应注意,将使用相同的参考标号描述与图 6A 中部分相同的图 7A 中的部分。

[0163] 在图 7A 中,在衬底 101 上方形成第一绝缘膜(基底绝缘膜)102、半导体层 103 和第二绝缘膜(栅绝缘膜)104,并在其上形成第一导电层 105a 和第二导电层 106a。掩膜图案 501 是使用光致抗蚀剂进行的曝光过程形成的。掩膜图案 501 具有三个部分,它们相比其它部分在膜厚度上较厚,且中间部分的长度长于其它部分。从而,使用该掩膜图案蚀刻的第二导电层用于具有多栅结构的 TFT,该 TFT 包含宽度不同的三个沟道形成区从而沟道长度也不同。

[0164] 应注意,可通过使用配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线使得掩膜图案 501 具有图 7A 中所示的形状。如有需要,可通过加热步骤使该掩膜图案将表面平滑成如图 6B 中所示。

[0165] 当如实施例模式 1 执行后继处理时,完成具有带有三沟道形成区的多栅结构的 TFT,它在图 7B 中示出。

[0166] 图 7B 中,该具有多栅结构的 TFT 含有作为栅电极的第一导电层 502 和第二导电层 503、第三导电层 504 和第四导电层 505。此外,半导体层在两个位置中含有中间杂质区 509,并含有第一浓度的一种导电型杂质区 508a 和 508b 以及第二浓度的一种导电型杂质区 510 和 511。此外,图 7B 中,提供第三绝缘膜 512 和第四绝缘膜 513 来覆盖该半导体层。此外,该具有多栅结构的 TFT 含有源极 514 和漏极 515。

[0167] 可仅改变曝光掩膜而无需增加处理的次数在同一衬底上形成具有图 7B 中的结构的 TFT 和具有图 2C 中的结构的 TFT 等。

[0168] 本实施例模式可与实施例 1、2、3 或 4 自由组合。

[0169] (实施例模式 6)

[0170] 在本实施例模式中,将在以下参考图 8、9、10、11 以及 12A 和 12B 与有源矩阵发光设备的制造方法一起描述其结构。

[0171] 首先,在衬底 610 上形成基底绝缘膜。在为作为显示表面的衬底 610 的一侧提取发光的情况中,可使用光透射玻璃衬底或石英衬底作为衬底 610。此外,可使用具有可经受处理温度的耐热性的光透射塑料衬底。或者,在用作显示表面的衬底 610 的一侧相对的一侧提取发光的情况中,除上述衬底以外,可使用带有其表面上形成的绝缘膜的硅衬底、金属衬底或不锈钢衬底。此处使用玻璃衬底作为衬底 610。应注意,玻璃衬底的折射率大约为 1.55。

[0172] 作为基底绝缘膜 611,形成由诸如氧化硅膜、氮化硅膜、或氮氧化硅膜的绝缘膜组成的基底膜。此处示出使用单层结构作为基底膜的示例。然而,可使用上述的两层或多层绝缘膜的层叠结构。应注意,当衬底的粗糙度或从杂质从衬底扩散没有问题时,不特别需要形成基底绝缘膜。

[0173] 然后,在基底绝缘膜 611 上形成半导体层。以这样一种方式形成该半导体层,使得对通过在经由已知方式(诸如溅射、LPCVD 或等离子体 CVD)形成具有非晶态结构的半导体膜之后执行已知结晶过程(诸如,激光结晶、热结晶或使用诸如镍等催化剂的热结晶)而获得的晶体半导体膜的图案形成是使用第一光掩膜实现成所期望的形状。应注意,当使用等离子体 CVD 时,具有非晶态结构的基底绝缘膜和半导体膜可无需暴露在空气中而连续形

成。形成该半导体层具有 25 到 80 纳米的厚度（较佳地为 30 到 70 纳米）。用于该晶体半导体膜的材料不限。然而，该晶体半导体膜较佳地使用硅、硅 - 锗 (SiGe) 合金等形成。

[0174] 然后，移除抗蚀掩膜。然后，如有需要，对该半导体层执行用少量杂质元素（硼或磷）的掺杂，以便控制 TFT 的阈值电压。此处使用无需质量分离的用等离子体激发乙硼烷 (B_2H_6) 的离子掺杂。

[0175] 然后，使用含有氢氟酸的蚀刻剂移除该半导体层表面上的氧化膜，并在同时，使用该蚀刻剂清洁该半导体层的表面。

[0176] 然后，形成覆盖该半导体层的绝缘膜。由等离子体 CVD 或溅射形成该绝缘膜，使之具有 1 到 200 纳米的厚度。较佳地，通过使用单层或具有包含硅的绝缘膜的层叠结构来形成 10 到 50 纳米厚的栅绝缘层，且然后使用微波等离子体执行表面氮化处理。该绝缘膜用作稍后形成的 TFT 的栅绝缘膜。

[0177] 然后，在该绝缘膜上层叠膜厚度 20 到 100 纳米的第一导电膜以及膜厚度 100 到 400 纳米的第二导电膜。在本实施例模式中，在绝缘膜 613 上顺序层叠膜厚度 50 纳米的氮化钽膜和膜厚度 370 纳米的钨膜，且执行实施例模式 1 中所述的图案形成来形成各自的电极和各自的布线。在本实施例模式中，使用配备由衍射光栅图案或半透明膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线来形成各自的电极和各自的布线。

[0178] 应注意，此处导电膜是 TaN 膜和 W 膜的层叠层，但不特别限定，可通过层叠各自至少含有从 Ta、W、Ti、Mo、Al 和 Cu 或包含这些元素作为其主要成分的合金材料或化合物材料中所选之一的膜来形成。或者，可使用用诸如磷的杂质元素掺杂的以多晶硅膜为代表的半导体膜。此外，该结构不限于两层结构，例如可以是顺序层叠膜厚度 50 纳米的钨膜、膜厚度 500 纳米的铝硅合金膜、以及膜厚度 30 纳米的氮化钛膜形成的三层结构。

[0179] 较佳地，可使用 ICP（感应耦合等离子体）蚀刻用于对第一导电膜和第二导电膜进行蚀刻（第一蚀刻过程和第二蚀刻过程）。可通过使用 ICP 蚀刻并适当地调整蚀刻条件（对盘绕电极施加的电场、对衬底侧上的电极施加的电场、衬底侧上电极的温度等）将膜蚀刻成期望的锥形形状。

[0180] 然后，对于将该半导体层用给出 n 型导电性的杂质元素进行掺杂，执行用栅电极作为掩膜进行总体掺杂的第一掺杂过程。可通过离子掺杂或离子注入执行第一掺杂过程。可在剂量为 1.5×10^{13} atoms/cm² 且加速电压为 50 到 100kV 的条件下执行离子掺杂。作为给出 n 型导电性的杂质元素，一般使用磷 (P) 或砷 (As)。

[0181] 然后，在形成抗蚀剂掩膜之后，执行第二掺杂过程，用于将该半导体用给出 n 型导电性的高浓度杂质元素掺杂。提供该掩膜以便不掺杂用于在其像素部分和外围部分中形成 p 沟道 TFT 的半导体层的沟道形成区、用于在其驱动电路部分和外围部分中形成 p 沟道 TFT 的半导体层的沟道形成区等。

[0182] 在剂量为 1×10^{13} 到 5×10^{15} /cm² 且加速电压为 60 到 100kV 的条件下执行第二掺杂过程中的离子掺杂。

[0183] 然后，当移除该掩膜之后，新形成抗蚀剂掩膜，并执行第三掺杂过程，用于将该半导体用给出 p 型导电性的高浓度杂质元素（一般为硼）掺杂。提供该掩膜以便不掺杂用于在其像素部分和外围部分中形成 n 沟道 TFT 的半导体层的沟道形成区、用于在其驱动电路部分和外围部分中形成 n 沟道 TFT 的半导体层的沟道形成区等。

[0184] 之后,移除该抗蚀剂掩膜。通过上述过程,在相应的半导体层上分别形成了具有 n 型和 p 型导电性类型的杂质区。

[0185] 然后,在通过溅射、LPCVD、等离子体 CVD 等形成含有氢的绝缘膜之后,执行对掺杂该半导体层的杂质元素的激活和氢化。对含有氢的绝缘膜,使用通过 PCVD 获得的氮氧化硅膜(SiNO 膜)。此处使该含有氢的绝缘膜的膜厚度为 50 到 200 纳米。此外,在使用一般为镍的促进结晶的金属元素来使该半导体膜结晶的情况中,可在激活的同时执行减少沟道形成区中的金属元素的吸气。应注意,含有氢的绝缘膜是夹层绝缘膜中的第一层,并包含氧化硅。

[0186] 然后,通过溅射、LPCVD、等离子体 CVD 等形成用作夹层绝缘膜的第二层的无机绝缘膜。作为无机绝缘膜,使用诸如氧化硅膜、氮化硅膜和氮氧化硅膜等单层绝缘膜,或使用层叠绝缘膜层。此处使无机绝缘膜的膜厚度为 600 到 800 纳米。

[0187] 然后,通过使用光掩膜来形成抗蚀剂掩膜,并选择性地蚀刻该绝缘膜来形成接触孔。然后,移除该抗蚀剂掩膜。

[0188] 然后,在通过溅射层叠金属膜之后,通过使用光掩膜来形成抗蚀剂掩膜,并选择性地蚀刻金属层叠膜来形成用作 TFT 的源极或漏极的电极。应注意,该金属层叠膜是在同一金属溅射系统中连续形成的。然后,移除该抗蚀剂掩膜。

[0189] 根据上述过程,可在同一衬底上方制造具有作为有源层的多晶硅膜的顶栅 TFT 636、637、638 和 639。

[0190] 应注意,置于像素部分中的 TFT 638 是在 TFT 中具有多个沟道形成区的 n 沟道 TFT。TFT 638 是双栅 TFT。此外,电连接至稍后形成的发光元件的 TFT 639 是在像素部分中提供的。此处将双栅 p 沟道 TFT 示为用于降低截止电流的 TFT 639。然而,TFT 639 不特别限定,也可以是单栅 TFT。

[0191] 此外,置于驱动电路部分中的 TFT 636 是带有与栅电极重叠的低浓度杂质区(也称为 LDD 区)的 n 沟道 TFT,TFT 637 是 p 沟道 TFT。TFT 636 和 637 均为具有单栅结构的 TFT。在驱动电路部分中,TFT 636 与 TFT 637 之间的互补连接允许制成 CMOS 电路,并允许实现各种类型的电路。或者,如有需要,TFT 636 和 637 可以是多栅 TFT。

[0192] 然后,形成第一电极 623,即有机发光元件的阳极(或阴极)。作为第一电极 623,具有大功函数的材料,例如从 Ni、W、Cr、Pt、Zn、Sn、In 和 Mo 中所选的元素或包含这些金属元素作为其主要成分的合金材料,例如, TiN、TiSi_xN_y、WSi_x、WN_x、WSi_xN_y 或 NbN,可用于形成总膜厚度在 100 到 800 纳米范围内的单层膜或具有层叠层的膜。

[0193] 具体地,作为第一电极 623,可使用由光透射导电性材料组成的透明导电膜,且可使用含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡等。当然,也可使用氧化铟锡(ITO)、氧化铟锌(IZO)以及掺杂氧化硅的氧化铟锡(ITSO)等。

[0194] 此外,描述了各个光透射导电性材料的组成比的示例。含有氧化钨的氧化铟的组成比可以是 1.0wt%的氧化钨和 99.0wt%的氧化铟。含有氧化钨的氧化铟锌的组成比可以是 1.0wt%的氧化钨、0.5wt%的氧化锌以及 98.5wt%的氧化铟。含有氧化钛的氧化铟的组成比可以是 1.0 到 5.0wt%的氧化钛和 99.0 到 95.0wt%的氧化铟。氧化铟锡(ITO)的组成比可以是 10.0wt%的氧化锡和 90.0wt%的氧化铟。氧化铟锌(IZO)的组成比可以是

10.7wt%的氧化锌和 89.3wt%的氧化铟。含有氧化钛的氧化铟锡的组成比可以是 5.0wt%的氧化钛、10.0wt%的氧化锡以及 85.0wt%的氧化铟。上述组成比均为示例,且可适当地设定组成比的百分比。

[0195] 然后,执行对通过涂层获得的绝缘膜(例如,有机树脂膜)的图案形成来形成覆盖第一电极 623 的一端的绝缘体 629(称为岸、分隔壁、位垒或堤)。

[0196] 然后,通过蒸发或涂层形成包含有机化合物的层 624。

[0197] 包含有机化合物的层 624 具有层叠的层,且可使用缓冲层作为包含该有机化合物的层 624 的层之一。缓冲层是包含有机化合物和无机化合物的复合材料层,且该无机化合物对该有机化合物表现电子接受特性。缓冲层是包含有机化合物和无机化合物的复合材料层,且该无机化合物含有从包括氧化钛、氧化锆、氧化钨、氧化钒、氧化铌、氧化钽、氧化铬、氧化钼、氧化钨、氧化钨、氧化锰和氧化铈的组中所选的任何一种或多种。缓冲层是包含空穴传输有机化合物和无机化合物的复合材料层。

[0198] 例如,较佳地提供在第一电极 623 与第二电极之间包含有机化合物的层叠层(缓冲层和有机化合物层的层叠层)。缓冲层是包含金属氧化物(诸如,氧化钼、氧化钨或氧化铈)和有机化合物(空穴传输材料,例如,4,4'-双[N-(3-甲基苯基)-N-苯基氨基]-联苯(缩写:TPD)、4,4'-双[N-(1-萘基)-N-苯基氨基]-联苯(缩写:□-NPD)、4,4'-双{N-[4-(N,N-二间甲苯氨基)苯基]-N-苯基氨基}联苯(缩写:DNTPD)等)的复合层。此外,对光透射层,例如,可使用三(8-羟基喹啉)铝(缩写:Alq₃)、三(4-甲基-8-羟基喹啉)铝(缩写:Almq₃)、□-NPD 等。此外,发光层可包括掺杂剂材料,且可使用例如,N,N'-二甲基喹吡啶酮(缩写:DMQd)、香豆素 6、红荧烯等。在第一电极与第二电极之间提供的层叠层可通过诸如电阻加热的蒸发来形成。

[0199] 通过调节缓冲层的膜厚度,可控制第一电极与有机化合物层之间的距离以便改进发光效率。通过调节缓冲层的膜厚度,可在较低功耗的情况下实现能够使用来自每一发光元件的发光颜色清晰地显示优异的图像的发光设备。

[0200] 然后,形成第二电极 625,即有机发光元件的阴极(或阳极)。作为第二电极 625,使用诸如 MgAg、MgIn 或 AlLi 等合金或透明导电膜(诸如 ITO)。

[0201] 然后,通过蒸发或溅射形成保护层 626。保护层 626 保护第二电极 625。当来自发光元件的发光透射过保护层 626 并被提取时,较佳地,保护层 626 是透明的材料。应注意,如果没有需要,不必提供保护层 626。

[0202] 然后,使密封衬底 633 与密封材料 628 相连,来实现对该发光元件的密封,即在该发光显示设备中,显示区的外围围绕该密封材料来与一对衬底一起实现密封。由于 TFT 的夹层绝缘膜是在衬底的整个表面上方提供的,当在夹层绝缘膜的外围边沿内部绘制密封材料图案时,担心湿气和杂质会从位于密封材料图案外部的夹层绝缘膜的一部分进入。从而,使得用作 TFT 的夹层绝缘膜的绝缘膜的外围位于该密封材料的图案内部,较佳地与该密封材料的图案重叠,用于以该密封材料覆盖该绝缘膜的两端。应注意,使用填充材料 627 填充了由密封材料 628 围绕的区域。或者,使用干燥惰性气体填充由密封材料 628 围绕的区域。

[0203] 最后,通过已知方法使用各向异性导电膜 631 将 FPC 632 附连到端电极上。应注意,较佳地,在与第一电极 623 的同一过程中获得的透明导电性膜用于该端电极的顶层,且该端电极是具有其中该透明导电膜是在与栅布线同时形成的导电层上形成的结构的电极。

[0204] 此外,图 9 是驱动电路的俯视图,且沿图 9 中链形线 (chained line) X-Y 的横断面对应于图 8 中的驱动电路部分。

[0205] 此外,图 11 示出了像素部分的俯视图,沿图 11 中链形线 E-F 的横断面对应于图 8 中像素部分中 p 沟道 TFT 639 的横断面结构。此外,沿图 11 中链形线 M-L 的横断面对应于图 8 中像素部分中 n 沟道 TFT 638 的横断面结构。应注意,图 11 中由参考标号 680 表示的实线示出了绝缘体 629 的边缘。然而,图 11 中仅示出第二导电层,第一导电层未在该附图中示出。

[0206] 此外,沿图 11 中的链形线 V-W 的横断面在图 12B 中示出。图 12B 中,与图 8 中部分相同的部分由相同的参考标号表示。如图 12B 中所示,形成良人第一电容器 801、第二电容器 802 和第三电容器 803。第一电容器 801 是通过将栅绝缘层作为电介质由掺杂磷的半导体层 681、683 和 685 以及第一导电层 686 形成的电容器。此外,第二电容器 802 是将栅电极作为电介质由该半导体层 (与 TFT 的沟道形成区具有相同杂质浓度的半导体层 682 和 684) 和第一导电层 686 形成的电容器。此外,第三电容器 803 是将夹层绝缘膜作为电介质由第二导电层与电源线 699 形成的电容器。

[0207] 在电容器部分中,将配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线用于形成如图 12A 中所示的抗蚀图案 690。通过用磷通过第一导电层掺杂该半导体层,试图在第一电容器 801 中增加。

[0208] 注意,在图 12b 中,示出了紧接在形成绝缘体 629 之后的横断面结构。

[0209] 根据上述过程,可在同一衬底上形成像素部分、驱动电路和端部分。

[0210] 在本实施例模式中,像素部分中的 TFT 具有用于降低截止电流的双栅结构,且根据实施例模式 1 或 4 使两个沟道形成区之间的距离变狭窄以便减少 TFT 所占据的面积。

[0211] 此外,发光设备中的发光显示表面可以是该发光设备的一侧或者两侧。当使用透明导电膜形成第一电极 623 和第二电极 625 时,来自发光元件的光通过衬底 610 和密封衬底 633 两者,并从两侧提取。在这种情况下,较佳地使用透明材料作为密封衬底 633 和填充材料 627。

[0212] 或者,当使用金属膜形成第二电极 625 并使用透明导电膜形成第一电极 623 时,提供了来自发光元件的光仅透射过衬底 610 来从一侧提取光的结构,即底部发光类型。在这种情况下,不必为密封衬底 633 或填充材料 627 使用透明材料。

[0213] 或者,当使用金属膜形成第一电极 623 并使用透明导电膜形成第二电极 625 时,提供了来自发光元件的光仅透射过密封衬底 633 来从一侧提取光的结构,即顶部发光类型。在这种情况下,不必为衬底 610 使用透明材料。

[0214] 此外,有必要在选择第一电极 623 和第二电极 625 的材料时考虑功函数。然而,取决于像素结构,第一电极和第二电极均可用作阳极或阴极。当驱动 TFT 的极性是 p 沟道类型时,较佳地,第一电极和第二电极分别为阳极和阴极。或者,当驱动 TFT 的极性为 n 沟道类型时,较佳地,第一电极和第二电极分别为阴极和阳极。

[0215] 此外,对全色显示的情况,图 10 示出了根据本实施例模式的像素部分中的等效电路图。图 8 中的 TFT 638 和 639 分别对应于图 10 中的开关 TFT 638 和电流控制 TFT 639。在用于显示红色的像素中,产生红光的 OLER 703R 连接至电流控制 TFT 639 的漏区,并向 TFT 639 的源区提供阳极一侧供电线路 (R) 706R。此外,向 OLED 703R 提供阴极一侧供电线路

路 700。此外,在用于显示绿色的像素中,产生绿光的 OLED 703G 连接至电流控制 TFT 的漏区,且向该 TFT 的源区提供阳极一侧供电线路 (G) 706G。此外,在用于显示蓝色的像素中,产生蓝光的 OLED 703B 连接至电流控制 TFT 的漏区,且向该 TFT 的源区提供阳极一侧供电线路 (B) 706B。取决于 EL 材料,对用于显示不同颜色的相应的不同像素施加不同的电压。

[0216] 此外,在发光设备中,屏幕显示的驱动方法不特别限定,例如,可使用点顺序驱动方法、线顺序驱动方法、场顺序驱动方法等。一般,当使用线顺序驱动方法时,可适当地使用时分灰度驱动方法或区域 (area) 灰度驱动方法。此外,向发光设备的源线输入的图像信号可以是模拟信号或可以是数字信号,且可根据图像信号适当地设计驱动电路等。

[0217] 此外,在使用数字视频信号的发光设备中,向像素输入的视频信号具有恒定电压 (CV) 或恒定电流 (CC)。当视频信号具有恒定电压 (CV) 时,对发光元件施加的信号具有恒定电压 (CVCV) 或具有恒定电流 (CVCC)。此外,当视频信号具有恒定电流 (CC) 时,对发光元件施加的信号具有恒定电压 (CCCV) 或具有恒定电流 (CCCC)。

[0218] 此外,在发光设备中,可提供用于防止静电击穿的保护电路 (诸如保护性二极管)。

[0219] 本实施例模式可与实施例模式 1、2、3、4 或 5 自由组合。

[0220] (实施例模式 7)

[0221] 在本实施例模式中,将在以下参考图 13A 和 13B、图 14A 和 14B 以及图 15 描述与实施例模式 6 的像素布局部分不同的发光设备的示例。

[0222] 图 13A 是紧接着在带有绝缘表面的衬底上方形成半导体层、覆盖该半导体层的绝缘膜 (栅绝缘膜) 以及包含第一导电层和第二导电层的导电性层叠图案之后的像素部分的俯视图。

[0223] 图 13B 是对应于沿图 13A 中链形线 O-P 的横断面结构的横断面视图。

[0224] 在本实施例模式中,将配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线用于形成带有与第二导电层 1702 不重叠部分的第一导电层 1701。例如,如图 13B 中所示,对位于不与半导体层重叠的栅绝缘膜 1703 上的布线,第一导电层 1704 和第二导电层 1705 具有彼此相配的两端。

[0225] 此外,在位于像素部分中的 n 沟道 TFT 部分中,在与半导体层重叠的部分中,第一导电层 1704 具有大于第二导电层 1705 的宽度,并具有不与第二导电层 1705 重叠的部分,以便形成与第一导电层 1704 重叠的 LDD 区。

[0226] 此外,在电容器部分中,第一导电层 1701 和第二导电层 1702 的两端在一侧上彼此相配,但在另一侧上第一导电层不与第二导电层重叠。电容器部分中不与第二导电层重叠的第一导电层的宽度宽于 n 沟道 TFT 部分中不与第二导电层重叠的第一导电层的宽度。注意,在某些蚀刻条件下,在电容器部分中,第一导电层 1701 和第二导电层 1702 的两端在上述一侧上彼此也不相配。较佳地,电容器部分中两端之间的间隙位于 n 型薄膜晶体管中未由第二导电层 1705 重叠的第一导电层 1704 的部分的距离范围内。

[0227] 在电容器部分中,与第一导电层重叠的半导体层通过第一导电层 1701 用给出 n 型导电性的杂质元素掺杂,并用作该电容器的一个电极。

[0228] 此外,在安置在像素部分中的 p 沟道 TFT 中,与半导体层重叠且其间插入栅绝缘膜的第一导电层和第二导电层的两端彼此相配。

[0229] 以这种方式,可在同一衬底上设计具有各种横断面形状的第一导电层和第二导电层的布线和电极。

[0230] 根据实施例模式 6 执行随后的过程,直到为夹层绝缘膜形成到达半导体层的接触孔的过程。

[0231] 然后,在夹层绝缘膜上层叠第三导电层、第四导电层和第五导电层。应注意,第三导电层、第四导电层和第五导电层是在同一金属溅射系统中连续形成的。

[0232] 在本实施例模式中,将配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线用于为将在夹层绝缘膜上形成的布线实现图案形成也是一个特征。

[0233] 其中与稍后形成的电极 1623 重叠的部分在膜厚度上薄于其它部分的抗蚀图案是使用配备由衍射光栅图案或半透明薄膜构成并具有降低光强度的功能的辅助图案的光掩膜形成的。

[0234] 使用该抗蚀图案作为掩膜执行蚀刻来形成具有其中第三导电层 1640 呈现为单层的部分以及其中第三导电层 1640、第四层和第五层 1641 呈现为层叠层的部分的连接电极。作为第三导电层 1640 和第五导电层 1641,可使用高熔点金属元素或高熔点金属化合物,例如可使用钛或钼。此外,作为第四导电层,仅使用铝或使用铝合金。该连接电极电连接至 p 沟道 TFT 1639 的半导体层。此外,也以与连接电极相同的方式形成用作 TFT 的源极或漏极的电极。

[0235] 根据上述过程,可在同一衬底上方制造含有多晶硅膜作为有源层的顶栅 TFT1636、1637、1638 和 1639。

[0236] 应注意,位于像素部分中的 TFT 1638 是在 TFT 中含有多个沟道形成区的 n 沟道 TFT。TFT 1638 是双栅 TFT。此外,电连接至将稍后形成的发光元件的 TFT1639 是在像素部分中提供的。在 TFT 1639 中,与半导体层重叠其间插入栅绝缘膜的第一导电层和第二导电层的两端彼此相配。此外,此处将双栅 p 沟道 TFT 示为 TFT 1639 用于降低截止电流。然而,不特别限定 TFT 1639,它可以是单栅 TFT。

[0237] 此外,位于驱动电路部分中的 TFT 1639 是带有与栅电极重叠的较低浓度杂质区(也称为 LDD 区)的 n 沟道 TFT,TFT 1637 是 p 沟道 TFT。TFT 1636 和 1637 均为具有单栅结构的 TFT。在驱动电路部分中,TFT 1636 和 TFT 1637 之间的互补连接使得能够制成 CMOS 电路,并使得能够实现各种类型的电路。或者,如有必要,TFT 1636 和 1637 可以是多栅 TFT。在 TFT 1637 中,与半导体层重叠其间插入栅绝缘膜的第一导电层和第二导电层的两端彼此相配,且第一导电层具有大于第二导电层的宽度,并具有不与第二导电层重叠的部分。

[0238] 然后,在形成透明导电膜之后,执行图案形成来形成用作发光元件的一个电极的电极 1623。作为第一电极 1623,可使用由光透射导电性材料组成的透明导电膜,且可使用含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡等。当然,也可使用氧化铟锡(ITO)、氧化铟锌(IZO)以及掺杂氧化硅的氧化铟锡(ITSO)等。电极 1623 电连接至连接电极的第三导电层 1640。应注意,电极 1623 不与第四导电层或第五导电层 1641 接触。

[0239] 然后,形成用于分隔相邻电极 1623 的绝缘体 1629。图 14A 示出了绝缘体 1629 形成阶段的俯视图。此外,图 14B 是沿图 14A 中链形线 Q-R 的横断面视图。

[0240] 在随后的过程中,根据实施例模式 6 形成有机化合物层 1624 和用作该发光元件的其它电极的电极 1625。

[0241] 然后,以与实施例模式 6 中相同的方式通过蒸发或溅射形成保护膜 1626。

[0242] 然后,通过以与实施例模式 6 中相同的方式将密封衬底 1633 与密封材料 1628 相连来执行对该发光元件的密封。此外,使用填充材料 1627 填充由密封材料 1628 围绕的区域。或者,使用干燥惰性气体填充由密封材料 1628 围绕的区域。

[0243] 最后,通过已知方法使用各向异性导电膜 1631 将 FPC 1632 附连到端电极。(图 15)

[0244] 此外,沿图 14A 中链形线 S-T 的横断面视图对应于图 15 中像素部分中的 n 沟道 TFT。

[0245] 本发明实施例模式可与实施例模式 1、2、3、4、5 或 6 自由组合。

[0246] (实施例模式 8)

[0247] 将在此处参考图 16A 和 16B 描述将 FPC 或用于驱动的驱动器 IC 安装在发光显示板上的示例。

[0248] 图 16A 中的附图示出了将 FPC 1209 附连到四个端部分 1208 的发光设备的俯视图的示例。在衬底 1210 上形成包含发光元件和 TFT 的像素部分 1202、包含 TFT 的栅驱动电路 1203 以及包含 TFT 的源驱动电路 1201。TFT 的有源层由具有晶体结构的半导体膜组成,且这些电路在同一衬底上形成。从而,可制造实现板载系统(system-on-panel)的 EL 显示板。

[0249] 应注意,除接触部分以外,使用保护膜覆盖了衬底 1210,且在该保护膜上提供含有具有光催化作用的材料的基础层。

[0250] 此外,提供了在两个位置中提供来夹住像素部分的连接部分 1207,用于使发光元件的第二电极与下部的布线接触。应注意,该发光元件的第一电极电连接至像素部分中所提供的 TFT。

[0251] 此外,将密封衬底 1204 附加到衬底 1210,密封材料 1205 围绕像素部分,驱动电路和填充电路被该密封材料围绕。或者,发光显示板可具有使用含有透明干燥剂的填充材料填充的结构。或者,可在不与像素部分重叠的区域中提供干燥剂。

[0252] 此外,图 16A 中所示的结构示出了 XGA 类中相对较大尺寸(例如,对角线 4.3 英寸)的发光设备的较佳示例,而图 16B 示出了在边框狭窄的情况下小尺寸(例如,对角线 1.5 英寸)中较佳的 COG 方法的示例。

[0253] 在图 16B 中,在衬底 1310 上提供驱动器 IC 1301,且 FPC 1309 安装在置于驱动器 IC 远处的端部分 1308 上。对于所安装的驱动器 IC 1301,从改进生产率的角度,较佳地在一侧为 300 毫米到 1000 毫米或以上的矩形衬底上形成多个驱动器 IC,即,可在衬底上形成各自包含驱动电路部分和输入/输出终端作为一个单元的多个电路图案,最后划分单独得到驱动器 IC。对于驱动器 IC 的较长一侧的长度,考虑到像素部分一侧的长度和像素节距,可形成具有较长侧 15 到 80 毫米、较短侧 1 到 6 毫米的矩形形状的驱动器 IC,或可形成使得较长一侧具有等于像素区的一侧的长度或具有通过将像素部分的一侧加上每一驱动电路的一侧所获得的长度。

[0254] 对外部尺寸,驱动器 IC 相比 IC 芯片,在较长一侧的长度上具有优势,相比使用 IC

芯片的情况,使用形成具有 15 毫米到 80 毫米的较长侧的驱动器 IC 需要较小数量的驱动器 IC 用于对应于像素部分安装,从而可提高制造产量。此外,当在玻璃衬底上形成驱动器 IC 时,由于驱动器 IC 不受用作母体的衬底的形状限制,因此生产率不受损害。当相比从圆形硅片制成 IC 芯片的情况时,这是极大的优势。

[0255] 或者,可使用 TAB 方法,且在该情况中,可在所附连的多个带上安装驱动器 IC。以与 COG 方法的情况中相同的方式,可在单个带上安装单个驱动器 IC,在这种情况下,较佳地,根据强度附加金属片等用于固定驱动器 IC。

[0256] 此外,提供了在像素部分 1302 与驱动器 IC 1301 之间提供的连接区 1307,用于使发光元件的第二电极与下部布线接触。应注意,该发光元件的第一电极电连接至像素部分中所提供的 TFT。

[0257] 此外,将密封衬底 1304 固定至衬底 1310,密封材料 1305 围绕像素部分 1302,填充材料由该密封材料围绕。

[0258] 当使用非晶态半导体膜作为像素部分中 TFT 的有源层时,即使在大尺寸的情况中也使用图 16B 中的配置,因为难以在同一衬底上形成驱动电路。

[0259] 尽管此处示出有源矩阵发光设备的示例作为显示设备,但显然,本发明可应用于有源矩阵液晶显示设备。在有源矩阵液晶显示设备中,通过驱动排列在矩阵中的像素电极来在屏幕上形成显示图案。具体地,通过在所选像素电极与对应于该像素电极的对置电极之间施加电压,安置在元件衬底上提供的像素电极与对置衬底上提供的对置电极之间的液晶层被光学调制,且观众将该光学调制识别为显示图案。对置衬底和元件衬底是等间隔的,且使用液晶材料填充该间隔。对于液晶材料,可使用在减压情况下通过作为闭合图案的密封材料滴落液晶以防止其中产生气泡,并连接两个衬底的方法,或可使用提供带有开口的密封图案、连接 TFT 衬底然后通过利用毛细管现象注入液晶的浸染法(注入法)。

[0260] 此外,本发明也可应用于使用利用光学快门而不使用滤色镜并使 RGB 三色的背景光源高速闪烁的场序驱动方法的液晶显示设备。

[0261] 如上所述,可在实现本发明之后,即使用实施例模式 1 至 7 中的任何一个中的制造方法或结构将 FPC 和用于驱动的驱动器 IC 安装在板上之后,可完成各种电子设备。

[0262] (实施例模式 9)

[0263] 在本实施例模式中,将参考附图描述液晶显示设备的结构。

[0264] 在图 17 中,在衬底 1010 上形成基底绝缘膜 1011。作为衬底 1010,可使用光透射玻璃衬底或石英衬底。或者,可使用具有可经受处理温度的耐热性的光透射塑料衬底。此外,在反射液晶显示设备的情况中,除上述衬底以外,可使用其表面上形成有绝缘膜的硅衬底、金属衬底或不锈钢衬底。此处使用玻璃衬底作为衬底 1010。

[0265] 作为基底绝缘膜 1011,形成由诸如氧化硅膜、氮化硅膜、或氮氧化硅膜的绝缘膜组成的基底膜。此处示出使用单层结构作为基底膜的示例。然而,可使用两层或多层绝缘膜的层叠结构。应注意,当衬底的粗糙度或杂质从衬底扩散没有问题时,不特别需要形成基底绝缘膜。

[0266] 或者,可使用具有 2eV 或以下的电子温度、5eV 或以下的离子能量以及大约 10^{11} 到 $10^{13}/\text{cm}^3$ 的电子密度的微波激发高密度等离子体直接处理衬底的表面。为生成等离子体,可使用利用径向槽天线的微波激发等离子体处理系统。在这种情况下,当引入氮气 (N_2) 或诸

如氨气 (NH₃) 或一氧化二氮 (N₂O) 的氮化物气体时,可氮化玻璃衬底的表面。在玻璃衬底的表面上形成的该氮化层包括氮化硅作为其主要成分,从而可用作针对从玻璃衬底侧扩散的杂质的阻挡层。可通过等离子体 CVD 在该氮化层上形成氧化硅膜或氮氧化硅膜作为基底层 1011。

[0267] 然后,在该基底绝缘膜上形成半导体层。以这样一种方式形成半导体层,使得在通过诸如溅射、LPCVD 或等离子体 CVD 等形成具有非晶态结构的半导体膜之后,使用第一光掩膜将通过激光结晶、热结晶或使用诸如镍等催化剂的热结晶而获得的晶体半导体膜的图案形成实现成所期望的形状。应注意,当使用等离子体 CVD 时,具有非晶态结构的基底绝缘层和半导体膜可无需暴露在空气中而连续形成。形成该半导体层具有 25 到 80 纳米的厚度(较佳地为 30 到 70 纳米)。用于该晶体半导体膜的材料不限。然而,该晶体半导体膜较佳地使用硅、硅-锗 (SiGe) 合金等形成。

[0268] 如有需要,对该半导体层执行用少量杂质元素(硼或磷)的掺杂,以便控制 TFT 的阈值电压。例如,可使用无需质量分离的与等离子体激发乙硼烷 (B₂H₆) 的离子掺杂。

[0269] 然后,使用含有氢氟酸的蚀刻剂移除该半导体层表面上的氧化膜,并在同时,使用该蚀刻剂清洁该半导体层的表面。然后,形成覆盖该半导体层的栅绝缘层。该栅绝缘层用作稍后形成的 TFT 的栅绝缘膜。由等离子体 CVD 或溅射形成该栅绝缘层具有 1 到 200 纳米的厚度。较佳地,通过使用单层或具有包含硅的绝缘膜的层叠结构来形成 10 到 50 纳米厚的栅绝缘层,且然后使用微波等离子体执行表面氮化处理。在这种情况下,该绝缘膜的表面可受到氧化或氮化处理,以便通过如前所述的具有 2eV 或以下的电子温度、5eV 或以下的离子能量以及大约 10¹¹ 到 10¹³/cm³ 的电子密度的微波激发高密度等离子体处理使之致密。该处理可在形成栅绝缘层之前执行,即该等离子体处理是对半导体层的表面执行的。在这种情况下,通过在氧化性气氛 (O₂、N₂O 等) 或氮化性气氛 (N₂、NH₃ 等) 中以 300 到 450°C 的衬底温度执行处理,可在每一半导体层与淀积于其上的栅绝缘层之间形成适宜的界面。

[0270] 然后,在该栅绝缘层上层叠膜厚度 20 到 100 纳米的第一导电膜以及膜厚度 100 到 400 纳米的第二导电膜。在本实施例模式中,在该栅绝缘层上顺序层叠膜厚度 30 纳米的氮化钽膜和膜厚度 370 纳米的钨膜,且执行实施例模式 1 中所述的图案形成来形成各自的电极和各自的布线。在本实施例模式中,使用配备由衍射光栅图案或半透明膜构成并具有降低光强度的功能的辅助图案的光掩膜或标线来形成各自的电极和各自的布线。这方面与实施例模式 1 中所述的相同。

[0271] 应注意,此处导电膜是氮化钽 (TaN) 膜和钨 (W) 膜的层叠层,但不特别限定,可通过层叠各自至少含有 Ta、W、Ti、Mo、Al 和 Cu 或包含这些元素作为其主要成分的合金材料或化合物材料中之一的层来形成。或者,可使用诸如磷的杂质元素掺杂的以多晶硅膜为代表的半导体膜。此外,该结构不限于两层结构,例如可以通过顺序层叠膜厚度 50 纳米的钨膜、膜厚度 500 纳米的铝硅合金膜、以及膜厚度 30 纳米的氮化钽膜形成的三层结构。

[0272] 较佳地,可使用 ICP 蚀刻用于对第一导电膜和第二导电膜进行蚀刻(第一蚀刻过程和第二蚀刻过程)。可通过使用 ICP 蚀刻并适当地调整蚀刻条件(对盘绕电极施加的电功率、对衬底侧上的电极施加的电功率、衬底侧上电极的温度等)将膜蚀刻成期望的锥形形状。

[0273] 然后,对于使用给出 n 型导电性的杂质元素掺杂该半导体层,执行以栅电极作为

掩膜进行总体掺杂的第一掺杂过程。可通过离子掺杂或离子注入执行第一掺杂过程。可在剂量为 1.5×10^{13} atoms/cm² 且加速电压为 50 到 100kV 的条件下执行离子掺杂。作为给出 n 型导电性的杂质元素,一般使用磷 (P) 或砷 (As)。

[0274] 然后,在形成抗蚀剂掩膜之后,执行第二掺杂过程,用于对该半导体用给出 n 型导电性的高浓度杂质元素掺杂。提供这种掩膜以便不掺杂用于在其像素部分和外围部分中形成 p 沟道 TFT 的半导体层的沟道形成区、像素部分中 n 沟道 TFT 的部分、用于在其驱动电路部分和外围部分中形成 p 沟道 TFT 的半导体层的沟道形成区等。在剂量为 1×10^{13} 到 5×10^{15} /cm² 且加速电压为 60 到 100kV 的条件下执行第二掺杂过程中的离子掺杂。

[0275] 然后,执行用于对该半导体用给出 p 型导电性的高浓度杂质元素(一般为硼)掺杂的第三掺杂过程。提供这种掩膜以便不掺杂用于在其像素部分和外围部分中形成 n 沟道 TFT 的半导体层的沟道形成区、用于在其驱动电路部分和外围部分中形成 n 沟道 TFT 的半导体层的沟道形成区等。

[0276] 通过上述过程,在相应的半导体层上分别形成了具有 n 型和 p 型导电性类型的杂质区。

[0277] 然后,通过使用溅射、LPCVD、等离子体 CVD 等形成含有氢的绝缘膜。该绝缘膜是通过使用氮化硅或氮氧化硅形成的。该绝缘膜包括作为防止对半导体层的污染的保护膜的功能。当淀积该绝缘膜之后,可通过在引入氢的同时执行如上所述的微波激发高密度等离子体处理将氢引入该绝缘膜。或者,可通过引入氨气执行对绝缘膜的氮化处理和氢引入两者。或者,可通过引入诸如氧气或 NO₂ 气体和氢气的气体来执行对绝缘膜的氮氧化处理和氢引入两者。可根据该方法通过执行氮化处理、氧化处理或氮氧化处理使得该绝缘膜表面致密,从而增强作为保护膜的功能。引入该绝缘膜的氢可从形成绝缘膜的氮化硅中释放,以便通过随后执行 400 到 450°C 的加热处理氢化半导体膜 1060。

[0278] 然后,通过使用溅射、LPCVD、等离子体 CVD 等形成第一夹层绝缘膜。对第一夹层绝缘膜,可使用诸如氧化硅膜、氮化硅膜和氮氧化硅膜等单层绝缘膜,或使用这些绝缘膜的层叠层。第一夹层绝缘膜的膜厚度为 600 到 800 纳米。然后,通过使用光掩膜来形成抗蚀剂掩膜,并选择性地蚀刻该第一夹层绝缘膜来形成接触孔。然后,移除该抗蚀剂掩膜。

[0279] 然后,在通过溅射层叠金属膜之后,通过使用光掩膜来形成抗蚀剂掩膜,并选择性地蚀刻这些金属层叠膜来形成用作 TFT 的源极或漏极的电极。应注意,这些金属层叠膜是在同一金属溅射系统中连续形成的。然后,移除该抗蚀剂掩膜。

[0280] 根据上述过程,可在同一衬底上方制造具有多晶硅膜作为有源层的顶栅 TFT1036、1037 和 1038。

[0281] 应注意,置于像素部分中的 TFT 1038 是在 TFT 中具有多个沟道形成区的 n 沟道 TFT。TFT 1038 是多栅 TFT。

[0282] 此外,置于驱动电路部分中的 TFT 1036 是带有与栅电极重叠的低浓度杂质区的 n 沟道 TFT,TFT 1037 是 p 沟道 TFT。TFT 1036 和 1037 均为具有单栅结构的 TFT。在驱动电路部分中,TFT1036 与 TFT 1037 之间的互补连接允许制成 CMOS 电路,并允许实现各种类型的电路。或者,如有需要,TFT 1036 和 1037 可以是多栅 TFT。

[0283] 然后,形成第二夹层绝缘膜 1023。第二夹层绝缘膜 1023 是通过使用诸如聚酰亚胺或丙烯酸树脂的有机树脂绝缘材料旋涂形成的。该第二夹层绝缘膜 1023 具有作为防止表

面反映下部表面处粗糙程度的影响的平面化膜的功能。

[0284] 然后,在第二夹层绝缘膜 1023 中形成接触孔来曝光连接至位于下方的 n 沟道 TFT 1038 的布线 501,并形成像素电极 1024。作为像素电极 1024,可使用由光透射导电性材料组成的透明导电膜,且可使用含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡等。当然,也可使用氧化铟锡 (ITO)、氧化铟锌 (IZO) 以及掺杂氧化硅的氧化铟锡 (ITSO) 等。

[0285] 现在,描述各个光透射导电性材料的组成比的示例。含有氧化钨的氧化铟的组成比可以是 1.0wt% 的氧化钨和 99.0wt% 的氧化铟。含有氧化钨的氧化铟锌的组成比可以是 1.0wt% 的氧化钨、0.5wt% 的氧化锌以及 98.5wt% 的氧化铟。含有氧化钛的氧化铟的组成比可以是 1.0 到 5.0wt% 的氧化钛和 99.0 到 95.0wt% 的氧化铟。氧化铟锡 (ITO) 的组成比可以是 10.0wt% 的氧化锡和 90.0wt% 的氧化铟。氧化铟锌 (IZO) 的组成比可以是 10.7wt% 的氧化锌和 89.3wt% 的氧化铟。含有氧化钛的氧化铟锡的组成比可以是 5.0wt% 的氧化钛、10.0wt% 的氧化锡以及 85.0wt% 的氧化铟。上述组成比均为示例,且可适当地设定组成比的百分比。

[0286] 在像素电极 1024 上形成定向膜 1024。同样在对置衬底 1033 上,通过使用由光透射材料组成的透明导电膜类似地形成对置的电极 1029,并在其上形成定向膜 1030。

[0287] 然后,使用密封材料 1028 固定其间具有一段距离的衬底 1010 和对置衬底 1033。这些衬底之间的距离由隔离片 1026 维持。在衬底 1010 与对置的衬底 1033 之间形成液晶层 1027。液晶层 1027 可通过在固定对置衬底 1033 之前进行滴落法来形成。

[0288] 最后,通过已知的方法使用各向异性的导电膜 1031 将 FPC 1032 附连到端电极 (见图 17)。应注意,较佳地,为端电极的顶层使用以与像素电极 1024 相同的工艺获得的透明导电膜,且该端电极是具有其中该透明导电膜是在与栅布线同时形成的导电层上形成的结构的电极。

[0289] 图 18 示出了对应于图 17 的像素部分的俯视图。在源信号线 1050 和栅布线 1061 处的交叉部分提供像素,该像素含有 n 沟道晶体管 1038 和电容器元件 1039。应注意,在图 18 中仅示出驱动液晶元素的液晶的一对电极中的一个电极 (像素电极 1024)。

[0290] n 沟道晶体管 1038 由半导体层 1060、第一绝缘层、与半导体层 1060 重叠其间插入第一绝缘层的栅布线 1061 的一部分组成。半导体层 1060 形成 n 沟道晶体管 1038 的沟道部分。n 沟道晶体管 1038 的源极和漏极之一通过该接触孔连接至源信号线 1050,另一个则通过该接触孔连接至布线 1051。布线 1051 通过接触孔连接至像素电极 1024。可通过使用与源信号线 1050 相同的导电层并在执行图案形成的同时来形成布线 1051。

[0291] 电容器元件 1039 可以是具有使用半导体层和与该半导体层重叠其间带有第一绝缘层的电容器布线 1052 作为一对电极并使用该第一绝缘层作为电介质层的结构的电容器元件。

[0292] 此外,用于形成图 18 中所示的半导体层 1060 的光掩膜具有图 19 中所示的掩膜图案 1020。掩膜图案 1020 根据用于光刻过程中的抗蚀剂是阳性还是阴性而有所不同。在使用阳性抗蚀剂的情况中,图 19 中所示的掩膜图案 1020 具有多边形的顶点 A 被切除的形状。此外,弯曲部分 B 具有弯曲超过一次的形状,来避免该角成为直角。该光掩膜图案具有,例如图案的角 (直角三角形) 的一侧上的角被切去至 10 微米或以下的大小。

[0293] 复制图 19 中所示的掩膜图案 1020 的形状用于图 18 中所示的半导体层 1060。在这种情况下,可对类似于掩膜图案 1020 的形状变形,或可执行变形使得掩膜图案 1020 的角更圆滑,即图案的形状可比掩膜图案 1020 更平滑,以便提供倒角的部分。

[0294] 此外,用于形成该栅布线的光掩膜具有图 20 中所示的掩膜图案 1021。该掩膜图案 1021 具有图案的角(直角三角形)一侧上的角被切去至 10 微米或以下的大小,或该布线的线宽度的 1/5 或以上且 1/2 或以下。此外,与半导体层重叠的位置含有由诸如 Cr 的金属膜构成的光屏蔽部分,并作为辅助图案具有配备半透明膜作为辅助图案的部分 1022。该结构具有与图 5A 到 5C 中所述的相同结构。

[0295] 复制图 20 中所示的掩膜图案 1021 的形状用于图 18 中所示的栅布线 1061。在该情况下,可对类似于掩膜图案 1021 的形状变形,或可执行变形使得掩膜图案 1021 的角更圆滑,即图案的形状可比掩膜图案 1021 更平滑,以便提供圆滑的部分,即将栅布线 1061 的角倒圆成其线宽度的 1/5 或以上且 1/2 或以下。凸起的部分抑制了由于在使用等离子体干法蚀刻过程中的异常放电而引起的细微粉末的生成,而凹陷的部分由于可扫除任何所生成的在该角落处容易聚集的细微粉末,因而可期待产量显著提高的优势。

[0296] 用于形成源信号线 1050 和布线 1051 的光掩膜图案类似地具有在角的一侧上角被倒角成 10 微米或以下,或倒角成布线的线宽度的 1/5 或以上且 1/2 或以下的长度的形状。该光掩膜图案用于制造掩膜图案,通过使用掩膜图案蚀刻实现源信号线 1050 和连接布线 1051。源信号线 1050 和连接布线 1051 的图案可具有圆滑的角,即源信号线 1050 和布线 1051 的图案形状可通过适当地确定曝光条件和蚀刻条件比该光掩膜图案更平滑。因此,可形成带有圆滑角的源信号线 1050 和布线 1051。

[0297] 通过对布线或电极,以这种方式使要使之圆滑的布线宽度变化的位置的弯曲部分或角落平滑化可提供以下优点。对凸起的部分倒角可抑制由于在使用等离子体执行干法蚀刻过程中的异常放电而引起的细微粉末的生成。此外,对凹陷的部分倒角可防止所生成的细微粉末聚集在角落处,并当执行清洁时扫除这些细微粉末。因此,可解决制造过程中的灰尘和粉尘问题,以便提高产量。

[0298] 根据上述过程,可在同一衬底上形成像素部分、驱动电路和端部分。在本实施例模式中,像素部分中的 n 沟道 TFT 具有用于降低截止电流的双栅结构,且使两个沟道形成区之间的距离变窄来减少 TFT 所占的面积。

[0299] 本实施例模式可与实施例模式 1、2、3 或 4 自由组合。

[0300] (实施例模式 10)

[0301] 将参考图 21A 和 21B 描述将 FPC 或用于驱动的驱动器 IC 安装在根据实施例模式 9 获得的液晶显示板上的示例。

[0302] 图 21A 中所示的附图示出了使 FPC 1409 附连到两个端部分 1408 的显示设备的俯视图的示例。在衬底 1410 上形成了包括液晶层和 TFT 的像素部分 1402、包括 TFT 的栅驱动电路 1403 以及包括 TFT 的源驱动电路 1401。TFT 的有源层由具有晶体结构的半导体膜组成,且这些电路在同一衬底上形成。从而,可制造实现板载系统的液晶显示板。

[0303] 将对置衬底 1404 固定到衬底 1410,密封材料 1405 围绕像素部分和驱动电路。图 21A 中所示的结构示出了较佳在 XGA 类中的相对较大尺寸(例如,对角线 4.3 英寸)中使用的示例,图 21B 示出了较佳在边框狭窄的情况下小尺寸(例如,对角线 1.5 英寸)中使用的

COG 方法的示例。

[0304] 在图 21B 中,在衬底 1510 上提供了驱动器 IC 1501,且在置于该驱动器 IC 远处的端部分 1508 上安装了 FPC 1509。对所安装的驱动器 IC 1509,从改进生产率的角度,较佳地,在一侧 300 毫米到 1000 毫米或以上的矩形衬底上形成多个驱动器 IC,即,可在衬底上形成各自包含驱动电路部分和输入 / 输出终端作为一个单元的多个电路图案,最后划分来单独得到驱动器 IC。对于驱动器 IC 的较长一侧的长度,考虑到像素部分一侧的长度和像素节距,可形成具有较长侧 15 到 80 毫米、较短侧 1 到 6 毫米的矩形形状的驱动器 IC,或可形成使得较长一侧具有等于像素区的一侧的长度或具有通过将像素部分的一侧加上每一驱动电路的一侧所获得的长度。

[0305] 对外部尺寸,驱动器 IC 相比 IC 芯片,在较长一侧的长度上具有优势,相比使用 IC 芯片的情况,使用形成具有 15 毫米到 80 毫米的较长侧的驱动器 IC 需要较小数量的驱动器 IC 用于对应于像素部分的安装,从而可提高制造产量。此外,当在玻璃衬底上形成驱动器 IC 时,由于驱动器 IC 不受用作母体的衬底的形状限制,因此生产率不受损害。当相比从圆形硅晶片制取 IC 芯片的情况时,这是极大的优势。

[0306] 或者,可使用 TAB 方法,且在该情况中,可在所附连的多个带上安装驱动器 IC。以与 COG 方法的情况中相同的方式,可在单个带上安装单个驱动器 IC,在这种情况下,较佳地,根据强度附加金属片等用于固定驱动器 IC。

[0307] 此外,将对置衬底 1504 固定到衬底 1510,密封材料 1505 围绕像素部分 1502。

[0308] 如上所述,在实践本发明之后,即在使用实施例模式 1 到 5 等任一中的制造方法或结构将 FPC 和用于驱动的驱动器 IC 安装在板上之后,可完成各种电子设备。

[0309] (实施例模式 11)

[0310] 根据本发明,半导体设备和电子设备包括,诸如摄像机或数码照相机的照相机、镜型 (goggle-type) 显示器 (头部安装显示器)、导航系统、声音再现系统 (诸如,车载音频系统)、膝上型个人计算机、游戏机、个人数字助理 (诸如,移动计算机、手机、便携式游戏机或电子书) 以及配备记录介质的图像再现系统 (具体地,配备显示器可再现诸如数字多功能盘 (DVD) 的记录介质并显示图像的系统)。图 22(A) 到 22(D) 和图 23 示出了这些电子设备的具体示例。

[0311] 图 22A 是数码照相机,它包括主体 2101、显示部分 2102、成像部分、操作键 2104、快门 2106 等。应注意,图 22A 是从显示部分 2102 侧观看的图像,成像部分未示出。本发明使得能够实现具有高可靠性的高清晰度显示部分的数码照相机。

[0312] 图 22B 是膝上型个人计算机,它包括主体 2201、外壳 2202、显示部分 2203、键盘 2204、外部连接端口 2205、定点鼠标 2206 等。本发明使得能够实现具有高可靠性的高清晰度显示部分的膝上型个人计算机。

[0313] 图 22C 是配备记录介质的便携式图像再现系统 (具体为 DVD 再现系统),它包括主体 2401、外壳 2402、显示部分 A 2403、显示部分 B 2404、记录介质 (诸如 DVD) 读取部分 2405、操作键 2406、扬声器部分 2407 等。显示部分 A 2403 主要显示图像信息,而显示部分 B 2404 主要显示字符信息。应注意,配备记录介质的这种图像再现系统包括家用游戏机。本发明使得能够实现具有高可靠性的高清晰度显示部分的图像再现系统。

[0314] 图 22D 是显示设备,它包括外壳 1901、支架 1902、显示部分 1903、扬声器 1904、视

频输入终端 1905 等。就显示部分 1903 和驱动电路而言,该显示设备通过使用根据上述实施例模式中所示的制造方法形成的薄膜晶体管制造。应注意,该显示设备包括液晶显示设备和发光设备,具体包括用于显示信息的所有显示设备,诸如用于计算机、用于接收电视和用于显示广告的显示设备。本发明使得能够实现具有高可靠性的高清晰度显示部分的显示设备,尤其是具有 22 到 50 英寸大屏幕的大尺寸显示设备。

[0315] 图 23 中所示的手机含有配备操作开关 904、麦克风 905 等的主体 (A) 以及配备显示板 (A) 908、显示板 (B) 909、扬声器 906 等的主体 (B),两主体用铰链 910 耦合以便开合。显示板 (A) 908 和显示板 (B) 909 与电路衬底 907 一起置入主体 (B) 902 的外壳 903 中。将显示板 (A) 908 和显示板 (B) 909 的像素部分置成可从外壳 903 中形成的开窗口中看到。

[0316] 显示板 (A) 908 和显示板 (B) 909 的细节,诸如像素的个数,可根据手机的功能适当地设置。例如,显示板 (A) 908 和显示板 (B) 909 可分别组合成主屏和辅屏。

[0317] 本发明使得能够实现具有高可靠性的高清晰度显示部分的个人数字助理。

[0318] 取决于手机的功能和应用,根据本实施例模式的手机可改变成各种模式。例如,可通过将图像传感器包含在铰链 910 的部分中来制成带有照相机的手机。同样,当操作开关 904、显示板 (A) 908 和显示板 (B) 909 置于集成结构的一个外壳中时,可实现上述效果。同样当本实施例模式应用于配备多个显示部分的个人数字助理时,可实现同样的效果。

[0319] 如上所述,可通过实践本发明,即,使用实施例模式 1 到 10 中任一的制造方法或结构,可完成各种电子设备。

[0320] 本发明基于于 2005 年 5 月 20 日向日本专利局提交的日本专利申请第 2005-148836 号以及于 2005 年 5 月 23 日向日本专利局提交的日本专利申请第 2005-150271 号,这两个申请的整体通过引用包含在此。

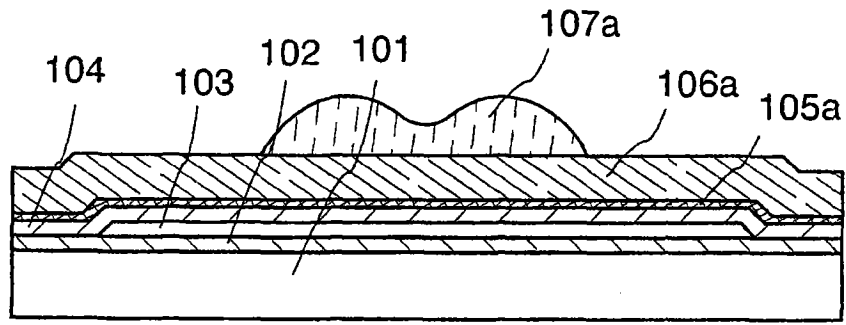


图 1A

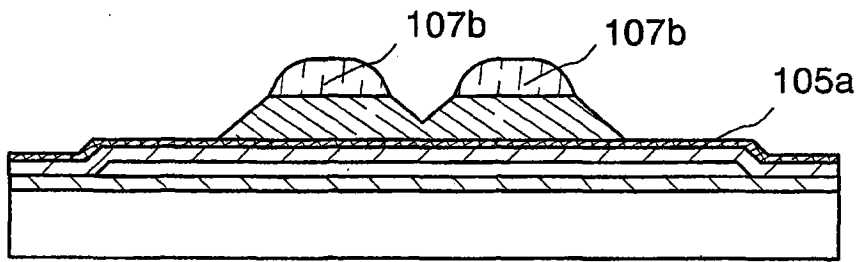


图 1B

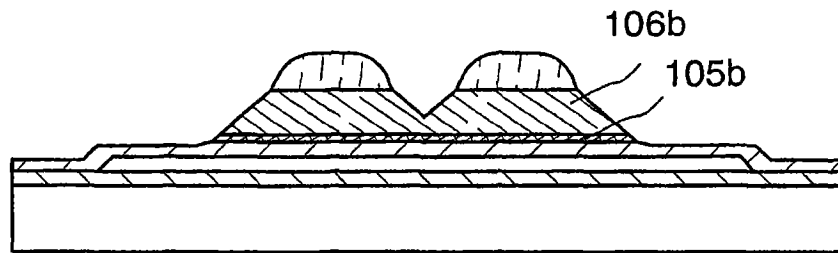


图 1C

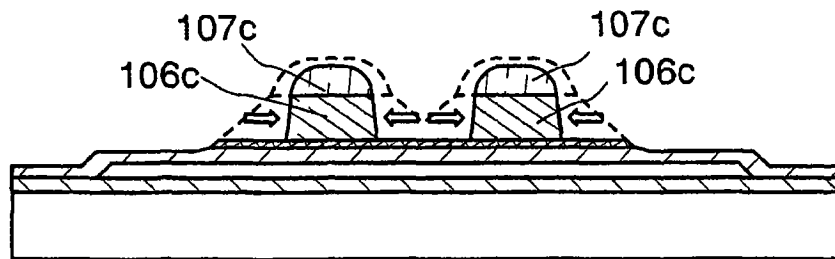


图 1D

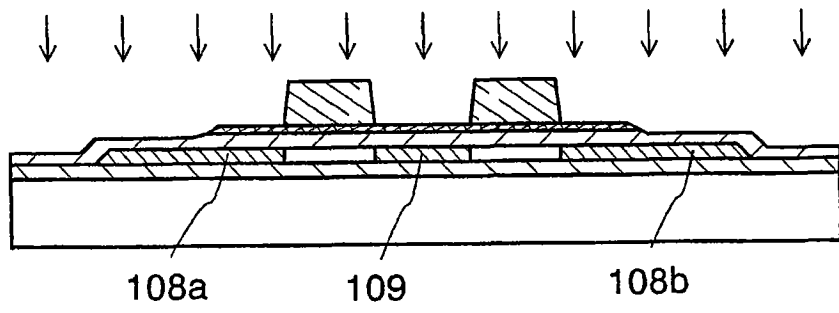


图 2A

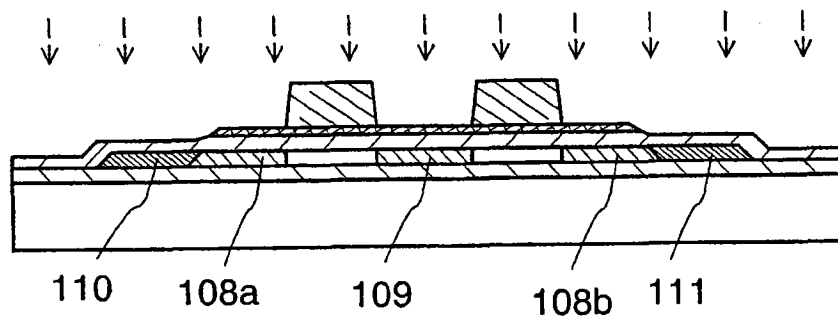


图 2B

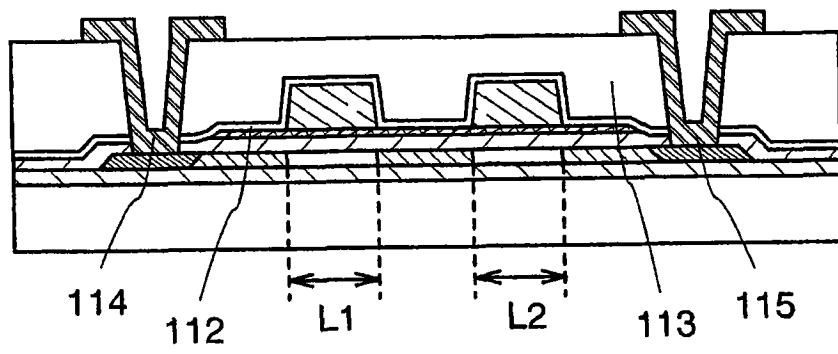


图 2C

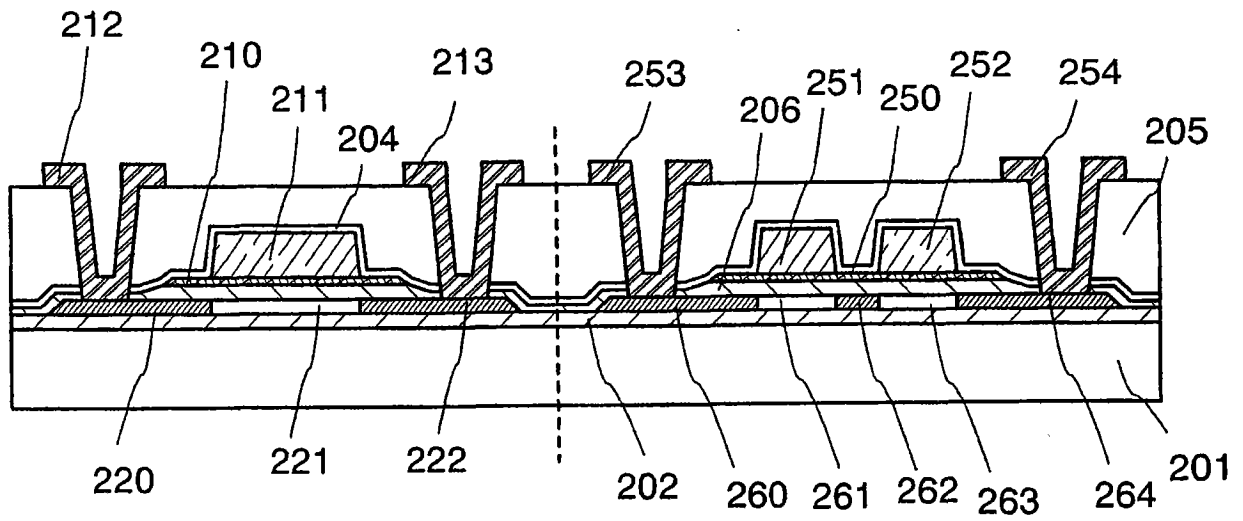


图 3

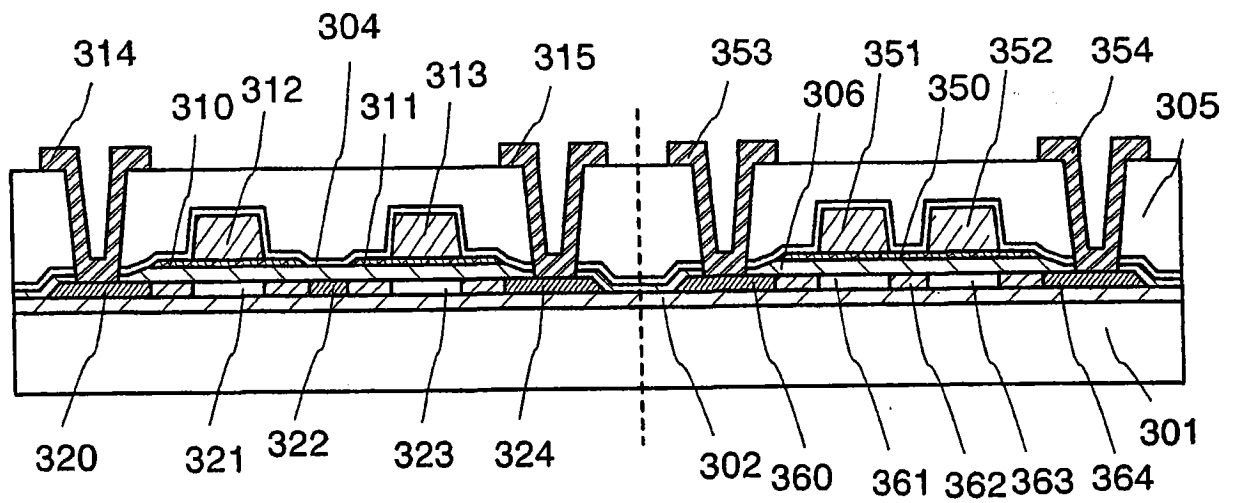


图 4

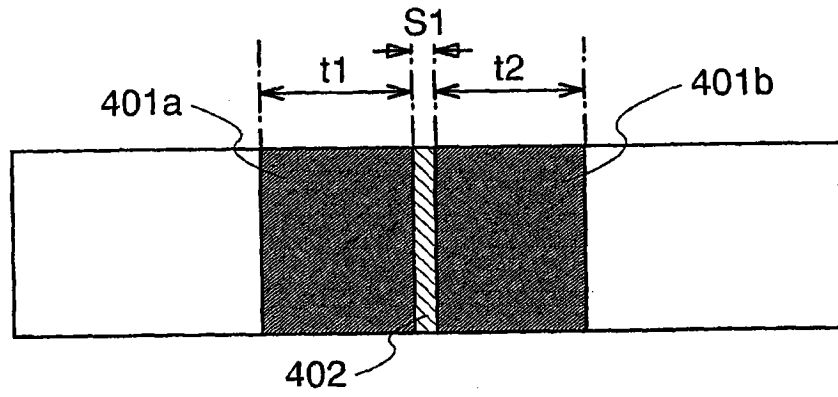


图 5A

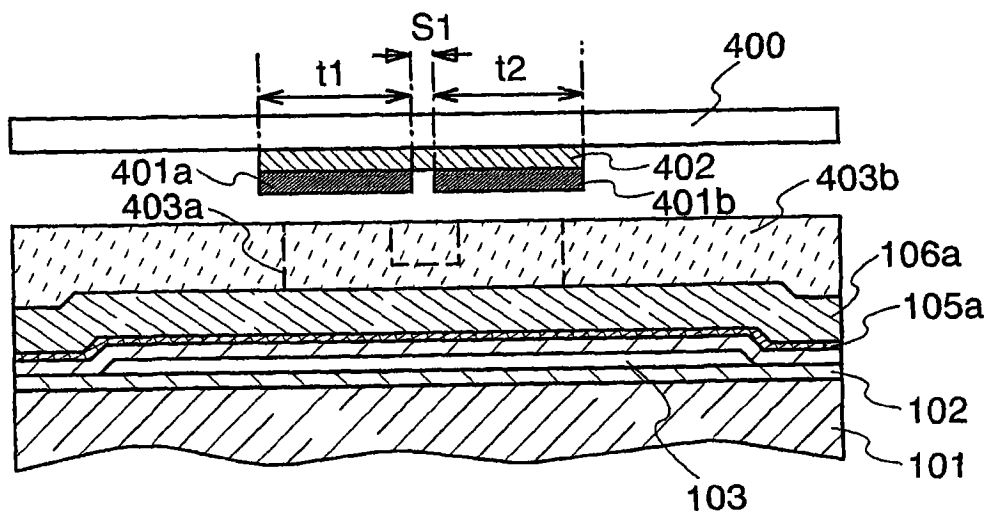


图 5B

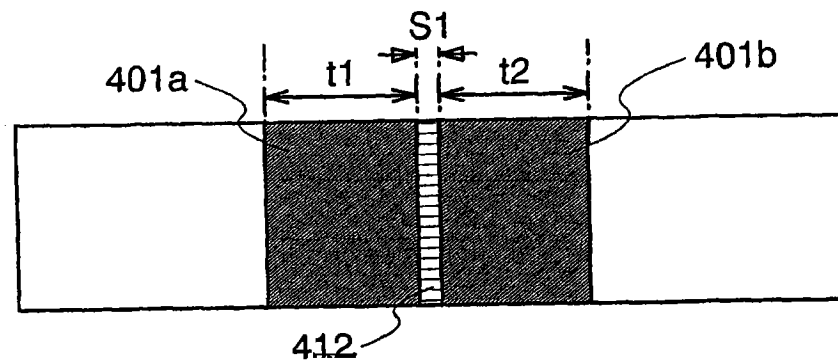


图 5C

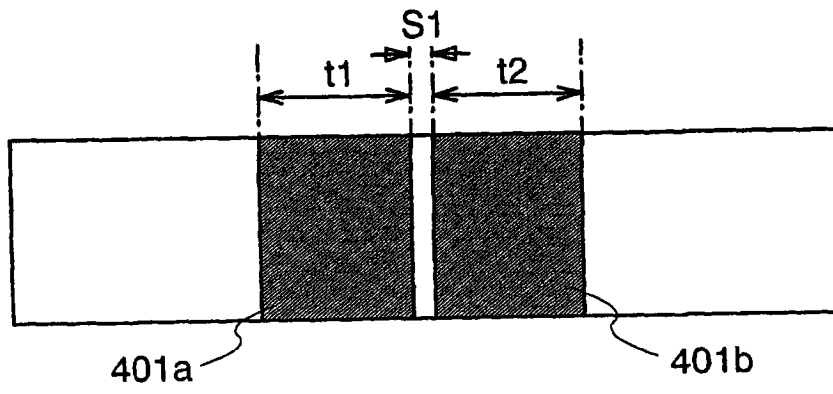


图 5D



图 6A



图 6B

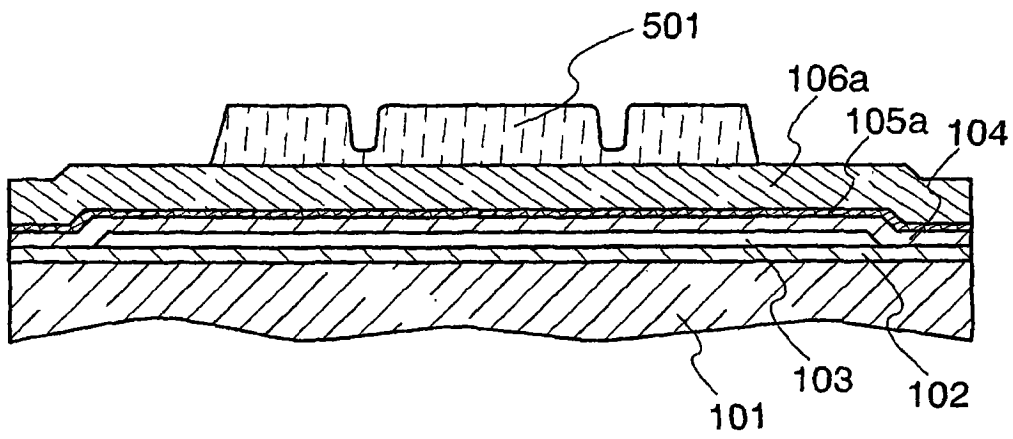


图 7A

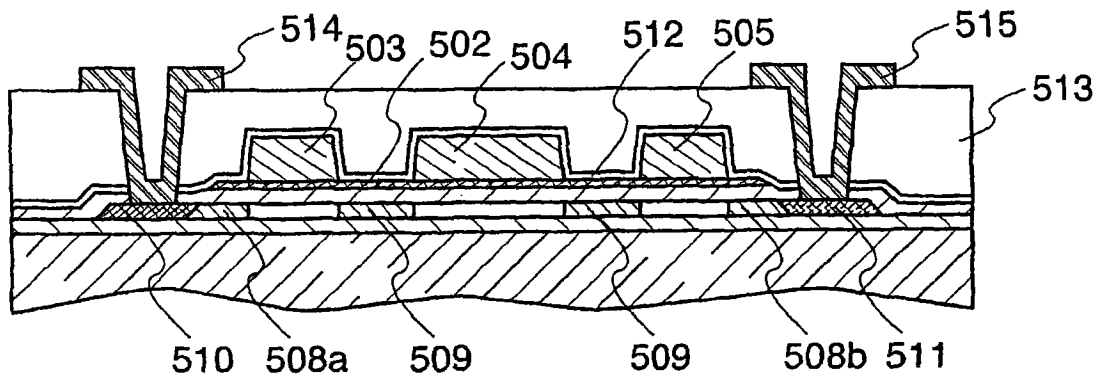


图 7B

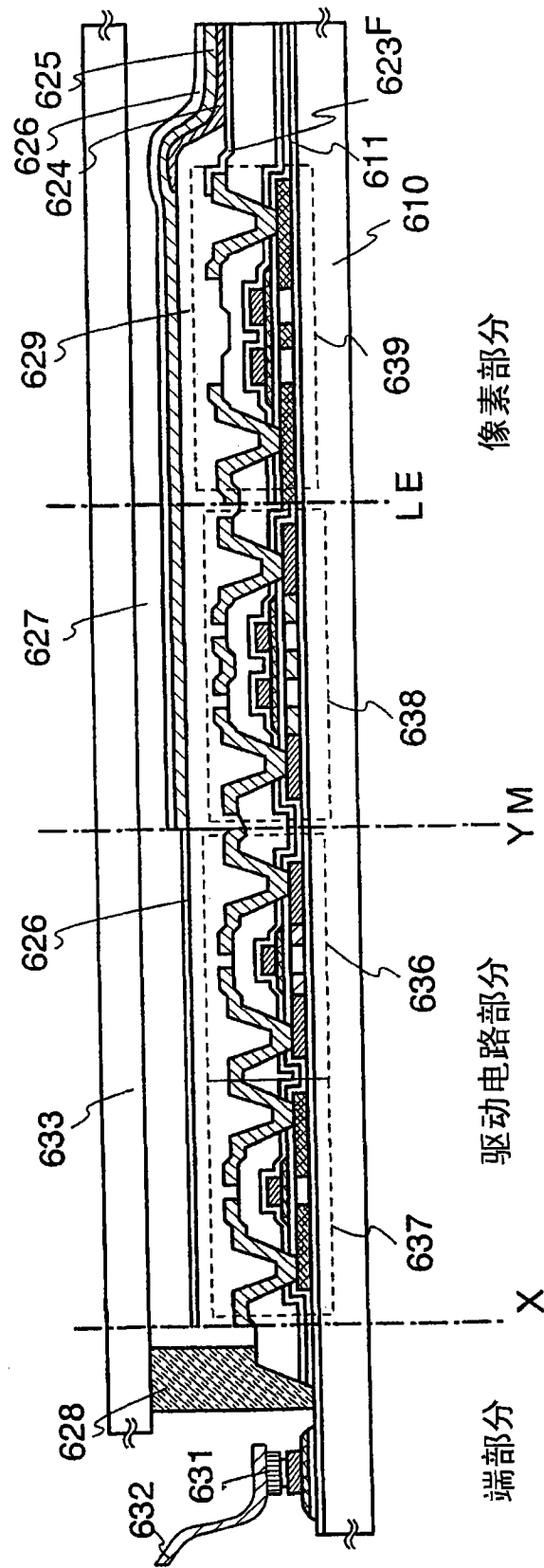


图 8

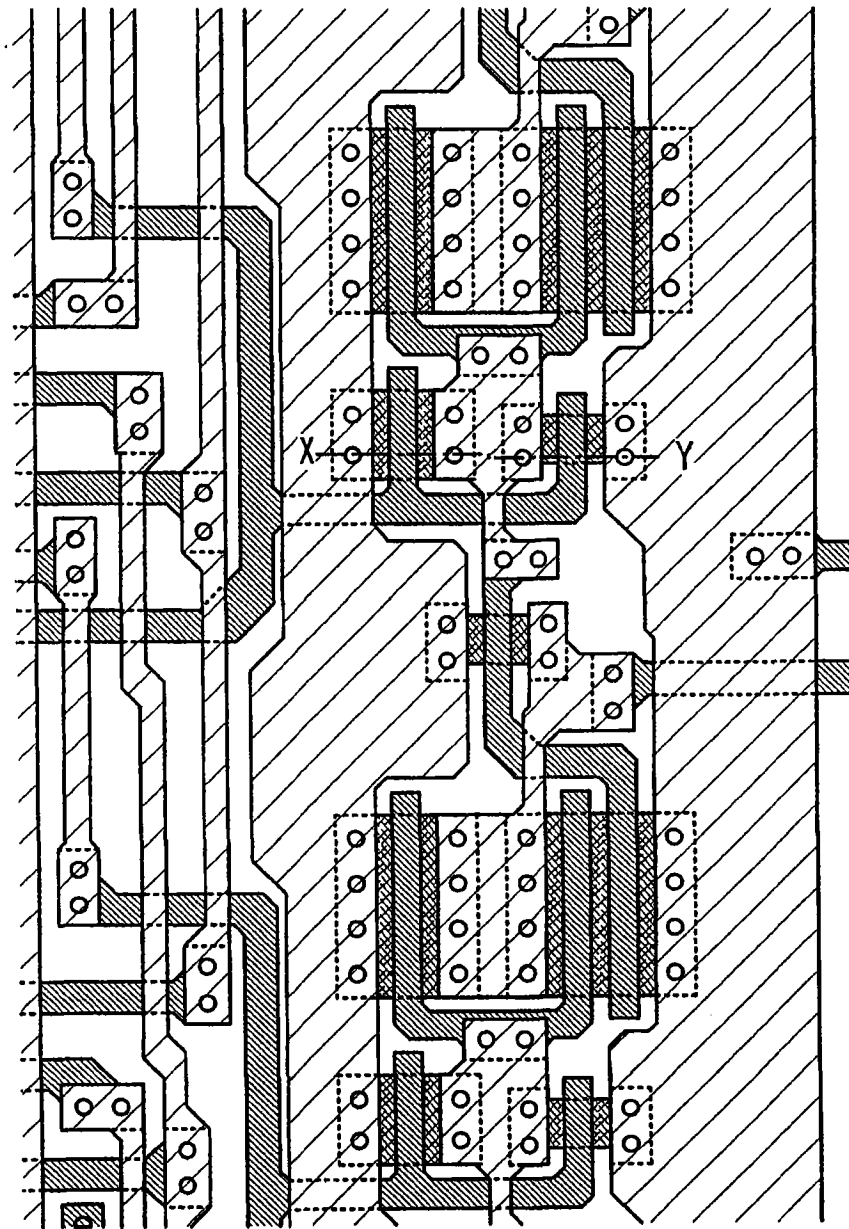


图 9

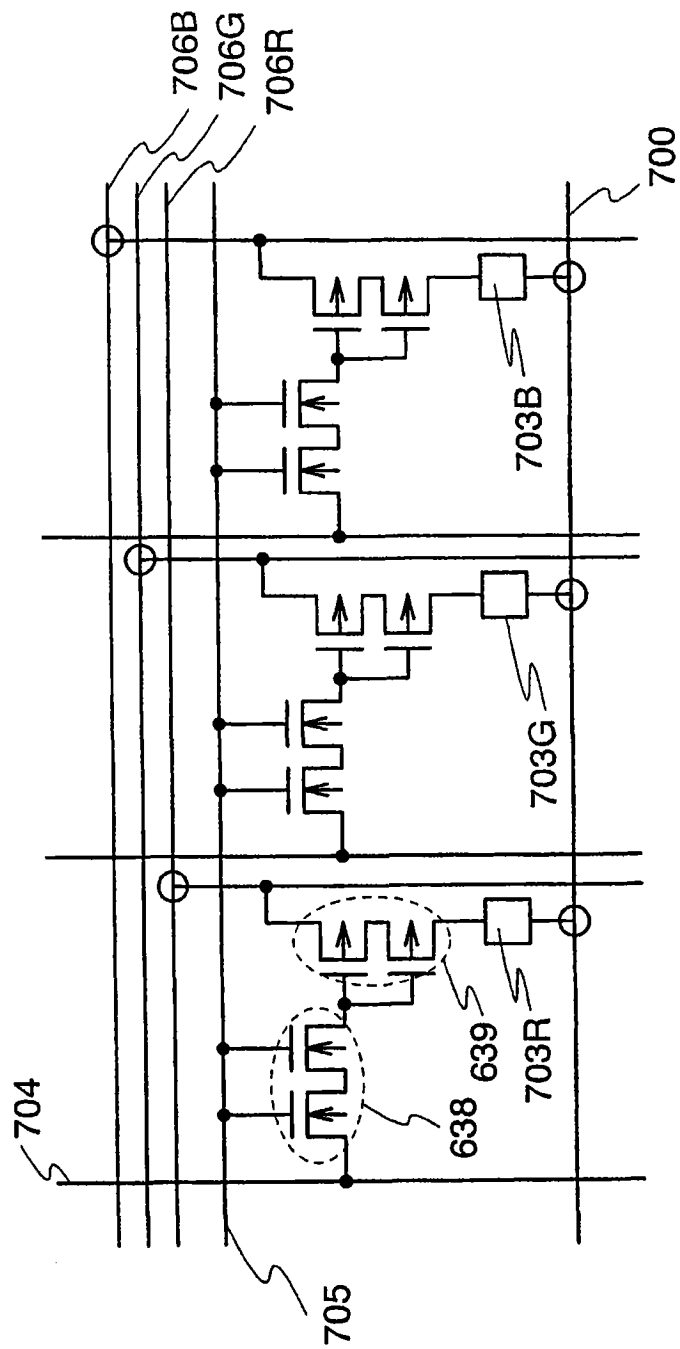


图 10

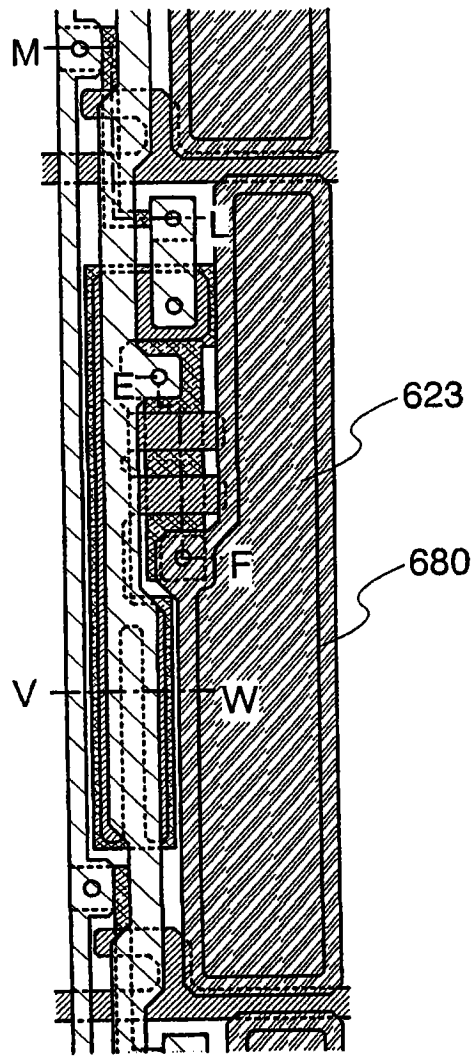


图 11

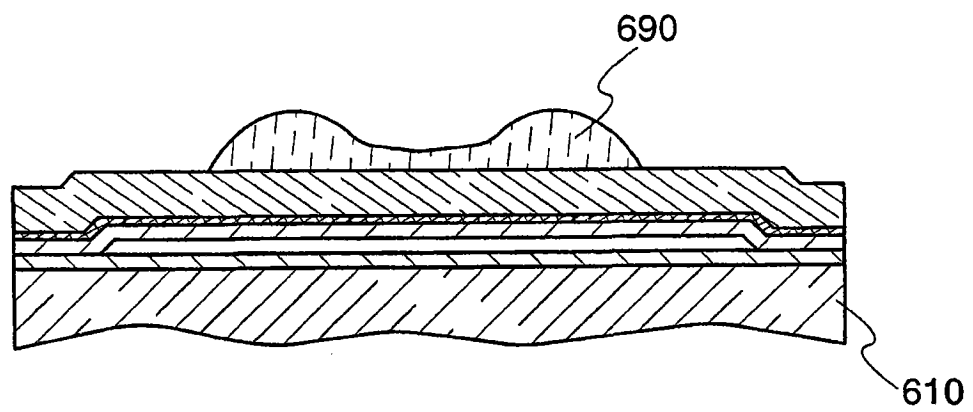


图 12A

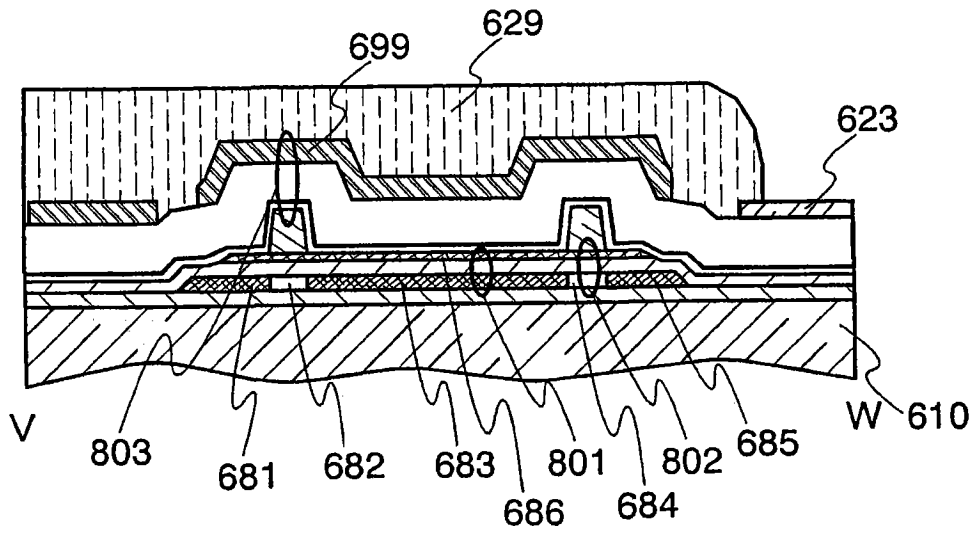


图 12B

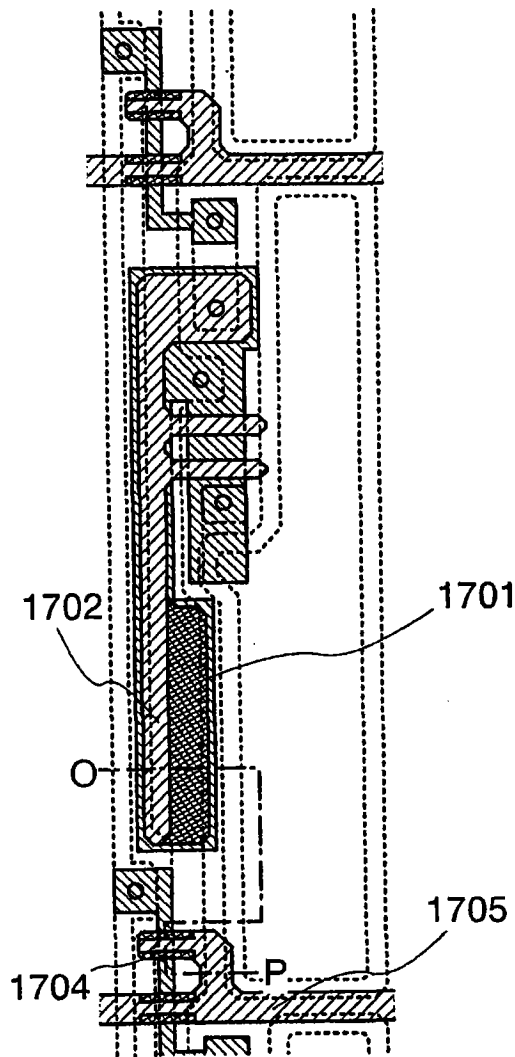


图 13A

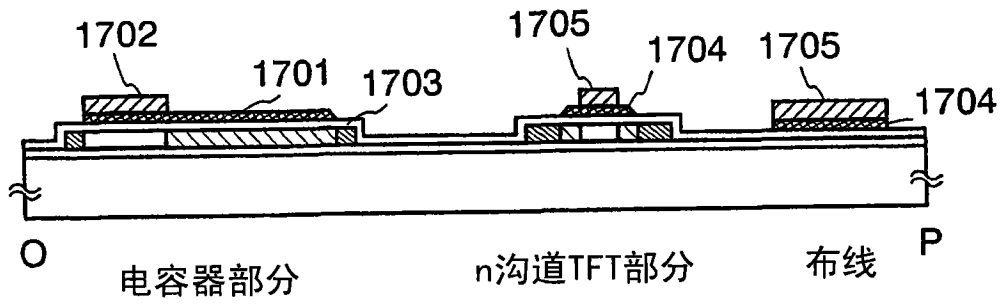


图 13B

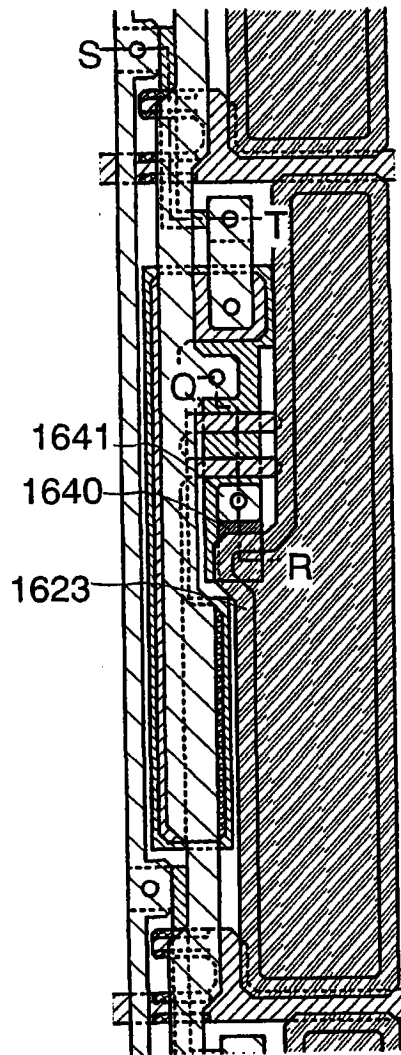


图 14A

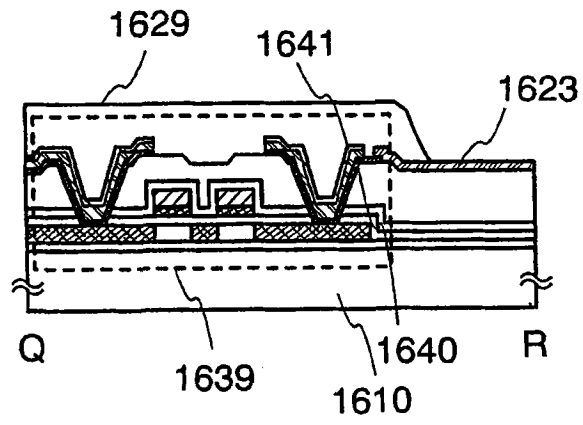


图 14B

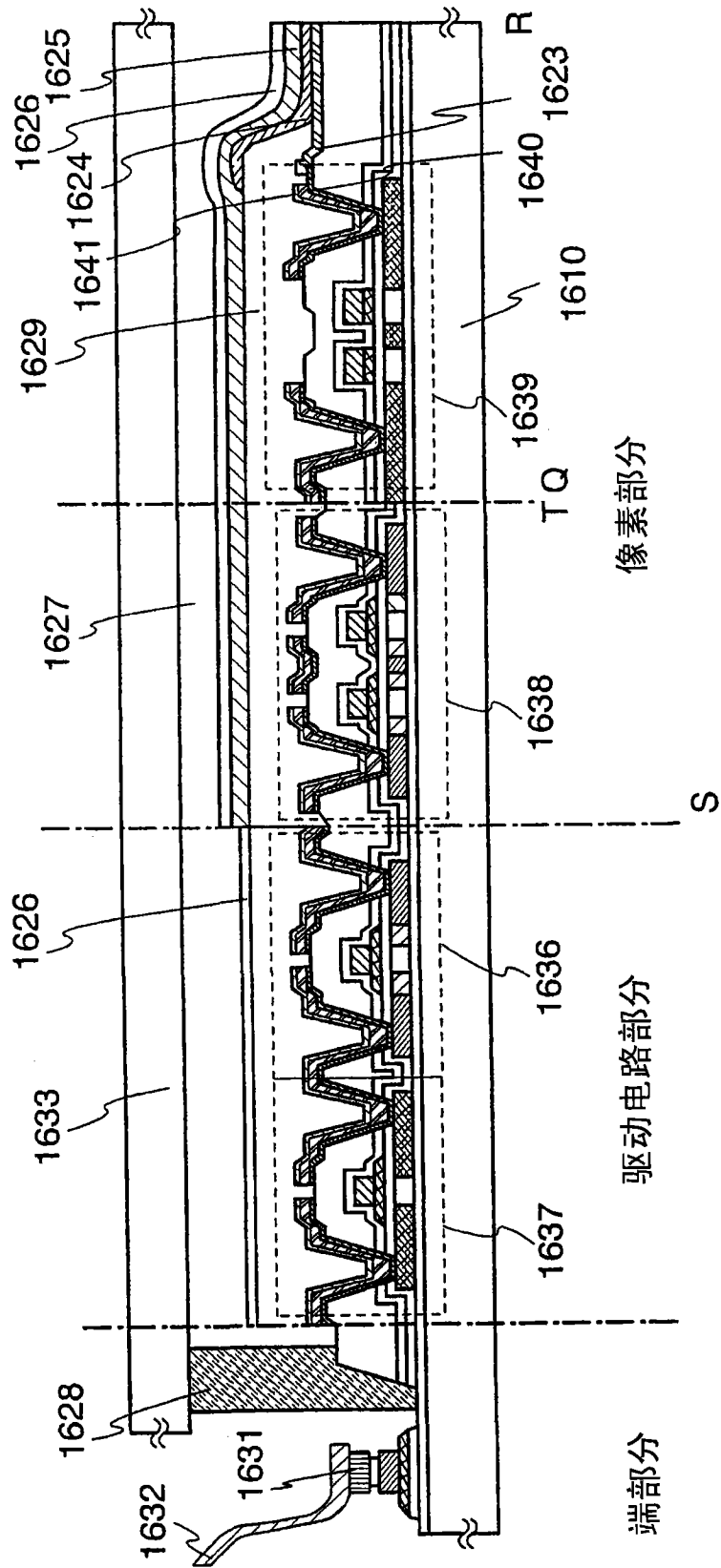


图 15

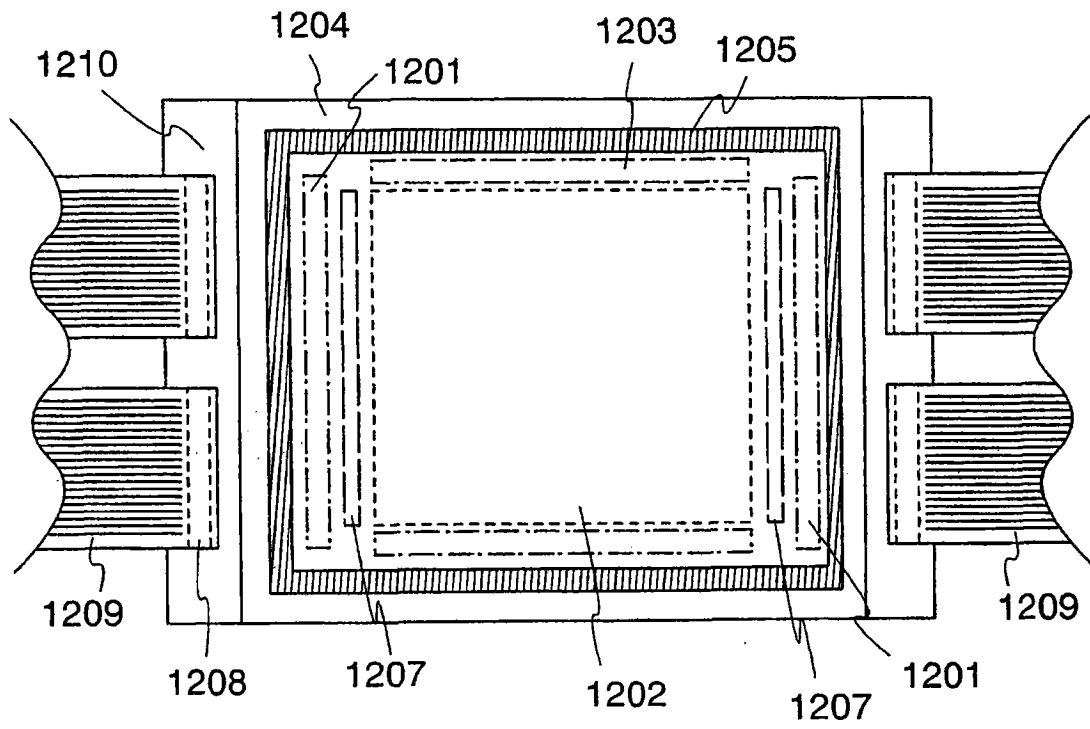


图 16A

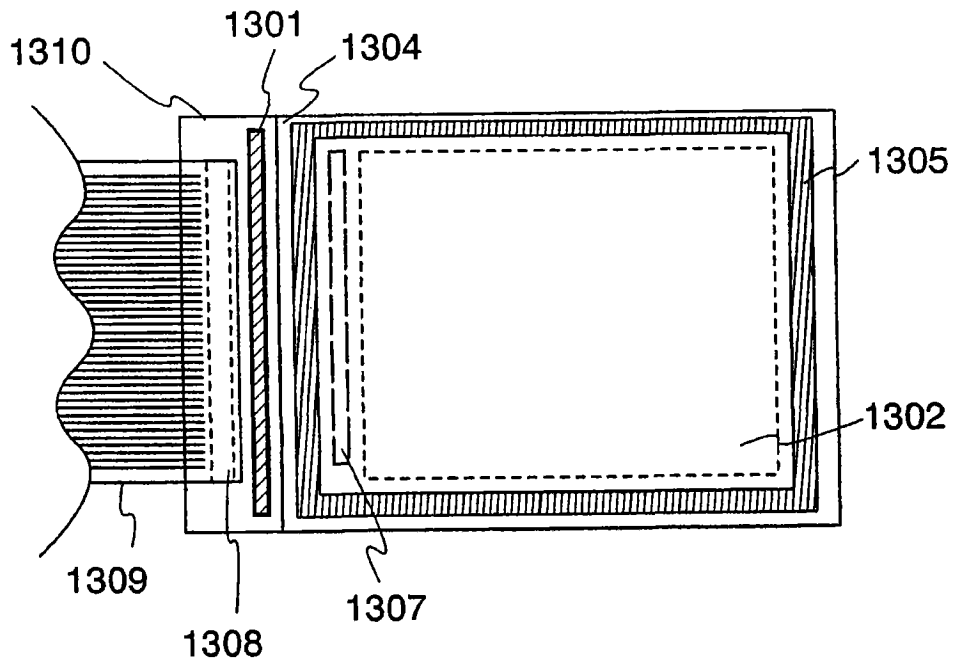


图 16B

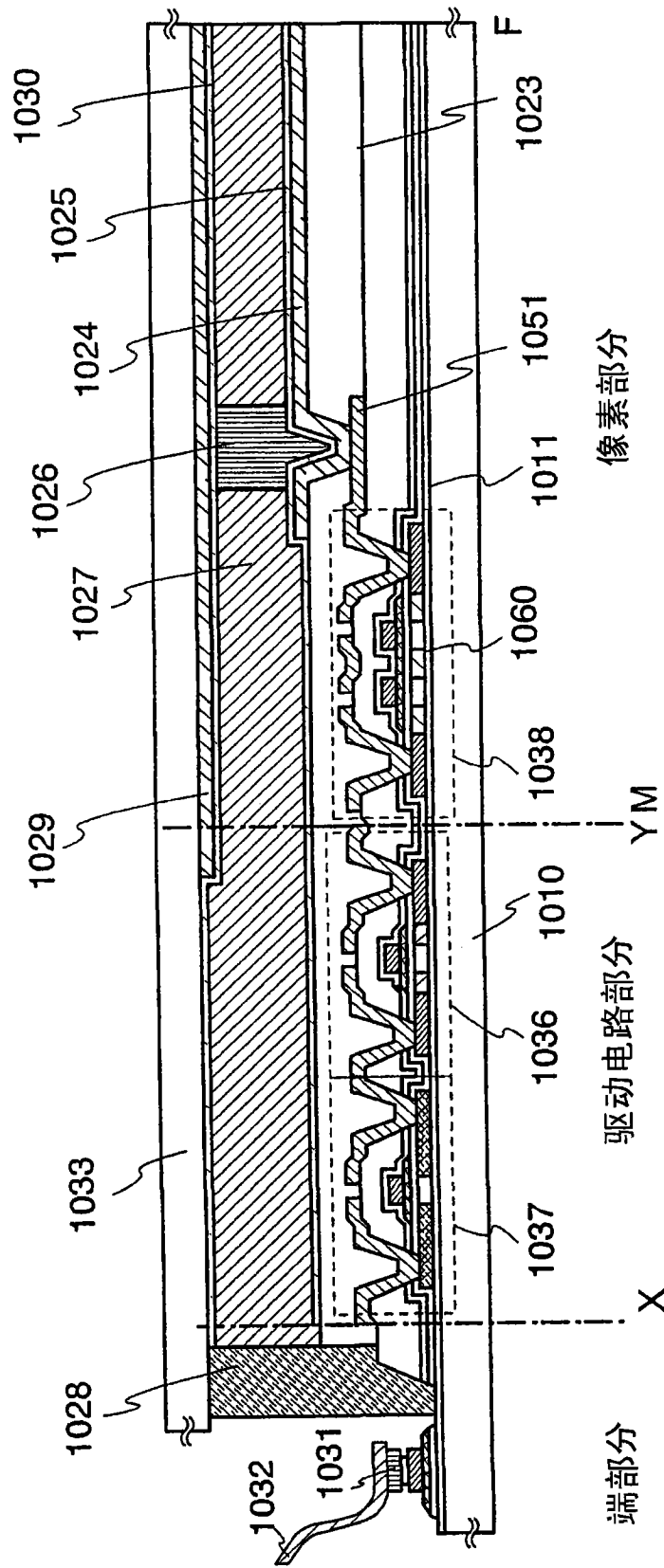


图 17

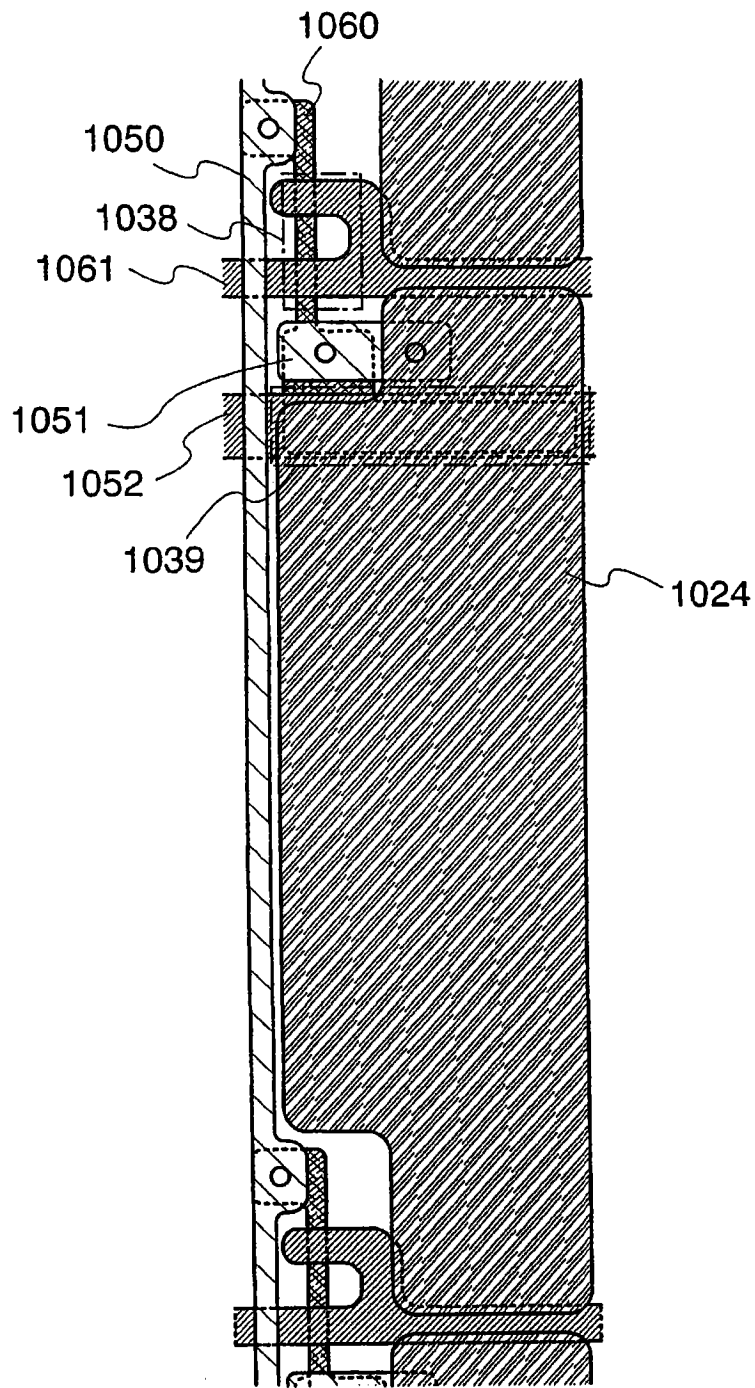


图 18

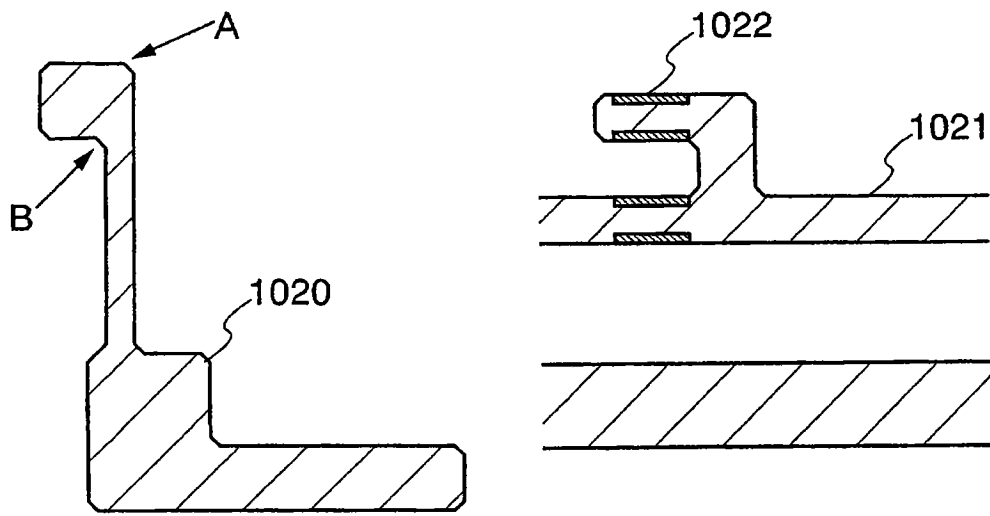


图 20

图 19

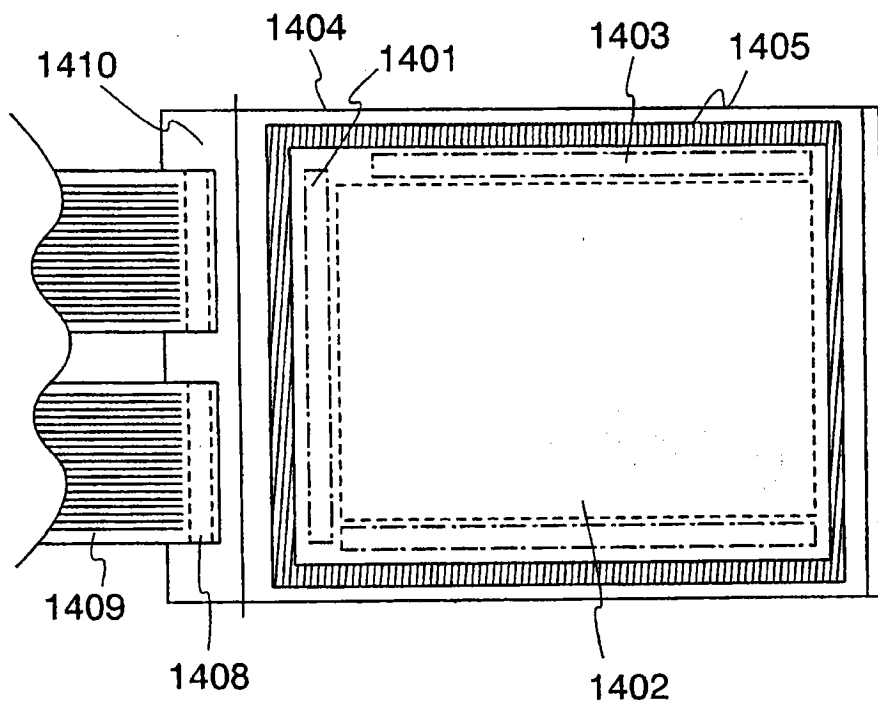


图 21A

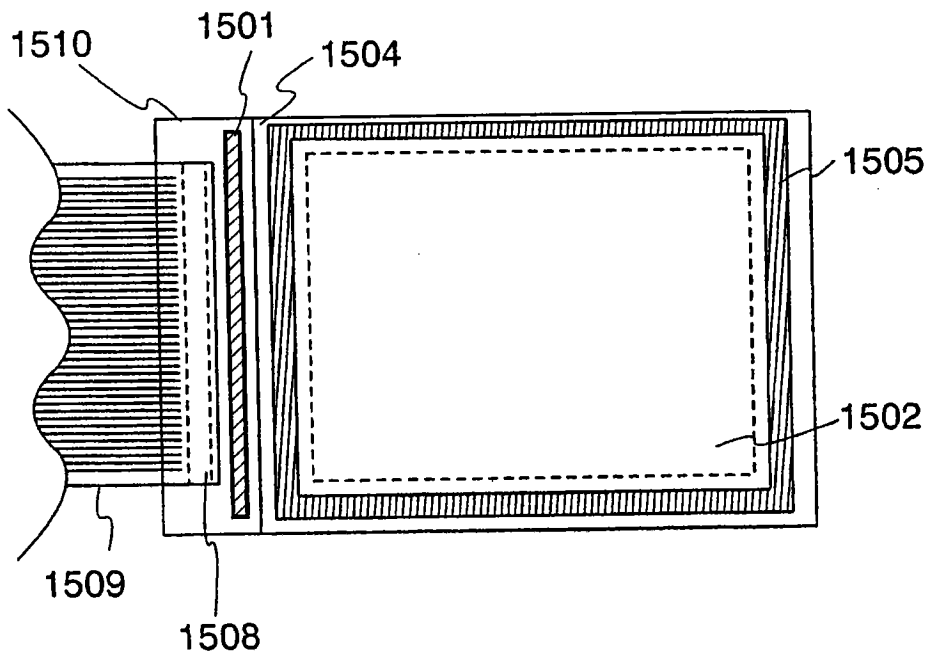


图 21B

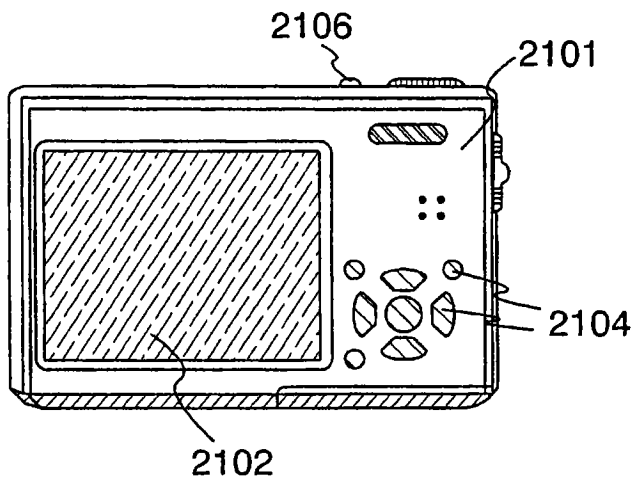


图 22A

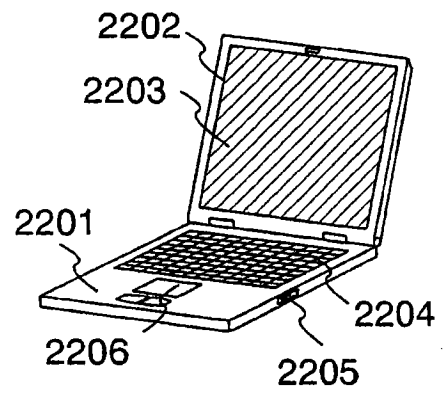


图 22B

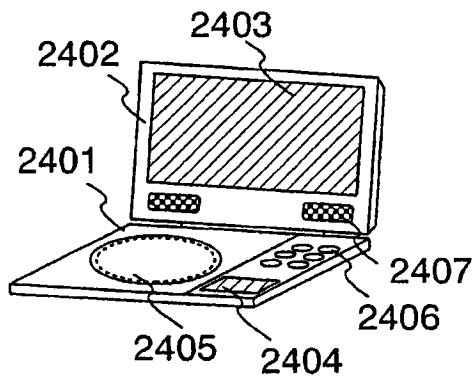


图 22C

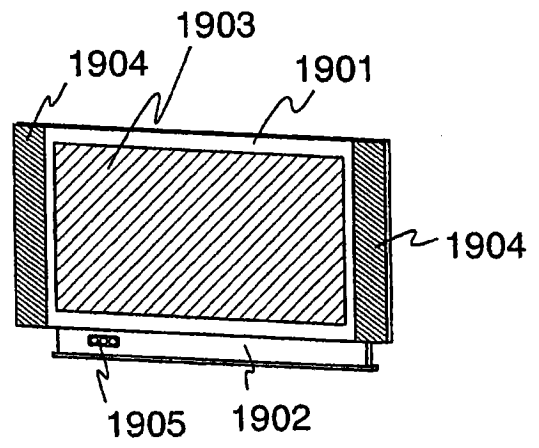


图 22D

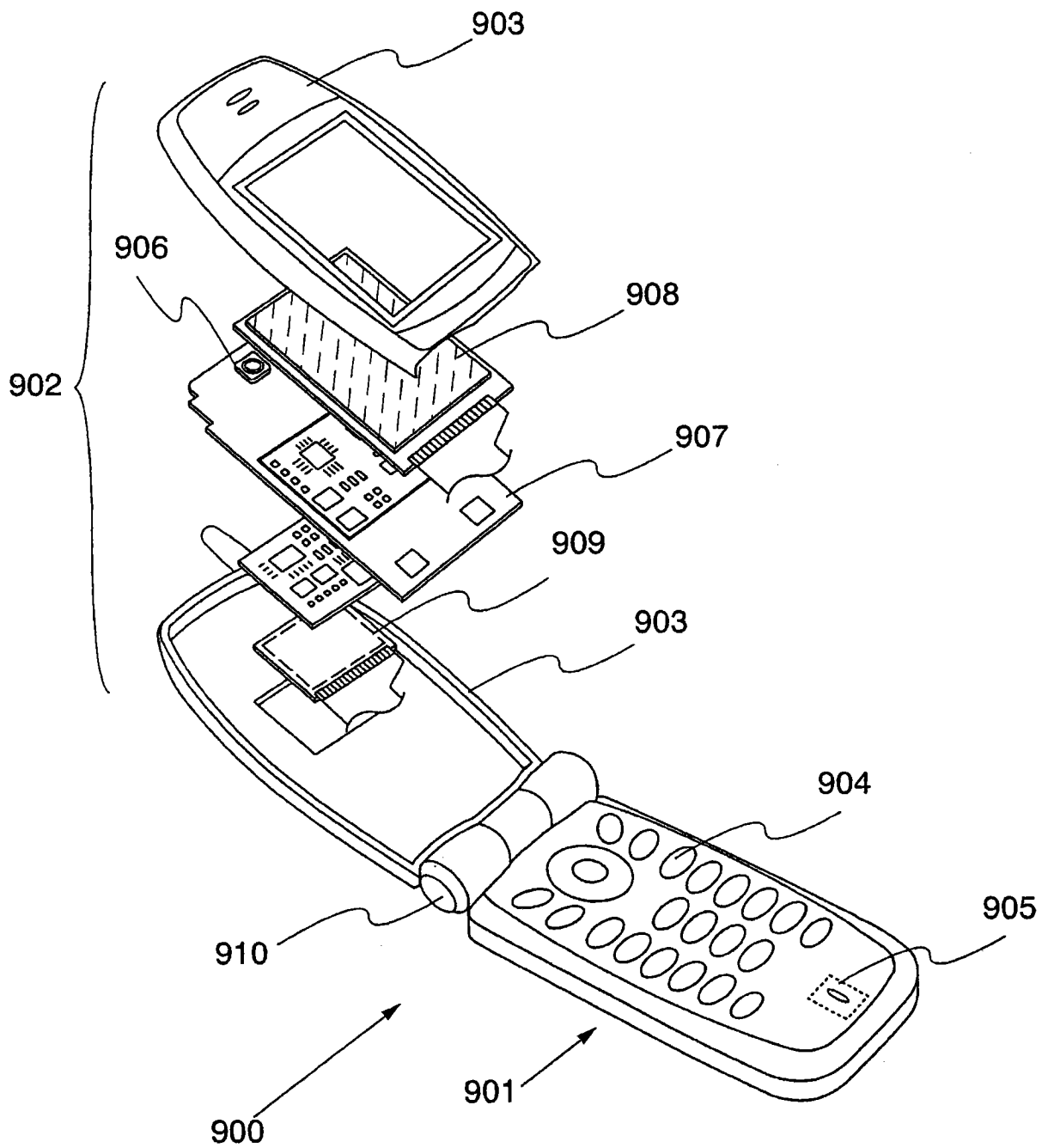


图 23