



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0061189
(43) 공개일자 2011년06월09일

(51) Int. Cl.

G06F 5/00 (2006.01) G06F 1/04 (2006.01)
G06F 12/00 (2006.01) G06F 13/00 (2006.01)

(21) 출원번호 10-2009-0117760

(22) 출원일자 2009년12월01일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

윤재근

경기 화성시 진안동 진안골마을주공10단지 1006동
301호

엄준형

서울 서초구 서초동 메이플라워 멤버스빌 803호
(뒷면에 계속)

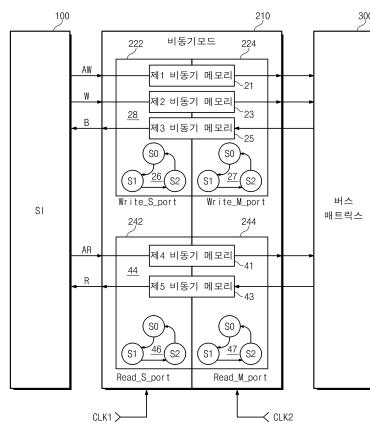
(74) 대리인

송윤호, 오세준, 권혁수

전체 청구항 수 : 총 10 항

(54) 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로**(57) 요 약**

시스템 온 칩에 채용하기 적합한 비동기 통합 업사이징 회로가 개시된다. 그러한 비동기 통합 업사이징 회로는 비동기 팩커와 비동기 언팩커를 구비한다. 비동기 팩커는, 비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터를 버퍼링하는 라이트 버퍼와, 버스트 라이트 시에 상기 라이트 버퍼에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 팩킹 제어기를 포함한다. 또한, 비동기 언팩커는, 상기 비동기 브리지 및 업사이징에 공통으로 사용되며 리드 채널 데이터를 버퍼링하는 리드 버퍼와, 버스트 리드 시에 상기 리드 버퍼에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 언팩킹 제어기를 포함한다. 본 발명의 실시 예의 비동기 통합 업사이징 회로 구성에 따르면, 버퍼의 공유적 사용에 의해 회로의 점유면적이 줄어들어, 회로 구현비용이 낮아진다. 또한, 비동기 팩커에서의 채널 압축 시에 레이턴시가 최적화되거나 버스 활용성이 최적화되도록 함에 의해 동작 퍼포먼스가 높아진다.

대 표 도 - 도4

(72) 발명자

권우철

경기 수원시 영통구 매탄1동 현대홈타운 110동
1801호

강현준

서울 서초구 반포동 1-1 신반포 3지구 아파트
28-1004

정법철

경기 용인시 기흥구 농서동 산24번지 난초동319호

특허청구의 범위

청구항 1

비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터를 버퍼링하는 라이트 버퍼와, 버스트 라이트 시에 상기 라이트 버퍼에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 팩킹 제어기를 포함하는 비동기 팩커와;

상기 비동기 브리지 및 업사이징에 공통으로 사용되며 리드 채널 데이터를 버퍼링하는 리드 버퍼와, 버스트 리드 시에 상기 리드 버퍼에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 언팩킹 제어기를 포함하는 비동기 언팩커를 구비함을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 2

제1항에 있어서, 상기 라이트 버퍼는 라이트 어드레스 채널, 라이트 데이터 채널, 및 라이트 응답 채널에 각기 할당된 메모리들로 구성됨을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 3

제1항에 있어서, 상기 리드 버퍼는 리드 어드레스 채널, 및 리드 데이터 채널에 각기 할당된 메모리들로 구성됨을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 4

제1항에 있어서, 상기 제1 클럭은 마스터 클럭이고, 상기 제2 클럭은 슬레이브 클럭임을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 5

제2항에 있어서, 상기 제1 클럭은 마스터 클럭이고, 상기 제2 클럭은 AXI 버스 클럭임을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 6

제2항에 있어서, 상기 제1 클럭이 상기 제2 클럭보다 주파수가 높은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 먼저 행하여, 레이턴시가 최적화된 업사이징이 수행되도록 함을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 7

제2항에 있어서, 상기 제1 클럭이 상기 제2 클럭보다 주파수가 낮은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 나중에 행하여, 버스 활용성이 최적화된 업사이징이 수행되도록 함을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 8

제2항에 있어서, 상기 메모리들은 각기 FIFO 메모리임을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 9

제3항에 있어서, 상기 메모리들은 각기 FIFO 메모리임을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

청구항 10

제5항에 있어서, 상기 마스터 클럭은 메모리 콘트롤러에서 제공되는 클럭임을 특징으로 하는 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로.

명세서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 데이터 프로세싱 시스템에 관한 것으로, 보다 상세하게는, 스마트 폰이나 네비게이션 디바이스 등과 같은 모바일 시스템에서 비동기 브리지(Async bridge) 기능을 함께 가지는 비동기 통합 업사이징에 관한 것이다.

배경기술

[0002]

스마트 폰들, 개인용 네비게이션 디바이스들, 휴대 인터넷기기, 휴대 방송기기, 또는 멀티미디어 기기 등과 같은 모바일 시스템에서는 다양한 어플리케이션(application)을 지원하기 위해 시스템 온 칩(System on Chip, 이하 "SoC" 라 칭함)상에 고 주파수로 동작되는 고성능의 모바일 응용 프로세서를 채택하고 있다.

[0003]

그러한 모바일 응용 프로세서는 연산과 프로그램 명령어 수행을 담당하기 때문에 모바일 SoC의 성능을 결정짓는 핵심 소자이다. 모바일 응용 프로세서는 무선통신, 개인용 네비게이션, 카메라, 포터블 게이밍, 포터블 음악/비디오 플레이어, 일체화된 모바일 TV 및 PDA 등과 같은 다양한 기능들의 집적을 인에이블(enable)하기 위해, L2 (레벨 2)캐시로서도 불려지는 온칩 2차 캐시를 포함할 수 있다. 상기 L2 캐시의 부가는, 심각한 메모리 트래픽이 프로세서에 의해 발생되었을 때, 모바일 시스템의 성능을 증가시키는 인식된 방법이다.

[0004]

상기 SoC의 효과적인 설계를 위해서는 하나의 칩상에 집적된 복수의 IP(Intellecture Property)들간의 상호 통신을 위한 버스 시스템의 선택이 무엇보다 중요하다. 현재 알려진 대표적인 버스 시스템으로서는 ARM(Advanced RISC Machine)사의 AMBA(Advanced Microcontroller Bus Architecture)프로토콜을 기반으로 하는 AMBA 3.0 AXI(Advanced eXtensible Interface)버스 시스템이 있다.

[0005]

SoC의 일부를 구성하는 DMAC(Direct Memory Access Controller), USB, PCI, SMC(Static Memory Controller), SCI(Smart Card Interface)등과 같은 주변기능 블록들은 제조 메이커의 개발 시간과 개발 인력 등과 같은 제약에 기인하여 외부에서 IP들로써 구입될 수 있다. 구입된 주변기능 블록 IP들은 CPU와 데이터 처리용 기능 블록들과 함께 칩 상에 집적(Integration)되어 SoC를 이루게 된다.

[0006]

모바일 응용 프로세서의 하이 퍼포먼스(High performance) 요구의 증가에 따라, SoC내의 CPU 및 캐시 콘트롤러(cache controller)의 동작 주파수(frequency)는 수 GHz로 증가되는 추세이다. 반면에, 버스(Bus) 시스템의 경우 주파수(frequency)를 수 GHz로 높이기 힘든 제약이 있으므로, 전송 대역 폭을 맞추기 위해, 대신에 CPU의 데이터 버스 폭보다 넓은 데이터 버스 폭이 채용되어진다. 예를 들어, 1GHz의 동작주파수를 갖는 CPU의 데이터 버스 폭이 64비트라고 하면, 버스 시스템의 동작주파수는 200MHz로, 데이터 버스 폭은 128비트로 설계될 수 있다.

- [0007] 따라서, 데이터 전송 속도를 맞추기 위해, 캐시 컨트롤러(cache controller)와 연결 가능하며 64bit 데이터 버스폭과 1GHz 동작 주파수를 갖는 CPU와, 128bit 데이터 버스 폭과 200MHz 동작 주파수를 갖는 버스 시스템 사이에서 64bit to 128 bit 업사이저(upsizer)회로가 채용되어질 수 있다.
- [0008] 한편, 최근에는 SoC 디자인의 사이즈 증가로 인해 비동기 브리지(Async bridge)의 사용 요구가 더욱 늘어나고, 대역폭(Bandwidth)요구량의 증가로 인하여 128 bit AXI 버스(bus)가 도입됨에 따라, 업사이저(Upsizer)와 비동기 브리지(Async Bridge)의 퍼포먼스(performance)가 중요한 요소로서 대두되고 있다. 특히, 디스플레이(Display) IP 패쓰(path)에 대해서는 비동기 브리지 및 업사이저가 모두 사용되어야 한다. 이러한 디스플레이 IP들의 트래픽 패턴(traffic pattern)을 분석할 경우에 버스트 리드 리퀘스트(Burst read request)가 연속으로 나오는 경우가 많다.
- [0009] 디스플레이 IP들이 모여 있는 디스플레이 서브시스템(Display subsystem)에서 리드 리퀘스트(read request)가 연속해서 나타날 경우 비동기 브리지 및 업사이저에 의한 대역폭 차이에 기인하여 리드 레이디 신호(read ready signal)가 하이(high)로 유지되지 못할 수 있다. 그러한 경우에 메모리 컨트롤러(memory controller)의 동작이 스톱(stop)되므로 시스템 전체 퍼포먼스에 영향이 미칠 수 있다. 따라서, 퍼포먼스(performance) 저하를 최소화하기 위해서는 메모리 컨트롤러쪽으로 제공되는 리드 레이디 신호가 하이로 유지되도록 하는 것이 필요하다. 이 경우에 비동기 브리지 및 업사이저는 모두 버퍼(buffer)를 필요로 하게 되므로, 게이트 카운트 오버헤드(gate count overhead)가 초래된다.
- [0010] 또한 버스트 라이트(burst write)의 경우에 버스 활용(bus utilize)을 높이기 위하여 라이트 어드레스 채널(channel)과 라이트 데이터 채널에 대하여 콤팩션(compaction)을 수행할 경우에 보다 효율적인 콤팩션 기법이 필요해진다. 예를 들어, 비동기 브리지 및 업사이저가 서로 별개로 분리되어 있는 경우에 채널 콤팩션을 행하면 콤팩션 효율이 저하되어 레이턴시나 버스 활용성이 좋지 못하게 된다.
- [0011] 따라서, 모바일 시스템에서 채용될 수 있는 비동기 브리지 및 업사이저에서 게이트 카운트 오버헤드를 줄이고, 채널 콤팩션을 보다 효율적으로 행할 수 있는 기술이 요망된다.

발명의 내용

해결 하고자하는 과제

- [0012] 본 발명이 해결하고자 하는 기술적 과제는, 데이터 프로세싱 시스템의 퍼포먼스를 개선할 수 있는 비동기 통합 업사이징 회로를 제공함에 있다.
- [0013] 본 발명이 해결하고자 하는 다른 기술적 과제는, 게이트 카운트 오버헤드를 줄일 수 있는 비동기 통합 업사이징 회로를 제공함에 있다.
- [0014] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 비동기 브리지 기능을 갖는 업사이징 회로를 제공함에 있다.
- [0015] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 채널 콤팩션을 보다 효율적으로 행할 수 있는 비동기 통합 업사이징 회로 및 방법을 제공함에 있다.
- [0016] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 회로 점유면적을 줄이고 버스트 라이트 동작 시에 레이턴시나 버스 활용성을 개선할 수 있는 업사이징 회로 및 그를 채용한 데이터 프로세싱 시스템을 제공함에 있다.

과제 해결수단

- [0017] 상기 기술적 과제를 달성하기 위하여, 본 발명의 실시 예의 일 양상(an aspect)에 따른 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로는, 비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터를 버퍼링하는 라이트 버퍼와, 버스트 라이트 시에 상기 라이트 버퍼에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 팩킹 제어기를 포함하는 비동기 팩커와;
- [0018] 상기 비동기 브리지 및 업사이징에 공통으로 사용되며 리드 채널 데이터를 버퍼링하는 리드 버퍼와, 버스트 리드 시에 상기 리드 버퍼에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 제1,2 클럭에 따라 각기

제어하는 제1,2 비동기 언팩킹 제어기를 포함하는 비동기 언팩커를 구비한다.

[0019] 본 발명의 실시 예에서, 상기 라이트 버퍼는 라이트 어드레스 채널, 라이트 데이터 채널, 및 라이트 응답 채널에 각기 할당된 메모리들로 구성될 수 있으며, 또한, 상기 리드 버퍼는 리드 어드레스 채널, 및 리드 데이터 채널에 각기 할당된 메모리들로 구성될 수 있다.

[0020] 본 발명의 실시 예에서, 상기 제1 클럭은 마스터 클럭이고, 상기 제2 클럭은 슬레이브 클럭일 수 있다. 여기서, 상기 제2 클럭은 AXI 버스 클럭일 수 있다.

[0021] 본 발명의 실시 예에서, 상기 제1 클럭이 상기 제2 클럭보다 주파수가 높은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 먼저 행하여, 레이턴시가 최적화된 업사이징이 수행되도록 할 수 있다. 또한, 상기 제1 클럭이 상기 제2 클럭보다 주파수가 낮은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 나중에 행하여, 버스 활용성이 최적화된 업사이징이 수행되도록 할 수 있다.

[0022] 본 발명의 실시 예에서, 상기 메모리들은 각기 FIFO 메모리일 수 있으며, 상기 마스터 클럭은 메모리 콘트롤러에서 제공되는 클럭일 수 있다.

[0023] 본 발명의 실시 예에서, 상기 비동기 팩커는 상기 라이트 채널 데이터에 대한 비동기 팩킹을 수행하고, 상기 비동기 언팩커는 상기 리드 채널 데이터에 대한 비동기 언팩킹을 수행할 수 있다.

[0024] 본 발명의 실시 예의 다른 양상(another aspect)에 따른 데이터 프로세싱 시스템에서의 비동기 통합 업사이징 회로는,

[0025] 비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터를 버퍼링하는 제1,2,3 비동기 메모리들과, 버스트 라이트 시에 상기 제1,2,3 비동기 메모리들에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 마스터 클럭 및 슬레이브 클럭에 따라 각기 제어하는 제1,2 비동기 팩킹 제어기를 포함하는 비동기 팩커와;

[0026] 상기 비동기 브리지 및 업사이징에 공통으로 사용되며 리드 채널 데이터를 버퍼링하는 제4,5 비동기 메모리들과, 버스트 리드 시에 상기 제4,5 비동기 메모리들에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 마스터 클럭 및 슬레이브 클럭에 따라 각기 제어하는 제1,2 비동기 언팩킹 제어기를 포함하는 비동기 언팩커를 구비한다.

[0027] 본 발명의 실시 예에서, 상기 마스터 클럭은 CPU의 클럭이고, 상기 제2 클럭은 AXI 버스 클럭일 수 있다.

[0028] 본 발명의 실시 예에서, 상기 제1 비동기 메모리는 라이트 어드레스 채널에, 상기 제2 비동기 메모리는 라이트 데이터 채널에, 상기 제3 비동기 메모리는 라이트 응답 채널에 대응적으로 할당될 수 있으며, 상기 제4 비동기 메모리는 리드 어드레스 채널에, 상기 제5 비동기 메모리는 리드 데이터 채널에 대응적으로 할당될 수 있다.

[0029] 본 발명의 실시 예에서, 상기 마스터 클럭이 상기 슬레이브 클럭보다 주파수가 높은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 먼저 행하여, 레이턴시가 최적화된 업사이징이 수행되도록 할 수 있다.

[0030] 본 발명의 실시 예에서, 상기 마스터 클럭이 상기 슬레이브 클럭보다 주파수가 낮은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 나중에 행하여, 버스 활용성이 최적화된 업사이징이 수행되도록 할 수 있다.

[0031] 본 발명의 실시 예의 또 다른 양상에 따른 데이터 프로세싱 시스템은,

[0032] L2 캐시 콘트롤러와 연결되는 CPU와;

[0033] 비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터를 버퍼링하는 라이트 버퍼와 버스트 라이트 시에 상기 라이트 버퍼에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 팩킹 제어기를 포함하는 비동기 팩커와, 상기 비동기 브리지 및 업사이징에 공통으로 사용되며 리드 채널 데이터를 버퍼링하는 리드 버퍼와 버스트 리드 시에 상기 리드 버퍼에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 제1,2 클럭에 따라 각기 제어하는 제1,2 비동기 언팩킹 제어기를 포함하는 비동기 언팩커를 구비하며, 상기 L2 캐시 콘트롤러를 통해 상기 CPU와 인터페이스 버스간에 연결되는 비동기 통합 업사이징 회로와;

[0034] 상기 인터페이스 버스에 연결된 디스플레이 IP들을 구비한다.

- [0035] 본 발명의 실시 예에서, 상기 디스플레이 IP들은, 모바일 시스템을 위한 IP들일 수 있다.
- [0036] 본 발명의 실시 예의 또 다른 양상에 따라, 비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터를 버퍼링하는 라이트 버퍼와, 버스트 라이트 시에 상기 라이트 버퍼에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 마스터 클럭 및 슬레이브 클럭에 따라 각기 제어하는 제1,2 비동기 팩킹 제어기를 구비하는 데이터 프로세싱 시스템에서의 비동기 팩킹 방법은,
- [0037] 상기 마스터 클럭이 상기 슬레이브 클럭보다 주파수가 높은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 먼저 행하는 제어 단계와;
- [0038] 상기 마스터 클럭이 상기 슬레이브 클럭보다 주파수가 낮은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 나중에 행하는 제어 단계를 가질 수 있다.

효과

- [0039] 본 발명의 실시예의 비동기 통합 업사이징 회로 구성에 따르면, 버퍼의 공유적 사용에 의해 회로의 점유면적이 줄어들어, 회로 구현비용이 낮아진다.
- [0040] 또한, 비동기 팩커에서의 채널 압축 시에 레이턴시가 최적화되거나 버스 활용성이 최적화되도록 함에 의해 동작 퍼포먼스가 높아진다.
- [0041] 따라서, 그러한 비동기 통합 업사이징 회로를 SoC에 채용하는 경우에 데이터 처리 시스템의 제조 원가가 낮아지며 SoC의 동작 성능도 높아진다.

발명의 실시를 위한 구체적인 내용

- [0042] 위와 같은 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는, 이해의 편의를 제공할 의도 이외에는 다른 의도 없이, 개시된 내용이 보다 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0043] 본 명세서에서, 어떤 소자 또는 라인들이 대상 소자 블록에 연결 된다라고 언급된 경우에 그것은 직접적인 연결뿐만 아니라 어떤 다른 소자를 통해 대상 소자 블록에 간접적으로 연결된 의미까지도 포함한다.
- [0044] 또한, 각 도면에서 제시된 동일 또는 유사한 참조 부호는 동일 또는 유사한 구성 요소를 가급적 나타내고 있다. 일부 도면들에 있어서, 소자 및 라인들의 사이즈는 기술적 내용의 효과적인 설명을 위해 과장되어 나타날 수 있다.
- [0045] 여기에 설명되고 예시되는 실시 예는 그것의 상보적인 실시 예도 포함될 수 있음을 유의하라.
- [0046] 먼저, 도 1은 본 발명이 적용 가능한 ARM(Advanced RISC Machine)사의 프라임셀(PrimeCell) 하이 퍼포먼스 매트릭스(HPM)를 사용하는 시스템 온 칩의 내부 구성 블록도이다.
- [0047] 도면을 참조하면, 브리지부(2), 업사이저(200), 레지스터 슬라이스(4), 및 버스 매트릭스(300)로 이루어진 슬레이브 인터페이스(SI)상의 인터페이스 서포트 콤퍼넌트들의 연결 예가 보여진다. 상기 브리지부(2)는 주파수 변환을 위한 소자로서 두개의 비동기 클럭 도메인들 사이를 크로싱한다. 상기 업사이저(200)는 큰 데이터 폭으로 슬레이브 측에 연결하기 위해 마스터 측을 인에이블 하는 데이터 버스 폭 변환 소자이다. 상기 레지스터 슬라이스(4)는 AMBA AXI 신호들을 저장하기 위한 버퍼링 소자이다.
- [0048] 도 1에서, 상기 업사이저(200)는 전송 속도를 맞추기 위해 예를 들어 64비트의 데이터를 128비트의 데이터로 확장하는 데이터 익스팬더(expander)의 기능을 기본적으로 수행한다. 도 1에서, 상기 브리지부(2)에 연결된 슬레이브 인터페이스(SI)는 64bit 데이터 버스 폭과 1GHz 동작 주파수를 갖는 CPU 측(side)에 연결될 수 있고, 상기 버스 매트릭스(300)는 128bit 데이터 버스 폭과 200MHz 동작 주파수를 갖는 버스 시스템이 될 수 있다. 상기 버

스 매트릭스(300)는 멀티 레이어 버스 매트릭스(Multi Layer Bus Matrix)구조를 가질 수 있다.

[0049] 도 2는 도 1종 업사이저(또는 익스팬더)와 연결된 버스 구조의 예를 보여주는 데이터 프로세싱 시스템의 일부 블록 구성도이다.

[0050] 도 2를 참조하면, 데이터 프로세싱 시스템(500)내의 업사이저(200)를 기준으로 상부는 협(narrow) AXI 버스, 하부는 광 AXI 버스로 되어 있음을 알 수 있다. 상기 업사이저(200)는 협 버스 라인(BN)으로 인가되는 32비트, 32비트, 64비트의 데이터를 64비트, 128비트, 128비트로 각기 확장하여 광 버스 라인(BW)으로 제공하는 역할을 할 수 있다. 도 2에서 Lo는 하위 비트를, 하이 Hi는 상위 비트를 의미한다. 예를 들어, 총 128비트로 데이터가 구성된 경우에 0~63 비트들은 Lo에 대응되고, 64~127 비트들은 Hi에 대응된다.

[0051] 도 3은 컨벤셔널 기술에 따른 업사이저의 세부적 블록 구성도이다.

[0052] 도 3에서, 동기 모드에서 동작하는 업사이저(200)는 프로세서 클럭(CLK1)에 따라 동작하는 싱크 팩커(220)와 싱크 언팩커(240)로 구성된다. 상기 싱크 팩커(sync packer:220)는 제1,2 싱크 메모리(21,23)와 싱크 팩킹 제어기(25)로 구성되며, 상기 싱크 언팩커(240)는 CAM(41), 제3 싱크 메모리(43), 및 싱크 언팩킹 제어기(45)로 구성된다. 상기 싱크 팩커(220)는 라이트 어드레스 채널, 라이트 데이터 채널, 및 라이트 응답 채널에 싱크 팩킹을 수행하며, 상기 싱크 언팩커(240)는 리드 어드레스 채널과 리드 데이터 채널에 대한 싱크 언팩킹을 수행할 수 있다.

[0053] 제1 싱크 메모리(21)는 상기 싱크 팩킹 제어기(25)의 제어에 응답하여 라이트 어드레스 채널의 어드레스를 저장하고, 그 저장된 어드레스를 업사이징하여 버스 매트릭스(300)로 출력한다.

[0054] 제2 싱크 메모리(23)는 상기 싱크 팩킹 제어기(25)의 제어에 응답하여 라이트 데이터 채널의 데이터를 저장하고, 그 저장된 데이터를 업사이징하여 버스 매트릭스(300)로 출력한다. 여기서, 64비트로 저장된 데이터는 버스 매트릭스(300)로 제공시 상기 업사이징에 의해 128비트로서 인가될 수 있다.

[0055] CAM(41)은 어드레스 리드 콘텐츠 어드레서블 메모리(ARCAM)의 기능을 수행하는 메모리이다.

[0056] 제3 싱크 메모리(43)는 상기 싱크 언팩킹 제어기(45)의 제어에 응답하여 리드 데이터 채널의 데이터를 저장하고, 그 저장된 데이터를 비트 변환하여 상기 슬레이브 인터페이스(100)로 출력한다.

[0057] 상기 제1,2,3 싱크 메모리들(21,23,43)은 모두 선입선출 기능을 가지는 FIFO(First In First Out)메모리로 구현될 수 있다.

[0058] 도 3에서, 상기 프로세서 클럭이 약 1GHz의 주파수를 가진다고 하면, 상기 업사이저(200)에 인가되는 클럭(CLK1)도 프로세서의 클럭 도메인(domain)하에서 동작되기 때문에 약 1GHz로 주어질 수 있다. 한편, 상기 버스 매트릭스(300)에 사용되는 버스 클럭은 약 200MHz의 주파수를 가질 수 있다.

[0059] 상기 프로세서(또는 CPU) 클럭은 SoC의 전류 소모를 최소화하기 위해 채용된 DVFS(Dynamic Voltage Frequency Scaling Controller)에 의해 제어되는 DVFS(Dynamic Voltage Frequency Scaling)클럭일 수 있다. 상기 DVFS의 채용에 의해 클럭 주파수는 다이나믹하게 제어될 수 있다.

[0060] 도 3에서 AW는 라이트 어드레스 채널 신호들, W는 라이트 데이터 채널 신호들, B는 라이트 응답 채널 신호들, AR은 리드 어드레스 채널 신호들, 및 R은 리드 데이터 채널 신호들을 각기 나타낸다. 또한, SI는 슬레이브 인터페이스를, MI는 마스터 인터페이스를 각기 나타낸다.

[0061] 도 3과 같이 구성된 업사이저(200)는 동기 모드에서 동작하므로, SoC 디자인의 사이즈 증가에 따라 도입되는 비동기 브리지(Async bridge)와의 적응성이 저하된다. 특히, 디스플레이(Display) IP 패쓰(path)에서는 비동기 업사이저(Upsizer)와 비동기 브리지(Async Bridge)의 사용이 많은데, 이 경우에 동작 퍼포먼스(performance)가 중요하다.

[0062] 디스플레이 서브시스템에서 비동기 브리지 및 업사이저에 의한 대역폭 차이에 기인하여 리드 레이디 신호(read ready signal)가 하이(high)로 유지되지 못하면, 메모리 컨트롤러(memory controller)의 동작이 스톱(stop)되어 시스템 전체 퍼포먼스에 영향이 미칠 수 있다. 따라서, 퍼포먼스(performance)저하를 최소화하기 위해서는 메모리 컨트롤러쪽으로 제공되는 리드 레이디 신호를 하이로 유지시켜야 한다. 이 경우에 비동기 브리지 및 업사이저는 모두 버퍼(buffer)를 필요로 하게 되므로, 게이트 카운트 오버헤드(gate count overhead)가 초래된다. 본 발명의 실시 예에서는 도 4에서 보여지는 바와 같이, 비동기 브리지(Async bridge)기능을 함께 가지는 비동기 통합 업사이저(210)를 구현하여, 라이트 버퍼 및 리드 버퍼를 공유적으로 사용함에 의해 게이트 카운트 오버

헤드를 줄인다.

- [0063] 또한 버스트 라이트(burst write)동작에서 채널 콤팩션을 행할 경우에, 도 9와 같이 마스터와 슬레이브간의 클럭비와 버스트 길이에 따른 동작 클럭 조정 테이블에 맞추어 제어하면, 레이턴시나 버스 활용성이 개선되므로, 채널 콤팩션 효율이 높아진다.
- [0064] 이제부터는 도 4 내지 도 10을 참조로 본 발명의 실시 예가, 본 발명을 한정할 의도없이, 설명될 것이다.
- [0065] 도 4는 본 발명의 실시 예에 따른 비동기 통합 업사이징 회로의 세부적 블록 구성도이다.
- [0066] 도 4에서, 비동기 통합 업사이저(210)는, 제1,2 비동기 팩커(222,224)와 제1,2 비동기 언팩커(242,244)를 포함한다.
- [0067] 상기 제1,2 비동기 팩커(222,224)는, 비동기 브리지 및 업사이징에 공통으로 사용되며 라이트 채널 데이터(AW,W,B)를 버퍼링하는 제1,2,3 비동기 메모리들(21,23,25)을 공유한다. 제1 비동기 팩커(222)는, 버스트 라이트 시에 상기 제1,2,3 비동기 메모리들(21,23,25)에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 마스터 클럭(CLK1)에 따라 제어하는 제1 비동기 팩킹 제어기(26)를 구비한다. 제2 비동기 팩커(224)는, 버스트 라이트 시에 상기 제1,2,3 비동기 메모리들에 입출력되는 상기 라이트 채널 데이터에 대한 채널 압축을 슬레이브 클럭(CLK2)에 따라 제어하는 제2 비동기 팩킹 제어기(27)를 구비한다.
- [0068] 상기 제1,2 비동기 언팩커(242,244)는, 상기 비동기 브리지 및 업사이징에 공통으로 사용되며 리드 채널 데이터(AR,R)를 버퍼링하는 제4,5 비동기 메모리들(41,43)을 공유한다. 제1 비동기 언팩커(242)는, 버스트 리드 시에 상기 제4,5 비동기 메모리들(41,43)에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 마스터 클럭(CLK1)에 따라 제어하는 제1 비동기 언팩킹 제어기(46)를 구비한다. 제2 비동기 언팩커(244)는, 버스트 리드 시에 상기 제4,5 비동기 메모리들(41,43)에 입출력되는 상기 리드 채널 데이터에 대한 채널 압축을 상기 슬레이브 클럭(CLK2)에 따라 제어하는 제2 비동기 언팩킹 제어기(47)를 구비한다.
- [0069] FIFO 메모리로써 각기 구성될 수 있는 상기 제1,2,3 비동기 메모리들(21,23,25)는 라이트 버퍼(28)에 포함되고, FIFO 메모리로써 각기 구성될 수 있는 상기 제4,5 비동기 메모리들(41,43)은 리드 버퍼(44)에 포함된다.
- [0070] 상기 마스터 클럭(CLK1)은 메모리 콘트롤러에서 제공되는 클럭이거나 CPU의 클럭일 수 있고, 상기 슬레이브 클럭(CLK2)은 AXI 버스 클럭일 수 있다.
- [0071] 제1 비동기 메모리(21)는 상기 제1 비동기 팩킹 제어기(26)의 제어에 응답하여 라이트 어드레스 채널(AW)의 어드레스를 저장한다. 상기 제1 비동기 메모리(21)는 상기 제2 비동기 팩킹 제어기(27)의 제어에 응답하여 저장된 라이트 어드레스 채널(AW)의 어드레스를 비동기 브릿징 및 업사이징하여 버스 매트릭스(300)로 출력한다.
- [0072] 제2 비동기 메모리(23)는 상기 제1 비동기 팩킹 제어기(26)의 제어에 응답하여 라이트 데이터 채널(W)의 데이터를 저장한다. 상기 제2 비동기 메모리(23)는 상기 제2 비동기 팩킹 제어기(27)의 제어에 응답하여 저장된 라이트 데이터 채널(W)의 데이터를 비동기 브릿징 및 업사이징하여 버스 매트릭스(300)로 출력한다.
- [0073] 제3 비동기 메모리(25)는 상기 제2 비동기 팩킹 제어기(27)의 제어에 응답하여 라이트 응답 채널(B)의 데이터를 저장한다. 상기 제3 비동기 메모리(25)는 상기 제1 비동기 팩킹 제어기(26)의 제어에 응답하여 저장된 라이트 응답 채널(B)의 데이터를 비동기 브릿징 및 비트 폭 변환하여 슬레이브 인터페이스(100)로 출력한다.
- [0074] 제4 비동기 메모리(41)는 상기 제1 비동기 언팩킹 제어기(46)의 제어에 응답하여 리드 어드레스 채널(AR)의 어드레스를 저장한다. 상기 제4 비동기 메모리(41)는 상기 제2 비동기 언팩킹 제어기(47)의 제어에 응답하여 저장된 리드 응답 채널(R)의 데이터를 비동기 브릿징 및 업사이징하여 버스 매트릭스(300)로 출력한다.
- [0075] 제5 비동기 메모리(43)는 상기 제2 비동기 언팩킹 제어기(47)의 제어에 응답하여 리드 응답 채널(R)의 데이터를 저장한다. 상기 제5 비동기 메모리(43)는 상기 제1 비동기 언팩킹 제어기(46)의 제어에 응답하여 저장된 리드 응답 채널(R)의 데이터를 비동기 브릿징 및 비트 폭 변환하여 슬레이브 인터페이스(100)로 출력한다.
- [0076] 도 4와 같은 비동기 통합 업사이저(210)는, 라이트 버퍼(28) 및 리드 버퍼(44)를 공유적으로 사용하므로, 게이트 카운트 오버헤드가 줄어든다.
- [0077] 도 5는 도 4에 따른 게이트 카운트 감소를 보여주는 테이블이다. 도면에서 1(라이트 depth)과 2(리드 depth)로 나타난 수평방향의 첫번째 칸에서 보여지는 5214(63K)는 도 4에 따른 게이트 카운트이다. 이는 도 3의 게이트 카운트 97739(117K)에 비해 47% 세이빙된 카운트임을 알 수 있다. 또한, 2번째 칸에서는 10838에서 5715로 게이

트 카운트가 감소된다. 이와 같이, 라이트 버퍼(28) 및 리드 버퍼(44)의 공유적 사용에 의해 게이트 카운트가 세이빙되어진다.

[0078] 또한, 버스트 라이트(burst write)동작에서 채널 콤팩션을 행할 경우에, 도 9와 같이 마스터와 슬레이브간의 클럭비와 버스트 길이에 따른 동작 클럭 조정 테이블에 맞추어 제어하면, 도 6의 P1,P2 타이밍에서 보여지는 바와 같이 레이턴시가 G1,G2에 비해 개선되거나, 도 6의 P3,P4 타이밍에서 보여지는 바와 같이 버스 활용성이 G3,G4에 비해 개선된다.

[0079] 도 6은 도 4에 따른 레이턴시 및 버스 유틸리티 최적화를 보여주는 동작 타이밍도이고, 도 7은 도 4에 따른 마스터 클럭들 및 슬레이브 클럭들 간의 주파수 비를 각기 나타낸 테이블 도면이다. 또한, 도 8은 도 7의 주파수 비와 버스트 길이 간의 클럭 증감도를 각기 나타낸 테이블 도면이고, 도 9는 도 8의 테이블을 클럭 증감의 분포에 따라 재구성한 맵도이다.

[0080] 먼저, 도 6을 참조하면, 타이밍 과형 A1은 AW 리퀘스트를 나타내고, A2는 64비트 폭의 라이트 데이터일 수 있다. A3는 128비트 폭의 라이트 데이터일 수 있다. 예를 들어, 마스터 클럭과 슬레이브 클럭의 주파수가 동일하게 200MHz 인 경우에는 버스트 라이트 동작을 위해 A4 같이 A1에 비해 AW 리퀘스트가 일정 클럭수만큼 딜레이된다. 또한, 이에 따라 업사이저에서 출력되는 128비트 폭의 라이트 데이터는 A5와 같이 된다.

[0081] 한편, 마스터 클럭이 300MHz이고 슬레이브 클럭이 200MHz 인 경우에는 버스트 라이트 동작에서의 레이턴시를 좋게 하기 위해, 도 3과 같은 업사이저의 경우에는 G1과 같이 AW 리퀘스트가 발생되고, G2와 같이 128비트 폭의 라이트 데이터가 출력된다.

[0082] 반대로, 마스터 클럭이 200MHz이고 슬레이브 클럭이 300MHz 인 경우에는 버스트 라이트 동작에서의 버스 유틸리티를 좋게 하기 위해, 도 3과 같은 업사이저의 경우에는 G3과 같이 AW 리퀘스트가 발생되고, G4와 같이 128비트 폭의 라이트 데이터가 출력된다.

[0083] 본 발명의 실시 예인 도 4의 업사이저의 경우에는 레이턴시가 최적화된 업사이징을 위해, P1,P2와 같은 타이밍에서 보여지는 바와 같이, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 먼저 행한다. 구체적으로, 마스터 클럭이 300MHz이고 슬레이브 클럭이 200MHz 인 경우에는 버스트 라이트 동작에서의 레이턴시(latency)를 좋게 하기 위해, 도 4과 같은 업사이저의 경우에는 P1과 같이 AW 리퀘스트가 발생되고, P2와 같이 128비트 폭의 라이트 데이터가 출력된다. 타이밍 과형 P2는 G2에 비해 화살부호 AR1만큼 앞당겨 출력되는 데이터이므로 레이턴시가 보다 개선됨을 알 수 있다.

[0084] 또한, 버스 활용성이 최적화된 업사이징이 수행되도록 하기 위해, P3,P4와 같은 타이밍에서 보여지는 바와 같이 마스터 클럭이 슬레이브 클럭보다 주파수가 낮은 경우에는 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 나중에 행한다. 구체적으로, 마스터 클럭이 200MHz이고 슬레이브 클럭이 300MHz 인 경우에는 버스트 라이트 동작에서의 버스 유틸리티를 최적화하기 위해, 도 4과 같은 업사이저의 경우에는 P3과 같이 AW 리퀘스트가 발생되고, P4와 같은 타이밍으로 128비트 폭의 라이트 데이터가 출력된다. 타이밍 과형 P4는 G4에 비해 2클럭 정도 늦게 출력되지만 타임 구간(T1)에 출력이 이루어지므로 버스 유틸리티가 개선됨을 알 수 있다.

[0085] 라이트 채널에서의 콤팩션을 설명하면, 타임 구간(T3)에 출력되던 라이트 데이터가 레이턴시를 위한 채널 콤팩션의 경우에는 타임 구간(T2)에 출력되고, 버스 유틸리티를 위한 채널 콤팩션의 경우에는 타임 구간(T3)에 출력되므로, 각기 줄어든 구간 만큼의 콤팩션이 이루어진다.

[0086] 라이트 채널에 대한 채널 콤팩션의 경우에 레이턴시를 위한 리퀘스트 당김이나 버스 유틸리티를 위한 리퀘스트 딜레이의 정도는 도 9에서 보여지는 테이블 맵에 의존한다.

[0087] 도 9에 대한 이해를 철저히 하기 위해서는 도 7 및 도 8에 대한 이해가 선행되어야 할 것이다.

[0088] 도 7을 참조하면, 가로 축에는 마스터 클럭들이 주파수 크기 순으로 나타나 있고, 세로축에는 슬레이브 클럭들이 주파수 크기 순으로 나타나 있다. nS로 된 문자부호는 나노 초를 의미하며 대응되는 주파수의 주기를 나타낸다. 따라서, 예를 들어 300MHz는 3.3nS의 주기를 갖는다.

[0089] 도 7에서 마스터 클럭 200MHz와 슬레이브 클럭 200MHz가 서로 크로싱되는 지점의 숫자 1은 주파수 비를 나타낸다. 따라서, 마스터 클럭 300MHz와 슬레이브 클럭 200MHz가 서로 크로싱되는 지점에는 0.67로 표시되어 있다. 또한, 마스터 클럭 200MHz와 슬레이브 클럭 300MHz가 서로 크로싱되는 지점에는 1.5가 표시되어 있다. 따라서, 빈번하게 나타나는 주파수 비에 대하여는 도 8과 같이 버스트 길이에 따라 테이블을 구성하면, 도 8과 같이 된

다.

[0090] 상기 주파수 비(또는 클럭 비)는 도 8에서 세로 축을 따라 크기 순으로 표기되어 있다. 도 8의 가로 축에 표기된 AWLENs은 AW의 길이를 가리키고, AWLENm-1 은 버스트 길이를 나타낸다.

[0091] 도 8을 참조하면, 세로 축의 1.00을 기준으로 수평으로 따라가면 1,2,1,2,3,2,3,4.... 8이 보여진다. 상기 숫자는 AWLENs에서 AW의 길이를 뺀 값이다. 즉, 1-0=1이고, 2-0=2이며, 2-1= 1이고, 맨 마지막의 8은 16-8에 의해 얻어진 값이다.

[0092] 도 8의 수치 테이블에서 세로 축의 1.00을 기준으로 수직 상하로 같은 숫자 끼리 분류하면, 도 9와 같은 클럭 증감의 분포에 따라 재구성한 맵(map)이 얻어진다. 도 9에서 예를 들어, "0"으로서 표시된 부분에 대응되는 주파수 비와 버스트 길이에 대하여는 리퀘스트를 당기거나 딜레이할 필요가 없다. 또한, "+1"로서 표시된 부분에 대응되는 경우에는 버스 유트리티를 위해 1클럭 만큼 딜레이 한 후에 리퀘스트를 발생한다. 또한, "-1"로서 표시된 부분에 대응되는 경우에는 레이턴시를 좋게 하기 위해 1클럭 만큼 당긴 후에 리퀘스트를 발생한다. 또한, 예를 들어, "+4"로서 표시된 부분에 대응되는 경우에는 버스 유트리티를 위해 4클럭 만큼 딜레이 한 후에 리퀘스트를 발생한다. 또한, "-3"로서 표시된 부분에 대응되는 경우에는 레이턴시를 좋게 하기 위해 3클럭 만큼 당긴 후에 리퀘스트를 발생한다.

[0093] 이와 같이 레이턴시 및 버스 유트리티를 최적화하는 채널 콤팩션 동작은 도 4의 제1,2 비동기 팩킹 제어기(26,27)에 의해 수행되어진다.

[0094] 상기한 바와 같이 본 발명의 실시 예에 따르면, 모바일 시스템에서 채용될 수 있는 비동기 브리지 및 업사이저에서 게이트 카운트 오버헤드가 줄어들고, 채널 콤팩션이 보다 효율적으로 수행된다.

[0095] 도 10는 본 발명의 실시 예에 따른 비동기 통합 업사이징 회로를 채용한 모바일 시스템의 블록 구성도이다.

[0096] 도면을 참조하면, L2 캐시를 갖는 CPU(500)와, AXI 버스(BUS1)를 통해 연결된 미디어 시스템(510), 모뎀(520), 메모리 컨트롤러(410), 부트 롬(430), 및 디스플레이 컨트롤러(440)가 보여진다. 상기 메모리 컨트롤러(410)에는 DRAM 또는 플래시 메모리 등과 같은 메모리(420)가 연결될 수 있으며, 상기 디스플레이 컨트롤러(440)에는 LCD 등과 같은 디스플레이(450)가 연결될 수 있다.

[0097] 도 10에서 BUS1은 CPU 버스이고, BUS2는 메모리 버스이다. 상기 CPU(500)는 레벨 2(L2) 캐시이외에 레벨 원(L1)캐시(CACHE)를 내부적으로 포함할 수 있다. 상기 L1 캐시는 빈번히 억세스되어지는 데이터 및/또는 명령들을 저장하기 위해 사용된다. 상기 L2 캐시 메모리도 L1 캐시와 마찬가지로, 빈번히 억세스되어지는 데이터 및/또는 명령들을 저장할 수 있다.

[0098] 도 10의 모바일 시스템은 스마트 폰들, 개인용 네비게이션 디바이스들, 휴대 인터넷기기, 휴대 방송기기, 또는 멀티미디어 기기로서 기능할 수 있다.

[0099] 도 12와 같은 모바일 시스템에서, 도 4와 같은 통합 업사이저 회로는 상기 CPU(500)의 블록과 상기 AXI 버스(BUS1)사이에 탑재된다.

[0100] 이 경우에 도 4의 제1 클럭(CLK1)으로서는 CPU 클럭이 사용될 수 있고, 상기 제2 클럭(CLK2)으로서는 상기 AXI 버스의 클럭이 사용될 수 있다.

[0101] 도 4의 회로는 라이트 채널의 콤팩션 동작 시에, 상기 제1 클럭이 상기 제2 클럭보다 주파수가 높은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 먼저 행하고, 상기 제1 클럭이 상기 제2 클럭보다 주파수가 낮은 경우에는 주파수가 같은 경우에 비해, 버스트 라이트 동작 시 라이트 어드레스 채널의 리퀘스트를 미리 설정된 클럭 사이클 수만큼 나중에 행하는 동작을 수행한다.

[0102] 상기한 바와 같이, 비동기 통합 업사이징 회로 구성에 따르면, 버퍼의 공유적 사용에 의해 회로의 점유면적이 줄어들어, 회로 구현비용이 낮아진다. 또한, 비동기 팩커에서의 채널 압축 시에 레이턴시가 최적화되거나 버스 활용성이 최적화되도록 함에 의해 동작 퍼포먼스가 높아진다.

[0103] 따라서, 그러한 비동기 통합 업사이징 회로를 도 10과 같은 SoC에 채용하는 경우에 데이터 처리 시스템의 제조 원가가 낮아지며 SoC의 동작 성능도 높아진다.

[0104] 본 발명의 실시 예에서는 버퍼의 공유와 채널 콤팩션에 관하여 주로 설명되었으나, 이에 한정됨이 없이 게이트

카운트의 오버헤드나 채널 콤팩션의 비효율이 발생될 수 있는 데이터 처리 시스템의 경우에 본 발명의 실시 예가 확장적으로 적용될 수 있음은 물론이다.

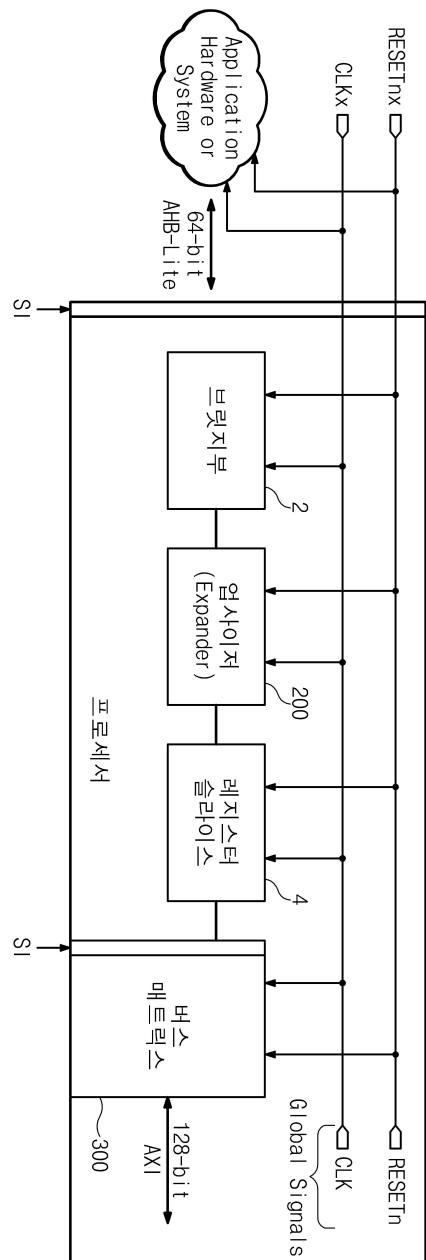
- [0105] 본 발명의 실시 예가 적용되는 모바일 시스템에서 프로세서들의 개수는 2개 이상으로 확장될 수 있다. 그러한 프로세서들은 마이크로프로세서, CPU, 디지털 신호 프로세서, 마이크로 콘트롤러, 리듀스드 명령 세트 컴퓨터, 콤플렉스 명령 세트 컴퓨터, 또는 그와 유사한 것이 될 수 있다.
- [0106] 상기한 설명에서는 본 발명의 실시예들을 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 본 발명의 기술적 사상을 벗어남이 없이, 버스트 길이의 변경이나 채널 콤팩션의 세부동작을 다양하게 변형 또는 변경할 수 있음은 물론이다.

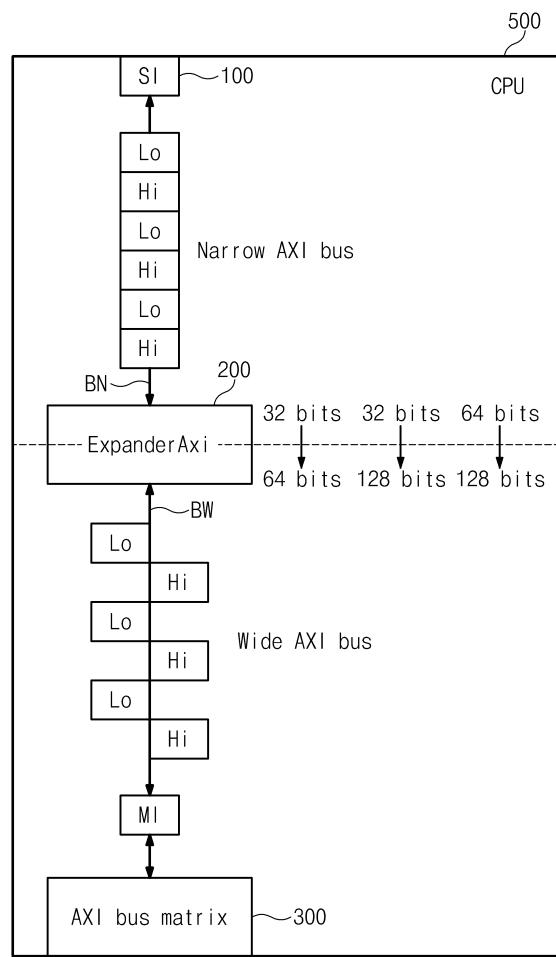
도면의 간단한 설명

- [0107] 도 1은 본 발명이 적용 가능한 하이 퍼포먼스 매트릭스를 사용하는 시스템 온 칩의 내부 구성 블록도
- [0108] 도 2는 도 1중 업사이저와 연결된 버스 구조의 예를 보여주는 데이터 프로세싱 시스템의 일부 블록 구성도
- [0109] 도 3은 컨벤셔널 기술에 따른 업사이저의 세부적 블록 구성도
- [0110] 도 4는 본 발명의 실시 예에 따른 비동기 통합 업사이징 회로의 세부적 블록 구성도
- [0111] 도 5는 도 4에 따른 게이트 카운트 감소를 보여주는 테이블 도면
- [0112] 도 6은 도 4에 따른 레이턴시 및 버스 유ти리티 최적화를 보여주는 동작 타이밍도
- [0113] 도 7은 도 4에 따른 마스터 클럭들 및 슬레이브 클럭들 간의 주파수 비를 각기 나타낸 테이블 도면
- [0114] 도 8은 도 7의 주파수 비와 버스트 길이 간의 클럭 증감도를 각기 나타낸 테이블 도면
- [0115] 도 9은 도 8의 테이블을 클럭 증감의 분포에 따라 재구성한 맵도
- [0116] 도 10는 본 발명의 실시 예에 따른 비동기 통합 업사이징 회로를 채용한 모바일 시스템의 블록 구성도
- [0117] < 도면의 주요 부분에 대한 부호의 설명 >
- [0118] 100: 슬레이브 인터페이스 210: 업사이저
- [0119] 300: 버스 매트릭스 28: 라이트 버퍼

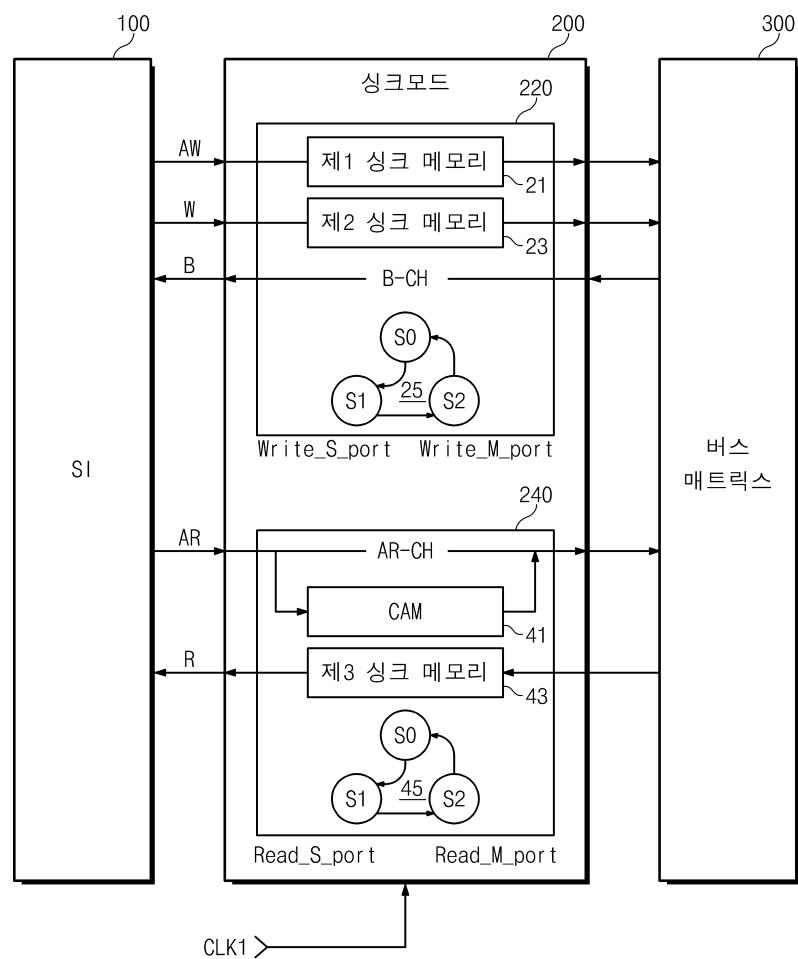
도면

도면1

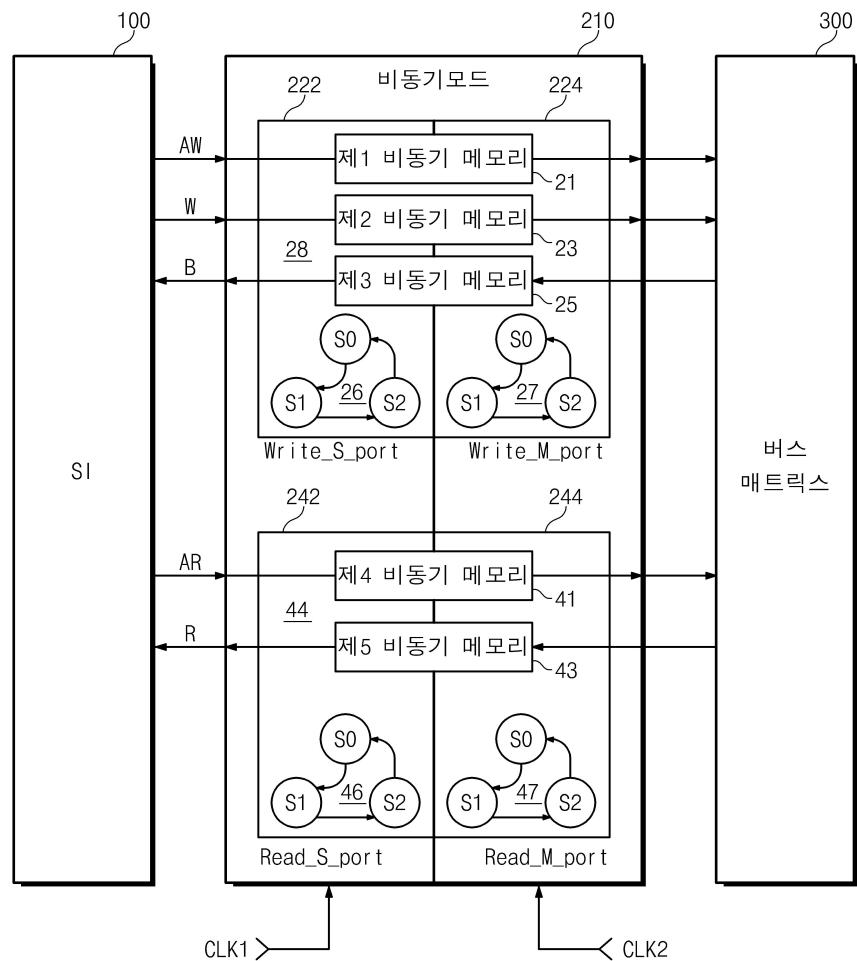


도면2

도면3



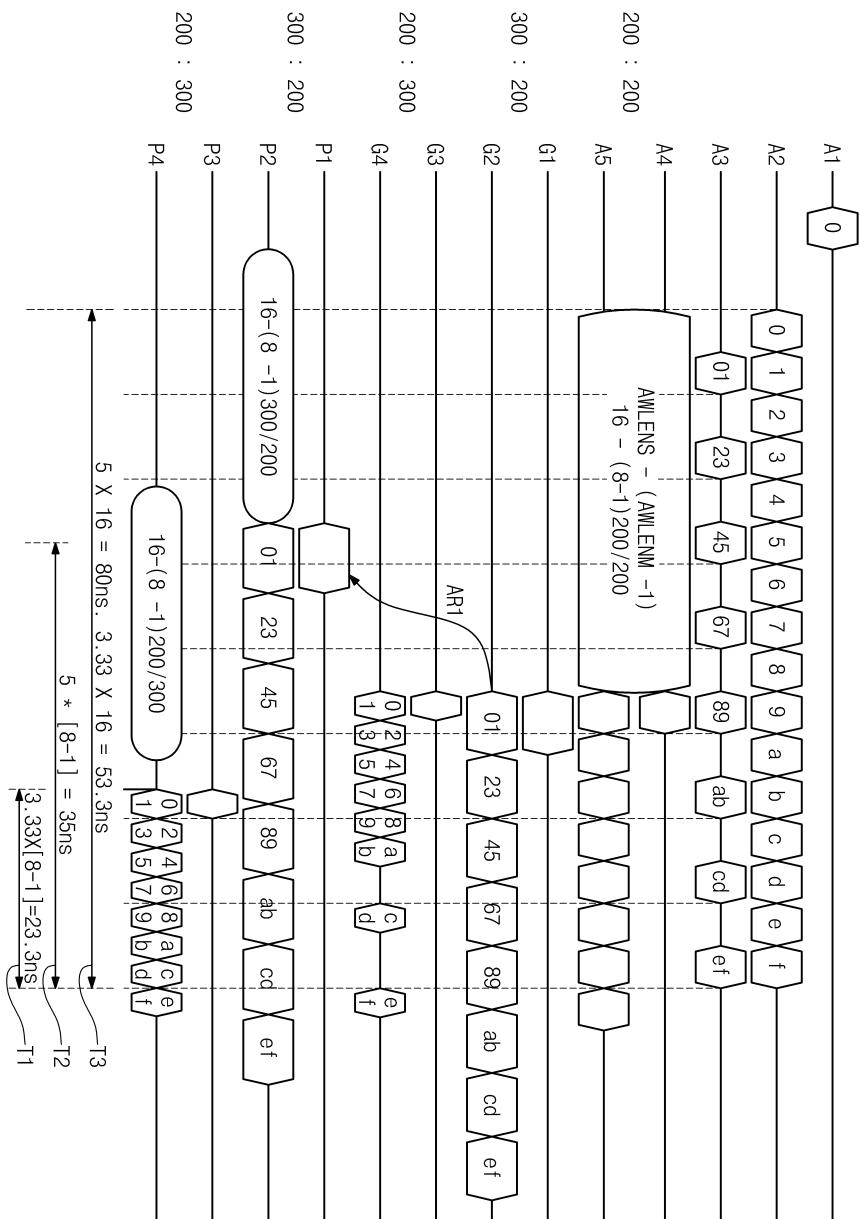
도면4



도면5

WR depth	RD depth	Total buf bit Upsizer + Async	Total buf bit SPLA_Upsizer
1	2	9773 (117K)	5214 (63K)
1	2.4 (166 to 200)	10838 (130K)	5715 (69K)
1	3	12373 (149K)	6438 (78K)
1	4	14973 (180K)	7662 (92K)
1	5	17573 (211K)	8886 (107K)
1	6	20173 (243K)	10110 (122K)
1	7	22773 (274K)	11334 (136K)
1	8	25373 (305K)	12558 (151K)
1	9.64 (166 to 200)	29633 (356K)	14564 (175K)

도면6



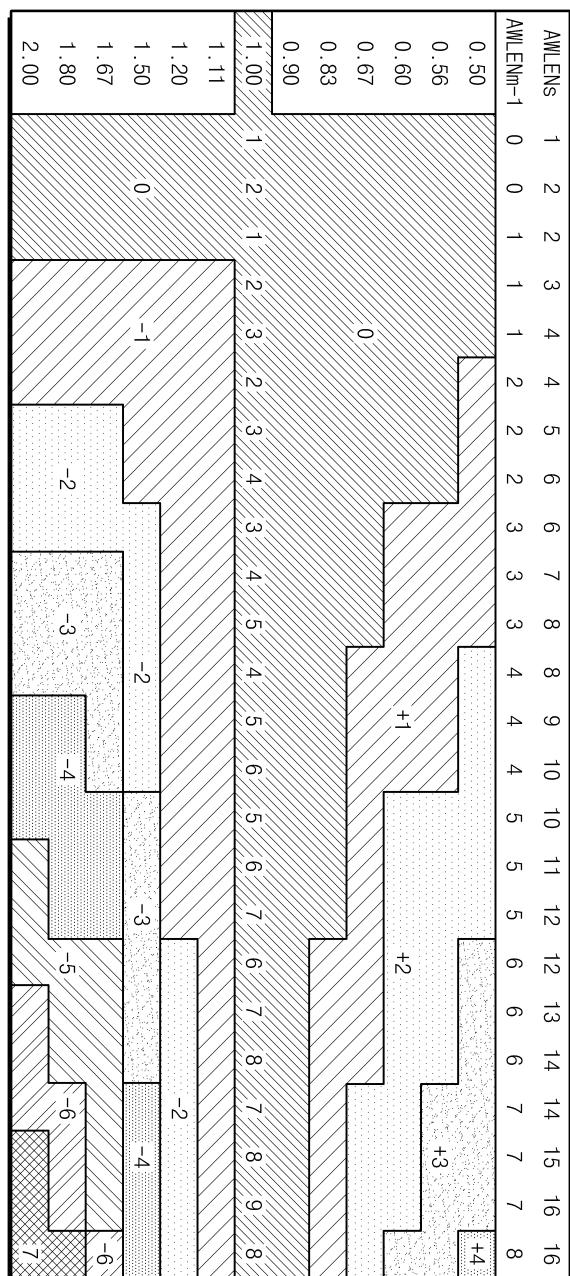
도면7

MHZ		33.3	66.7	100	133.3	166.7	200	300	333.3	400	533.3	M
	ns	30	15	10	7.5	6	5	3.3	3	2.5	1.9	
33.3	30	1	0.5	0.33	0.25	0.2	0.17	0.11	0.1	0.08	0.06	
66.7	15	2	1	0.67	0.5	0.4	0.33	0.22	0.2	0.17	0.13	
100	10	3	1.5	1	0.75	0.6	0.5	0.33	0.3	0.25	0.19	
133.3	7.5	4	2	1.33	1	0.8	0.67	0.44	0.4	0.33	0.25	
166.7	6	5	2.5	1.67	1.25	1	0.83	0.56	0.5	0.42	0.31	
200	5	6	3	2	1.5	1.2	1	0.67	0.6	0.5	0.38	
300	3.3	9	4.5	3	2.25	1.8	1.5	1	0.9	0.75	0.56	
333.3	3	10	5	3.33	2.5	2	1.67	1.11	1	0.83	0.63	
400	2.5	12	6	4	3	2.4	2	1.33	1.2	1	0.75	
533.3	1.9	16	8	5.33	4	3.2	2.67	1.78	1.6	1.33	1	

도면8

AMLENS	1	2	2	3	4	4	5	6	6	7	8	8	9	10	10	11	12	12	13	14	14	15	16	16	
AMLENM-1	0	0	1	1	1	1	2	2	2	3	3	3	4	4	4	5	5	5	6	6	6	7	7	8	
0.50	1	2	1	2	3	2	4	5	4	5	6	6	7	8	7	8	9	9	10	11	10	11	12	12	
0.56	1	2	1	2	3	2	3	4	4	4	5	6	5	6	7	7	8	9	8	9	10	10	11	12	11
0.60	1	2	1	2	3	2	3	4	4	4	5	6	5	6	7	7	8	9	8	9	10	9	10	11	11
0.67	1	2	1	2	3	2	3	4	3	4	5	5	6	7	7	8	9	8	9	10	10	11	12	11	
0.83	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	7	8	9	8	9	10	9	
0.90	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	7	8	7	8	9	8	8	
1.00	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	6	7	8	7	8	9	8	
1.11	1	2	1	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	6	7	8	7	
1.20	1	2	1	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	6	7	8	7	
1.50	1	2	1	1	2	1	2	3	1	2	3	2	3	4	2	3	4	3	4	5	3	4	5	4	
1.67	1	2	1	1	2	1	1	2	1	1	2	1	2	3	1	2	3	1	2	3	2	3	4	2	
1.80	1	2	1	1	2	1	1	2	1	1	2	1	1	2	3	1	2	3	1	2	3	1	2	3	
2.00	1	2	1	1	2	1	1	2	1	1	2	1	1	2	3	1	2	3	1	2	3	1	2	3	

도면9



도면10

