

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年12月30日 (30.12.2021)



(10) 国际公布号
WO 2021/258983 A1

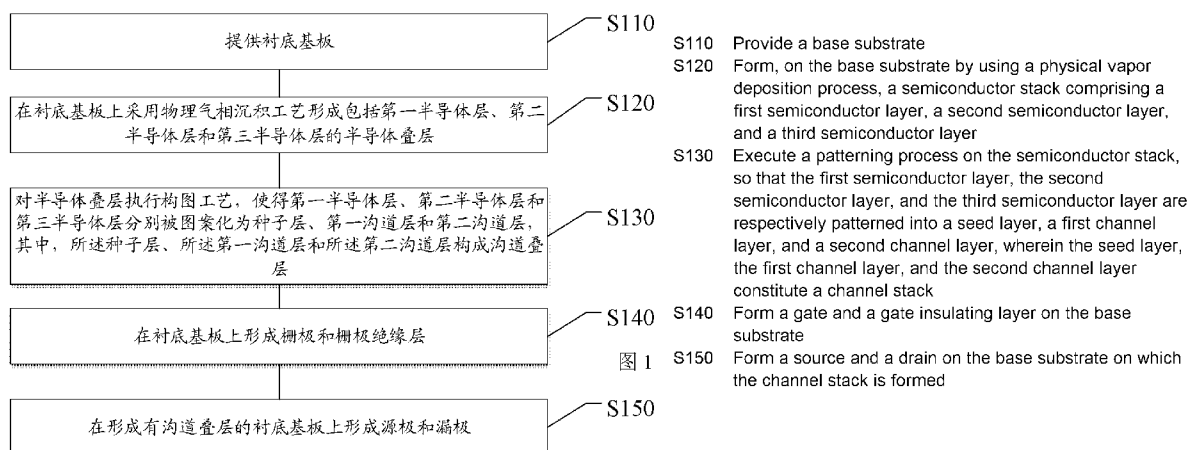
- (51) 国际专利分类号:
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2021/096474
- (22) 国际申请日: 2021年5月27日 (27.05.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010591840.5 2020年6月24日 (24.06.2020) CN
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 黄杰(**HUANG, Jie**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
宁策(**NING, Ce**); 中国北京市北京经济技术开发

发区地泽路9号, Beijing 100176 (CN)。 李正亮(**LI, Zhengliang**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 胡合合(**HU, Hehe**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 贺家煜(**HE, Jiayu**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 姚念琦(**YAO, Nianqi**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 赵坤(**ZHAO, Kun**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 曲峰(**QU, Feng**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 许晓春(**XU, Xiaochun**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(54) **Title:** SEMICONDUCTOR SUBSTRATE MANUFACTURING METHOD AND SEMICONDUCTOR SUBSTRATE

(54) 发明名称: 半导体基板的制造方法和半导体基板



(57) **Abstract:** A semiconductor substrate manufacturing method and a semiconductor substrate (100). The semiconductor substrate manufacturing method comprises: when a base substrate (110) is at a first temperature, forming a first semiconductor layer (142, 142') at an interface (111, 111') on the base substrate (110), wherein the material of the first semiconductor layer (142, 142') is a first oxide semiconductor material; directly forming a second semiconductor layer (143, 143') on the first semiconductor layer (142, 142'), wherein the material of the second semiconductor layer (143, 143') is a second oxide semiconductor material; and respectively patterning the first semiconductor layer and the second semiconductor layer into a seed layer (1420, 1420') and a first channel layer (1430, 1430'), both the first channel layer (1430, 1430') and the seed layer (1420, 1420') being crystalline phase layers, wherein both the first oxide semiconductor material and the second oxide semiconductor material can be formed into crystalline phases at a second temperature, the second temperature is lower than or equal to 40 °C, and the first temperature is higher than or equal to 100 °C. Thus, phenomena such as undercutting and drilling during the subsequent etching process of an oxide semiconductor stack can be avoided.

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种半导体基板的制造方法和半导体基板(100)。所述半导体基板的制造方法包括: 当所述衬底基板(110)在第一温度时, 在衬底基板(110)上的一界面(111; 111')处形成所述第一半导体层(142; 142'), 其中, 所述第一半导体层(142; 142')的材料为第一氧化物半导体材料; 在所述第一半导体层(142; 142')上直接形成所述第二半导体层(143; 143'), 其中, 所述第二半导体层(143; 143')的材料为第二氧化物半导体材料; 所述第一半导体层和所述第二半导体层分别被图案化为种子层(1420; 1420')和第一沟道层(1430; 1430'), 所述第一沟道层(1430; 1430')和所述种子层(1420; 1420')均为结晶相层, 其中, 所述第一氧化物半导体材料和所述第二氧化物半导体材料均能够在第二温度下形成为结晶相, 所述第二温度小于等于40℃, 所述第一温度大于等于100℃。这样, 能够避免在后续对于氧化物半导体叠层进行蚀刻过程中产生底切和钻刻等现象。

半导体基板的制造方法和半导体基板

出于所有目的，本申请要求于2020年6月24日递交的中国专利申请第202010591840.5号的优先权，在此全文引用上述中国专利申请公开的内容以

5 作为本申请的一部分。

技术领域

本公开实施例涉及一种半导体基板的制造方法和半导体基板。

10 背景技术

非晶态半导体材料广泛地应用于显示技术驱动器件中。例如，非晶硅薄膜晶体管因其工艺简单、器件均一性好以及较低的温度制程等特性，在显示

15 半导体基板背板中占据主导地位。非晶态氧化铟镓锌(a-IGZO)和非晶态氧化铟锌(a-IZO)等非晶氧化物半导体作为沟道的氧化物半导体薄膜晶体管因其沟道具有较高迁移率，良好的大面积均一性和可见光稳定性等优点，可望替代非晶硅薄膜晶体管作为主流显示驱动器件。

发明内容

20 本公开的至少一些实施例提供一种半导体基板的制造方法，包括：提供衬底基板；在所述衬底基板上采用物理气相沉积工艺形成包括第一半导体层、第二半导体层和第三半导体层的半导体叠层，包括：当所述衬底基板在第一温度时，在所述衬底基板上的一界面处形成所述第一半导体层，其中，所述

25 第一半导体层的材料为第一氧化物半导体材料；在所述第一半导体层上直接形成所述第二半导体层，其中，第二半导体层的材料为第二氧化物半导体材料；以及形成所述第三半导体层，其中，第三半导体层的材料为第三氧化物半导体材料；对所述半导体叠层执行构图工艺，使得所述第一半导体层、所述第二半导体层和所述第三半导体层分别被图案化为种子层、第一沟道层和第二沟道层，其中，所述种子层、所述第一沟道层和所述第二沟道层构成沟道

30 道叠层；在所述衬底基板上形成栅极和栅极绝缘层；以及在形成有所述沟道

叠层的衬底基板上形成源极和漏极，所述源极和所述漏极极电连接到所述沟道叠层。所述第二沟道层位于所述栅极与所述第一沟道层之间，所述第一氧化物半导体材料不同于所述第三氧化物半导体材料，所述第一沟道层和所述种子层均为结晶相层。所述第一氧化物半导体材料和所述第二氧化物半导体材料均能够在第二温度下形成为结晶相，所述第二温度小于等于 40°C ，所述第一温度大于等于 100°C 。

在一些实施例中，所述栅极位于所述沟道叠层和所述衬底基板之间，所述界面为所述第三半导体层远离所述衬底基板的表面。

10 在一些实施例中，所述制造方法还包括：在所述衬底基板上形成绝缘层，其中，所述绝缘层位于所述第一半导体层和所述衬底基板之间，所述沟道叠层位于所述栅极和所述衬底基板之间，所述界面为所述绝缘层远离所述衬底基板的表面。

15 在一些实施例中，所述沟道叠层具有面对所述衬底基板的底表面和侧表面，所述底表面和所述侧表面均为平面，且所述底表面和所述侧表面之间的第一夹角为 20° 至 70° 。

20 在一些实施例中，所述沟道叠层具有面对所述衬底基板的底表面和侧表面，所述侧表面包括第一子侧表面和第二子侧表面，所述底表面、所述第一子侧表面和所述第二子侧表面均为平面，所述底表面和所述第一子侧表面之间的第二夹角为 50° 至 80° ，所述第二子侧表面与所述底表面之间的第三夹角为 20° 至 70° ，所述第二夹角不同于所述第三夹角。

在一些实施例中，所述第三半导体层为非晶相层。

在一些实施例中，所述第三半导体层的电子迁移率大于所述第一半导体层和所述第二半导体层的电子迁移率。

25 在一些实施例中，第二半导体层的厚度为所述第一半导体层的厚度的 4 至 8 倍。

在一些实施例中，所述第二沟道层的带隙 E_{g1} 、所述种子层的带隙 E_{g2} 和所述第一沟道层的带隙 E_{g3} 满足： $E_{g1} < E_{g2} \leq E_{g3}$ ；

所述第二沟道层的导带底能级 E_{c1} 、所述种子层的导带底能级 E_{c2} 和所述第一沟道层的导带底能级 E_{c3} 满足： $|E_{c1}| > |E_{c2}| \geq |E_{c3}|$ ；

30 所述第二沟道层的价带顶能级 E_{c1} 、所述种子层的价带顶能级 E_{c2} 和所

述第一沟道层的价带顶能级 E_{c3} 满足: $|E_{v1}| < |E_{v2}| \leq |E_{v3}|$ 。

在一些实施例中, 所述种子层的厚度为 50 埃到 100 埃。

在一些实施例中, 所述第一温度大于 120°C 。

5 在一些实施例中, 所述第一半导体层的所述第一氧化物半导体材料和所述第二半导体层的所述第二氧化物半导体材料相同, 所述第二半导体层在所述第二温度下形成。

在一些实施例中, 所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个包含 In、Ga、Zn、Sn 中的两种或更多种金属元素。

10 在一些实施例中, 所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个为 IGZO 材料, 其中, In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 7%-14%; Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%; Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 50%~70%。

15 在一些实施例中, 所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个为 IGZO 材料, 其中, In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 35%-50%; Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 10%~40%; Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%。

20 在一些实施例中, 所述第三半导体层包括第一半导体子层和第二半导体子层, 所述第一半导体子层在所述栅极与所述第二半导体子层之间, 所述第一半导体子层为结晶相层, 所述第二半导体子层为非晶相层, 所述栅极位于所述沟道叠层和所述衬底基板之间, 所述界面为所述第二半导体子层远离所述衬底基板的表面。

在一些实施例中, 所述第三半导体层还包括第三半导体子层, 所述第三半导体子层位于所述栅极与所述第一半导体子层之间, 所述第三半导体层为结晶相层。

25 在一些实施例中, 对于同一种蚀刻溶液, 所述第三半导体层的蚀刻速率与所述第二半导体层的蚀刻速率之比在 0.2 至 5 的范围。

本公开的至少一些实施例提供一种半导体基板, 包括: 衬底基板; 以及在衬底基板上的薄膜晶体管, 其中, 所述薄膜晶体管包括栅极、栅极绝缘层、沟道叠层和电连接到所述沟道叠层的源漏极, 所述沟道叠层包括: 第一氧化物半导体材料的种子层、第二氧化物半导体材料的第一沟道层和第三

30

氧化物半导体材料的第二沟道层。所述第二沟道层位于所述栅极与所述第一沟道层之间,所述第二氧化物半导体材料不同于所述第三氧化物半导体材料,所述第一沟道层和所述种子层均为结晶相层,所述第一氧化物半导体材料和所述第二氧化物半导体材料均为能够在第二温度下形成为结晶相的材料,所述第二温度小于等于 40°C 。半导体基板还包括在所述衬底基板上的一界面,所述第一沟道层的面对所述衬底基板的表面与所述界面之间的距离小于等于 100 埃,所述种子层位于所述界面和所述第一沟道层的面对所述衬底基板的所述表面之间。

10 在一些实施例中,所述栅极位于所述沟道叠层和所述衬底基板之间,所述界面为所述第二沟道层远离所述衬底基板的表面。

在一些实施例中,所述半导体基板还包括:在所述衬底基板上的绝缘层,其中,在所述绝缘层位于所述种子层和所述衬底基板之间,所述沟道叠层位于所述栅极和所述衬底基板之间,所述界面为所述绝缘层远离所述衬底基板的表面。

15 在一些实施例中,所述沟道叠层具有面对所述衬底基板的底表面和侧表面,所述底表面和所述侧表面均为平面,且所述底表面和所述侧表面之间的第一夹角为 20° 至 70° 。

20 在一些实施例中,所述沟道叠层具有面对所述衬底基板的底表面和侧表面,所述侧表面包括第一子侧表面和第二子侧表面,所述底表面、所述第一子侧表面和所述第二子侧表面均为平面,所述底表面和所述第一子侧表面之间的第二夹角为 50° 至 80° ,所述第二子侧表面与所述底表面之间的第三夹角为 20° 至 70° ,所述第二夹角不同于所述第三夹角。

在一些实施例中,所述第二沟道层为非晶相层。

25 在一些实施例中,所述第二沟道层的电子迁移率大于所述种子层和所述第一沟道层的电子迁移率。

在一些实施例中,所述第一沟道层的厚度为所述种子层的厚度的 4 至 8 倍。

在一些实施例中,所述第二沟道层的带隙 E_{g1} 、所述种子层的带隙 E_{g2} 和所述第一沟道层的带隙 E_{g3} 满足: $E_{g1} < E_{g2} \leq E_{g3}$;

30 所述第二沟道层的导带底能级 E_{c1} 、所述种子层的导带底能级 E_{c2} 和所

述第一沟道层的导带底能级 E_{c3} 满足: $|E_{c1}| > |E_{c2}| \geq |E_{c3}|$;

所述第二沟道层的价带顶能级 E_{v1} 、所述种子层的价带顶能级 E_{v2} 和所述第一沟道层的价带顶能级 E_{v3} 满足: $|E_{v1}| < |E_{v2}| \leq |E_{v3}|$ 。

在一些实施例中, 所述种子层的厚度为 50 埃到 100 埃。

5 在一些实施例中, 所述第一氧化物半导体材料与所述第二氧化物半导体材料相同。

在一些实施例中, 所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个包含 In、Ga、Zn、Sn 中的两种或更多种金属元素。

10 在一些实施例中, 所述第一氧化物半导体材料为 IGZO 材料, 其中, In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 7%-14%; Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%; Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 50%~70%。

15 在一些实施例中, 所述第一氧化物半导体材料为 IGZO 材料, 其中, In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 35%-50%; Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 10%~40%; Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%。

20 在一些实施例中, 所述第二沟道层包括第一沟道子层和第二沟道子层, 所述第一沟道子层在所述栅极与所述第二沟道子层之间, 所述第一沟道子层为结晶相层, 所述第二沟道子层为非晶相层, 所述栅极位于所述沟道叠层和所述衬底基板之间, 所述界面为所述第二沟道子层远离所述衬底基板的表面。

在一些实施例中, 所述第二沟道层还包括第三沟道子层, 所述第三沟道子层位于所述栅极与所述第一沟道子层之间, 所述第三沟道层为结晶相层。

在一些实施例中, 对于同一种蚀刻溶液, 所述第二沟道层的蚀刻速率与所述第一沟道层的蚀刻速率之比在 0.2 至 5 的范围。

25

附图说明

为了更清楚地说明本公开实施例的技术方案, 下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍, 显而易见地, 下面描述中的附图仅仅涉及本公开的一些实施例, 并非对本公开的限制。

30 图 1 示出了根据本公开的至少一实施例的半导体基板的制造方法的流程

图。

图 2A 至 2H 示出了根据本公开的一实施例的半导体基板的制造方法中各个步骤对应的基板结构示意图。

图 3A 至图 3D 为样本基板 1 至 4 的 XRD 分析结果的图。

5 图 4A 至图 4D 为本公开的实施例中半导体叠层中的各个半导体层以及对比半导体层的 TEM 图片和 FFT 转换的衍射图案。

图 5A 示出根据本公开的一实施例的半导体基板中的薄膜晶体管的扫描电镜照片；图 5B 示出根据本公开的一实施例的半导体基板中的薄膜晶体管的沟道叠层采用第一种蚀刻液形成时其上的光刻胶还未去除状态下的扫描电镜照片；图 5C 示出根据本公开的一实施例的半导体基板中的薄膜晶体管的沟道叠层采用第二种蚀刻液形成时其上的光刻胶还未去除状态下的扫描电镜照片；图 5D 示出本公开的实施例中的薄膜晶体管的 I-V 特性测试结果图。

图 6A 和 6B 分别示出了根据本公开的实施例的一个示例的形成有半导体叠层和沟道叠层的半导体基板的结构示意图；图 6C 和 6D 分别示出了根据本公开的实施例的另一个示例的形成有半导体叠层和沟道叠层的半导体基板的结构示意图。

图 7A 至 7H 示出了根据本公开的另一实施例的半导体基板的制造方法中各个步骤对应的基板结构示意图。

图 8A 示出相关技术中图形化过程中形成钻刻和底切的示意图；图 8B 示出相关技术中沟道叠层的扫描电镜照片；图 8C 为相关技术中叠层沟道存在钻刻和底切的薄膜晶体管的 I-V 特性测试结果图。

具体实施方式

下面将结合附图，对本公开实施例中的技术方案进行清楚、完整地描述。参考在附图中示出并在以下描述中详述的非限制性示例实施例，更加全面地说明本公开的示例实施例和它们的多种特征及有利细节。应注意的是，图中示出的特征不是必须按照比例绘制。省略已知材料、组件和工艺技术的描述，从而不使本公开的示例实施例模糊。示例仅旨在有利于理解本公开示例实施例的实施，以及进一步使本领域技术人员能够实施示例实施例。因而，示例不应被理解为对本公开示例实施例的范围的限制。

除非另作定义，此处使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。此外，本公开中，某一数值点以及某个数值范围的上限数值点和下限数值点均包括在该对应数值点的 $\pm 5\%$ 的偏差范围内的全部数值点。

氧化物半导体薄膜晶体管中，可以在沟道层顶层添加一层具有阻挡刻蚀液侵蚀的氧化物作为刻蚀阻挡层，以减小源漏极刻蚀过程中刻蚀液对底层氧化物的侵蚀，从而减少背沟道缺陷，提高晶体管的稳定性及迁移率。例如，添加一层氧化物刻蚀阻挡层可以减少背沟道的刻蚀缺陷，提高器件稳定性。

受限于材料，现有的有源层材料在室温下不能结晶，必须得是高温环境才可以结晶（高温高氧可以微结晶）。本申请的发明人发现：特定元素比例的金属氧化物半导体材料可以在室温下形成结晶相层，室温形成的结晶相层会在生长界面处会存在错配区（即，缺陷层）。

在相关技术中，对于沟道层包括两个氧化物半导体层 L1 和 L2 的情况，如果在氧化半导体层 L1 上室温形成结晶相的氧化半导体层 L2，氧化半导体层 L2 的材料为室温可结晶材料，在其界面处容易由于晶格失配而产生缺陷层 Ls。该缺陷层 Ls 由于刻蚀速率较快，使得刻蚀液易沿着两个氧化半导体层之间的界面进行钻刻，从而在图形化过程中形成钻刻和底切（undercut），参见图 8A 和图 8B。如果钻刻和底切的形成会使得在后续源漏极刻蚀过程中刻蚀液对源漏极 S/D 与沟道叠层的搭接处进行刻蚀，造成源漏极断线等情况发生（参见图 8A 中的虚线处），降低薄膜晶体管稳定性及良率。此外，对于在绝缘层上直接室温形成氧化物半导体层 L2 的情况，氧化半导体层 L2 的材料为室温可结晶材料，在绝缘层与氧化半导体层 L2 的界面处也容易由于晶格失配而产生缺陷层。该缺陷层由于刻蚀速率较快，使得刻蚀液易沿着该氧化半导体层与绝缘层之间的界面进行钻刻，从而在图形化过程中形成底切（undercut）。图 7C 中还示出了相关技术中叠层沟道存在钻刻和底切的薄膜晶体管的 I-V 特性测试结果图。从图 8C 可以看出，相关技术中的薄膜晶体管在截至状态下的 I-V 特性的波动比较明显，这是因为在蚀刻过程中在沟道

叠层的侧面的钻刻和底切产生的不利影响。

本公开至少一实施例提供一种半导体基板的制造方法，包括：提供衬底基板；在所述衬底基板上采用物理气相沉积工艺形成包括第一半导体层、第二半导体层和第三半导体层的半导体叠层，包括：当所述衬底基板在第一温度时，在所述衬底基板上的一界面处形成所述第一半导体层，其中，所述第一半导体层的材料为第一氧化物半导体材料；在所述第一半导体层上直接形成所述第二半导体层，其中，第二半导体层的材料为第二氧化物半导体材料；以及形成所述第三半导体层，其中，第三半导体层的材料为第三氧化物半导体材料；对所述半导体叠层执行构图工艺，使得所述第一半导体层、所述第二半导体层和所述第三半导体层分别被图案化为种子层、第一沟道层和第二沟道层，其中，所述种子层、所述第一沟道层和所述第二沟道层构成沟道叠层；在所述衬底基板上形成栅极和栅极绝缘层；以及在形成有所述沟道叠层的衬底基板上形成源极和漏极，所述源极和所述漏极电连接到所述沟道叠层，其中，所述第二沟道层位于所述栅极与所述第一沟道层之间，所述第一氧化物半导体材料不同于所述第三氧化物半导体材料，所述第一沟道层和所述种子层均为结晶相层，其中，所述第一氧化物半导体材料和所述第二氧化物半导体材料均能够在第二温度下形成为结晶相，所述第二温度小于等于 40°C，所述第一温度大于等于 100°C。

本公开至少另一实施例提供一种半导体基板，包括：衬底基板；以及在衬底基板上的薄膜晶体管，其中，所述薄膜晶体管包括栅极、栅极绝缘层、沟道叠层和电连接到所述沟道叠层的源漏极，所述沟道叠层包括：第一氧化物半导体材料的种子层、第二氧化物半导体材料的第一沟道层和第三氧化物半导体材料的第二沟道层，其中，所述第二沟道层位于所述栅极与所述第一沟道层之间，所述第二氧化物半导体材料不同于所述第三氧化物半导体材料，所述第一沟道层和所述种子层均为结晶相层，所述第一氧化物半导体材料和所述第二氧化物半导体材料均为能够在第二温度下形成为结晶相的材料，所述第二温度小于等于 40°C，其中，半导体基板还包括在所述衬底基板上的一界面，所述第一沟道层的面对所述衬底基板的表面与所述界面之间的距离小于等于 100 埃，所述种子层位于所述界面和所述第一沟道层的面对所述衬底基板的所述表面之间。这里，所述衬底基板上的所述界面并非特指衬底基板

本身的表面，而是还可以指形成在衬底基板之上的两种不同材料层之间彼此接触的表面。不同材料层包括绝缘层和半导体层。

在本公开的上述实施例中，由于采用较高的第一温度在界面上以能够在较低的第二温度（例如室温或更低的温度）下形成结晶相的第一氧化物半导体材料形成第一半导体层，然后直接在该第一半导体层上形成结晶相的第二半导体层，从而消除了直接在该界面上室温形成第二半导体层的情况下存在的缺陷层或有效减小了该缺陷层的厚度，进而避免了在后续对于氧化物半导体叠层进行蚀刻过程中产生底切和钻刻等现象。

图 1 示出了根据本公开的至少一实施例的半导体基板的制造方法的流程图。

参见图 1，本公开的至少一实施例的半导体基板的制造方法，包括如下步骤：

S110: 提供衬底基板；

S120: 在衬底基板上采用物理气相沉积工艺形成包括第一半导体层、第二半导体层和第三半导体层的半导体叠层；

S130: 对半导体叠层执行构图工艺，使得第一半导体层、第二半导体层和第三半导体层分别被图案化为种子层、第一沟道层和第二沟道层，其中，所述种子层、所述第一沟道层和所述第二沟道层构成沟道叠层；

S140: 在衬底基板上形成栅极和栅极绝缘层；

S150: 在形成有沟道叠层的衬底基板上形成源极和漏极。

在本公开的至少一实施例的半导体基板的制造方法中，并不限制步骤 S110 至 S150 的执行顺序。根据要形成的结构不同（例如衬底基板上的薄膜晶体管是顶栅结构还是底栅结构），步骤 S110 至 S150 的执行顺序可以被对应调整。此外，本公开的至少一实施例的半导体基板的制造方法还可包括形成其他层和对应的像素结构的步骤。下面将结合附图对于本公开的至少一实施例的半导体基板的制造方法做出具体描述。本公开的实施例并不限于所描述的具体示例。

图 2A 至 2H 示出了根据本公开的一实施例的半导体基板 100 的制造方法中各个步骤对应的基板结构示意图。

参见图 2A，提供衬底基板 110，并在衬底基板 110 上形成栅极 170 和栅

极绝缘层 160。衬底基板 110 可以是刚性基底或柔性基底。例如，基底 110 的材料可以是玻璃、聚酰亚胺、聚碳酸酯、聚乙烯、聚丙烯酸酯或聚对苯二甲酸乙二醇酯等。栅极绝缘层 160 可以形成为氮化硅(SiN_x)或氧化硅(SiO₂)的单层或者氮化硅(SiN_x)和氧化硅(SiO₂)的堆叠层。

5 参见图 2B 至 2D，采用物理气相沉积工艺，例如溅射工艺，在栅极绝缘层 160 上形成半导体叠层 140。半导体叠层 140 包括半导体层 141、半导体层 142 和半导体层 143。

这里，以半导体层 142 和半导体层 143 的材料均为铟镓锌氧化物(IGZO，其中，I 表示铟元素(In)、G 表示镓元素(Ga)、Z 表示锌元素(Zn)，O 表示氧元素)材料为例进行说明。例如，半导体层 142 和半导体层 143 的每一个的金属氧化物半导体包含 In、Ga、Zn、Sn 中的两种或更多种金属元素。本公开的实施例并不限于此。在另外的实施例中，半导体层 142 和半导体层 143 的材料也可以是 In-Sn-Zn-O 材料、In-Al-Sn-Zn-O 材料。

15 这里，以半导体叠层 140 包括半导体层 141、半导体层 142 和半导体层 143 三层结构为例进行说明。本公开的实施例并不限于此。在另外的实施例中，半导体叠层 140 还可以包括其他的半导体层，故其可以为 4 层或者更多层结构，只要按照规定的顺序包括半导体层 141、半导体层 142 和半导体层 143 即可。在另外的实施例中，半导体层 142 和半导体层 143 之间可以没有明显的界面，即，半导体层 142 和半导体层 143 实质连接为一连续层。在此 20 情况下，半导体叠层 140 也可以为两层结构。

这里，溅射工艺通常是以一定能量的粒子(离子、中性原子或分子)来轰击固体靶材的表面，使固体靶材表面原子或分子从靶材中脱离，并以一定的能量落在衬底基板表面，并在衬底基板上成膜。

参见图 2B，在栅极绝缘层 160 上沉积形成半导体层 141。这里，不限制 25 半导体层 141 的沉积温度。半导体层 141 的材料为氧化物半导体材料。例如，半导体层 141 的材料在较低的第二温度下(例如 0°C 到 40°C 的室温或者更低的温度)下沉积形成为非晶相层。需要说明的是，这里的温度均是指在物理气相沉积工艺中衬底基板处的温度。

例如，半导体层 141 的氧化物半导体材料，例如为 IGZO(111)，IGZO 30 (423)，IGZO (136)、IGZO(432)，IGZO(312)、IGZO(513)、IGZO(534)、

IGZO(713)、IGZO(514)、IGZYO, IGTO, ITZO, IZO, ITO 等。这里, 括号中的数值表示此种材料中 In、Ga 和 Zn 三种元素的原子数之比。例如, IGZO(423)表示在该材料中, In、Ga 和 Zn 三种元素的原子数之比为 4:2:3。优选的, 半导体层 141 的氧化物半导体材料为一种迁移率较高的材料。例如, 半导体层 141 的氧化物半导体材料为 IGZO(423), 该材料在非晶相状态下, 带隙较窄(2.5-2.7eV), 载流子体浓度较高 (1×10^{16} - 9×10^{16}) 且载流子霍尔迁移率较高(15-25 $\text{cm}^2/\text{V}\cdot\text{s}$)。

本公开的实施例并不限制半导体层 141 的结晶形态和氧化物半导体材料。例如, 在另一实施例中, 半导体层 141 可以为结晶相层。半导体层 141 的材料可以是以上没有提到的其他金属氧化物半导体材料。

接着, 参见图 2C, 在较高的第一温度下, 在半导体层 141 的远离衬底基板 110 的上表面(界面) 111 上沉积形成半导体层 142。这里, 界面是指两种不同材料层彼此接触的表面。上表面 111 在形成半导体层 142 之前为半导体层 141 和沉积腔室中的气氛之间的界面, 在形成半导体层 142 之后为半导体层 141 和半导体层 142 之间的界面。该第一温度大于等于 100°C 。优选地, 该第一温度大于等于 120°C 。在一个示例中, 第一温度比第二温度至少高 60°C 。

半导体层 142 的材料为不同于半导体层 141 的氧化物半导体材料。这里, 两种材料相同是指这两种材料不但所包含的元素种类和数目相同, 而且每个元素在所有元素中所占比例也相同(这里允许对应比例存在由于工艺精度引起的 5%以内的误差)。因此, 两种材料不同则是指这两种材料包含的元素种类不同或者元素数目不同或者每个元素在所有元素中所占比例不同。

例如, 半导体层 142 的氧化物半导体材料为在第二温度(例如室温)下能够形成为结晶相的氧化物半导体材料。这里, 并不限制该氧化物半导体材料在第二温度下形成的结晶相的位置, 只要在足够的厚度范围内(例如, 500 埃)能够形成结晶相的氧化物半导体材料即可认为是在第二温度下能够形成为结晶相的氧化物半导体材料。由于第一温度比第二温度至少高 60°C , 对于室温或者更低温度下能够形成结晶相的氧化物半导体材料, 大于等于 100°C 的第一温度能够有效地促进其在生长界面迅速结晶进而有效减少界面处的缺陷层。

例如，半导体层 142 的材料可以为包含 In、Ga、Zn、Sn 中的两种或更多种金属元素的金属氧化物半导体材料，例如 IGZO(136)、IGZO(423)、IGZO(132)、IGZO(243)、IGZO(153)、IGO、ITZO 等。

5 在一个室温可结晶的铟镓锌氧化物材料示例中，In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 7%-14%；Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%；Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 50%~70%。该铟镓锌氧化物材料能够通过物理气象沉积工艺（氧分压优选在 0~50%之间（O₂/Ar+O₂））在室温下形成结晶相层。在另一个室温可结晶的铟镓锌氧化物材料示例中，In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 35%-50%；Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 10%~40%；Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%，该铟镓锌氧化物材料能够通过物理气相沉积工艺（氧分压优选大于 50%）在 25°C 左右形成结晶相层。

例如，半导体层 142 的氧化物半导体材料为一种富 Zn 的 IGZO 材料。
15 例如，该富 Zn 的 IGZO 材料中，Zn 的原子数与 In、Ga 和 Zn 的原子数总和之比大于等于 60%。例如，半导体层 142 的材料为 IGZO(136)，其带隙较宽 (2.9~3.3eV)，载流子浓度较低 (1×10^{14} - 5×10^{15})。半导体层 142 的 IGZO(136) 能够在室温下形成结晶状态(例如，C 轴结晶 (CAAC) 晶型)，在本实施例中，采用大于 100°C 的温度溅射沉积形成结晶状态半导体层 142 以减小或消除在界面 111 处可能的缺陷层。例如，半导体层 142 的 IGZO(136) 结晶相层的导带底能级高于半导体层 141 的 IGZO (423) 非晶相层的导带底能级，半导体层 142 的 IGZO(136) 结晶相层的价带顶能级低于半导体层 141 的 IGZO (423) 非晶相层的价带顶能级。

25 这里，结晶相的半导体层 142 的厚度例如为 50 至 100 埃。如果对半导体层 142 进行 X 射线衍射测试（例如，衍射角度扫描范围为 20°至 70°，扫描步长为 0.02°/s），在去噪后的 XRD 图谱上能观察到突起的结晶衍射峰。例如，当半导体层 142 的材料为铟镓锌氧化物时，其 XRD 射线衍射图谱上在 25~35°的衍射角度位置存在结晶衍射峰。对于相同厚度的同种材料，采用同样的 XRD 测试得到的 XRD 图谱中，同一位置处的结晶衍射峰的高度越高、半高宽越小、结晶峰积分面积与总积分面积之比越大，其结晶程度越高。此
30

外，通过高分辨透射电镜照片及其选区电子衍射图谱也能够判断被测试材料层是否为结晶相层。

如果采用与半导体层 142 相同的溅射工艺（区别仅在于衬底基板的温度为室温）以与半导体层 142 相同的材料沉积一与其相同厚度的对比半导体层，
5 该对比半导体层为非晶相层。结晶相的半导体层 142 和对比半导体层的厚度例如均为 50 至 100 埃。也就是说，尽管采用室温下可结晶的材料来形成半导体层，在距离沉积界面很近的位置处，在室温下还是会形成一层非晶相层，例如这里的对比半导体层。该非晶相的对比半导体层由于厚度小不容易被发现，但却容易在后续蚀刻工艺中引起底切和钻刻。本发明人发现从一刚开始就采用较高的温度来沉积该室温下可结晶的氧化物半导体材料可以在距离沉积界面很小（例如 100 埃）的厚度范围内即形成结晶相层，例如，上述半导体层 142。也就是说，用高温工艺促使室温可结晶的材料更快的在距离沉积界面更近的位置形成结晶相的半导体层 142，取代了在室温下在相同位置处形成的非晶的对比半导体层，从而有效的避免了后续蚀刻工艺中可能的底切和钻刻。
10
15

这里，“结晶相层”是指主要包含结晶相状态的氧化物半导体的氧化物半导体层，也可以包含微小的非晶质部分；“非晶相层”是指主要包含非晶相状态的氧化物半导体的层，也可以包含微小的结晶相部分。

在本实施例中，在较高温度下沉积的半导体层 142 能够在表面（界面）
20 111 上直接形成结晶相层从而替代在室温下沉积半导体层 142 的情况下在对应位置上存在的缺陷层，以在后续的构图工艺中不会引起明显的底切和钻刻形成。

参见图 2D，在半导体层 142 的远离衬底基板 110 的上表面上沉积形成半导体层 143。半导体层 143 的氧化物半导体材料在室温下能够沉积形成为结晶相层；例如，半导体层 143 与半导体层 142 的氧化物半导体材料相同以更好地避免和减小两者之间的缺陷区域。当然，本实施例并不限于此，在另一示例中，半导体层 143 与半导体层 142 的材料可以不同。半导体层 143 的材料可以为包含 In、Ga、Zn、Sn 中的两种或更多种金属元素的金属氧化物半导体材料，例如，IGZO(136)、IGZO(423)、IGZO(132)、IGZO(243)、IGZO(153)、
25
30 IGO、ITZO 等。

在本实施例中，并不限制半导体层 143 的沉积温度，只要半导体层 143 形成为结晶相层即可。也就是说，半导体层 143 可以在室温下沉积形成为结晶相层，也可以在第一温度下形成为结晶相层。

5 由于半导体层 142 是在较高温度下沉积形成，因此相比于在室温下沉积形成相同厚度的材料层的情况，其结晶性更高。半导体层 142 的较高结晶性对于后续直接在其上形成的半导体层 143 具有良好的诱导结晶效果，在此情况下使得半导体 143 能够具有更好地结晶性。换句话说，由于较高结晶性的半导体层 142 的诱导结晶效果，即使是在室温下沉积半导体层 143 也能使得半导体层 143 具有更好地结晶性和致密度。

10 例如，半导体层 143 的厚度为半导体层 142 的厚度的 4 至 8 倍。此厚度范围在避免钻刻和底切以及诱导结晶方面具有更好的效果。然而，本实施例并不限于此。

15 半导体层 143 是直接形成在结晶的半导体层 142 上，结晶的半导体层 142 对其具有诱导结晶的作用。因此，一方面，不论是在室温下还是较高温度下沉积形成半导体层 143，在半导体层 142 和半导体层 143 之间的界面处均不会存在能够在蚀刻过程中引起明显的底切和钻刻的缺陷层；另一方面，结晶相的半导体层 143 能够形成为更加均匀和致密从而不容易在后续的构图工艺中被蚀刻形成缺陷。

20 在一个示例中，半导体层 143 和半导体层 142 材料相同且沉积温度相同，则半导体层 143 和半导体层 142 之间可以不存在明显界面。

在另一示例中，半导体层 143 和半导体层 142 材料相同，但半导体层 142 的沉积温度较高（例如为第一温度）而半导体层 143 例如在室温下沉积形成，则在相同的厚度的情况下半导体层 142 的结晶度大于半导体层 143 的结晶度。

25 可选的，在形成半导体叠层 140 之后，例如可以进行氧化物半导体叠层 140 的退火处理。在此，在大气气氛中，以 300℃ 以上且 380℃ 以下的温度进行热处理。热处理时间例如为 30 分钟以上且 2 小时以下。

在上述方法中，通过控制组成和成膜条件，形成了半导体叠层 140。为了确认上述方法中的刚成膜之后（退火处理前）的氧化物半导体层的结晶状态，本申请的发明人进行了下面的分析。

30 首先，制作具有单层的半导体膜的样本基板 1 至 4。样本基板 1 是通过

在玻璃基板上以溅射法形成第一氧化物半导体材料的膜层而制作的。样本基板 2 和 3 分别是在不同温度下通过将第二氧化物半导体材料的膜层形成在玻璃基板上而制作的。样本基板 4 是在通过将第三氧化物半导体材料的膜层形成在玻璃基板上而制作的。这里，第一至第三氧化物半导体材料例如均为 In-Ga-Zn-O 系材料。样本基板 1 至 4 中，玻璃基板上的半导体材料的膜层的厚度例如均为 100 埃。表 1 中示出形成 In-Ga-Zn-O 系半导体膜层时使用的靶的组成以及 In-Ga-Zn-O 系半导体膜的成膜条件。

[表 1]

	靶材比例: In: Ga: Zn	沉积条件
样品 1	4: 2: 3	成膜温度: 100°C, 氧占比 0~20%, 膜厚 0~500 Å;
样品 2	1: 3: 6	成膜温度: 25°C, 氧占比 0~50% (O ₂ / (O ₂ +Ar)), 膜厚 100 Å;
样品 3	1: 3: 6	成膜温度区别于室温 25°C: 130°C, 氧占比 0~50% (O ₂ / (O ₂ +Ar)), 膜厚 100 Å;
样品 4	1: 3: 6	成膜温度: 25°C, 氧占比 0~50% (O ₂ / (O ₂ +Ar)), 膜厚 400 Å;

接着，进行所得到的各样本基板的 X 射线衍射(XRD)分析。分别在图 3A 至图 3D 中示出样本基板 1 至 4 的 X 射线衍射图案。

从图 3A 至图 3D 可知，全部样本基板的 X 射线衍射图案均在 $2\theta = 20 \sim 25^\circ$ 具有宽的波峰 P1。考虑这是玻璃基板所引起的波峰。如图 3A 和 3B 所示，样本基板 1 和 2 的 X 射线衍射图案除了具有玻璃基板的波峰 P1 以外，没有见到结晶性的波峰，因此能确认样本基板 1 上的半导体膜层（可对应于半导体层 141）和样本基板 2 上的半导体膜层（可对应于对比半导体层）是非晶相膜；样品 2 也可包含少量微晶区域，但整体以非晶结构为主，因此 XRD 图案呈现无结晶衍射峰；如图 3C 所示，样本基板 3 的 X 射线衍射图案除了具有玻璃基板的波峰 P1 以外，还在 $2\theta = 32^\circ$ 附近具有结晶性的波峰 P2。样品 3 也包含少量非晶区域，但整体以结晶为主，因此 XRD 图案呈现结晶衍射峰。另外，如图 3D 所示，样本基板 4 的 X 射线衍射图案除了具有玻璃

基板的波峰 P1 以外, 还在 $2\theta = 32^\circ$ 附近具有结晶性的波峰 P3。因此, 能确认样本基板 3 上的半导体膜层 (可对应于半导体层 142) 和样本基板 4 上的半导体膜层 (可对应于半导体层 143) 均是结晶相的膜层。样本基板 4 的波峰 P3 比样本基板 3 的波峰 P2 尖锐(波峰宽度小), 因此可知样本基板 4 的半导体膜具有更高的结晶性。半导体层 143 在室温下成膜, 则其 XRD 峰位相较种子层略微右移 (即室温制备的半导体层 143 的结晶峰的峰位约在 32.2° , 较高的第一温度下制备半导体层 142 的结晶峰的峰位约在 31.8°)。

此外, 即使对样本基板 1 和 2 进行上述的退火处理, 其上的半导体膜层也仍维持非晶相状态。若对样本基板 3 和 4 进行退火处理, 则有时其上的半导体膜层的结晶性进一步变高。

如上所述, 在基板上形成单层的半导体膜, 调查了其结晶状态。然而, 在将多个半导体膜层叠而形成层叠半导体层的情况下, 通过 XRD 分析分别调查各半导体膜的结晶状态是困难的。例如能通过层叠半导体层的截面的 TEM 观察来调查层叠半导体层的各层的结晶状态。另外, 例如还能通过 XPS、AES 等分析层叠半导体层中的各层的组成。

以下, 参见图 4A 至 4D 描述本实施例的一个示例中所形成的半导体叠层中各个层以及上述对比半导体层的结晶状态。例如, 在该示例中, 半导体层 141 使用原子数比 In:Ga:Zn 为 4:2:3 的靶材通过溅射法形成。可以使用氩等稀有气体原子和氧化性气体的混合气体作为溅射气体(气氛)。氧化性气体可为 O_2 、 CO_2 、 O_3 、 H_2O 、 N_2O 等。在此, 使用包含 Ar 气体和氧(O_2)气体的混合气体。通过溅射法成膜时的氧气的比例例如设定为按分压比为 5% 以上且 20% 以下。另外, 成膜时的衬底基板温度例如设定为室温至 $100^\circ C$ 之间的任意温度。气体气氛的压力(溅射压力)只要是等离子体能稳定地放电的范围即可, 不作特别限定, 但是例如设定为 $0.1 \sim 3.0 Pa$ 。

图 4A 示出了半导体层 141 的 TEM 图片和 FFT 转换的衍射图案。参见图 4A 的左侧图, 半导体层 141 的 TEM 电镜图中没有观察到明显的结晶情况; 参见图 4A 的右侧图, 半导体层 141 的 FFT 转换的衍射图案中只有一个漫散的中心斑点, 也就是非晶晕环, 证实了半导体层 141 为非晶相层。

半导体层 142 使用原子数比 In:Ga:Zn 为 1:3:6 的靶材通过溅射法形成。使用包含 Ar 气体和氧(O_2)气体的混合气体作为溅射气体。例如设定为按分压

比为超过 0% 且 50% 以下, 优选的, 超过 0% 且 20% 以下。另外, 成膜时的衬底基板温度例如设定为上述第一温度 (大于 100°C)。气体气氛的压力(溅射压力)例如设定为 0.1 ~ 3.0Pa。

图 4B 示出了半导体层 142 的 TEM 图片和 FFT 转换的衍射图案。参见图 4B 的左侧图, 半导体层 142 的 TEM 电镜图中能够观察到明显的结晶情况; 参见图 4B 的右侧图, 半导体层 142 的 FFT 转换的衍射图案中出现点阵图案, 证实了半导体层 142 为结晶相层。

半导体层 143 使用原子数比 In:Ga:Zn 为 1:3:6 的靶通过溅射法形成。使用包含 Ar 气体和氧(O₂)气体的混合气体作为溅射气体。例如设定为按分压比为超过 0% 且 50% 以下, 超过 0% 且 50% 以下。成膜时的衬底基板温度和溅射压力也可以与形成半导体层 142 时的衬底基板温度和溅射压力相同。

图 4C 示出了半导体层 143 的 TEM 图片和 FFT 转换的衍射图案。参见图 4C 的左侧图, 半导体层 143 的 TEM 电镜图中能够观察到明显的结晶情况; 参见图 4C 的右侧图, 半导体层 143 的 FFT 转换的衍射图案中出现点阵图案, 证实了半导体层 143 为结晶相层。本示例中, 半导体层 142 和 143 的沉积工艺和材料相同, 半导体层 142 和 143 之间无显著差异且无明显交界区域。半导体层 142 的结晶度低于或者等于半导体层 143 的结晶度。也就是, 在整体晶体体积以及结晶/非晶的比值方面, 半导体层 142 小于半导体层 143。参见图 4B 和 4C 的左侧图, 半导体层 143 的晶格排列比半导体层 142 的晶格排列更加长程有序; 参见图 4B 和 4C 的右侧图, 半导体层 143 对应的衍射斑点比半导体层 142 对应的衍射斑点更加清晰。

对比半导体层使用原子数比 In:Ga:Zn 为 1:3:6 的靶通过溅射法形成。使用包含 Ar 气体和氧(O₂)气体的混合气体作为溅射气体。例如设定为按分压比为超过 0% 且 20% 以下。另外, 成膜时的衬底基板温度例如设定为室温。气体气氛的压力(溅射压力)例如设定为 0.1 ~ 3.0Pa。

图 4D 示出了对比半导体层 141 的 TEM 图片和 FFT 转换的衍射图案。参见图 4D 的左侧图, 对比半导体层的 TEM 电镜图中没有观察到明显的结晶情况; 参见图 4D 的右侧图, 对比半导体层的 FFT 转换的衍射图案中只有一个漫散的中心斑点, 也就是非晶晕环, 证实了对比半导体层为非晶相层。

接着, 参见图 2E, 对半导体叠层 140 执行构图工艺以形成沟道叠层 1400。

沟道叠层 1400 包括沟道层 1410、种子层 1420 和沟道层 1430。沟道层 1410、种子层 1420 和沟道层 1430 分别为半导体层 141、半导体层 142 和半导体层 143 的一部分。

这里，对半导体叠层 140 执行构图工艺例如包括：

5 在半导体叠层 140 涂覆光刻胶层；

对光刻胶层执行曝光和显影形成光刻胶图案 P；

10 以该光刻胶图案作为遮挡对半导体叠层 140 进行湿蚀刻而得到沟道叠层 1400。例如，该湿蚀刻采用 $H_2SO_4+HNO_3+H_2O$ 作为蚀刻液或者采用 $HNO_3+CH_3COOH+H_3PO_4+H_2O$ 作为蚀刻液。这里，由于种子层 1420 和沟道层 1410 之间的界面 111 处，不存在缺陷层或者缺陷层的厚度足够小，使得在湿蚀刻过程中，在界面 111 处不会引起明显的底切和钻刻；以及

去除该光刻胶图案。

15 例如，对于同一种蚀刻溶液，所述第三半导体层的蚀刻速率与所述第二半导体层的蚀刻速率之比在 0.2 至 5 的范围。该同一种蚀刻溶液例如为 $HNO_3+CH_3COOH+H_3PO_4+H_2O$ 蚀刻液或者 $H_2SO_4+HNO_3+H_2O$ 蚀刻液。

20 参见图 2F，在形成有沟道叠层 1400 的衬底基板 110 上形成源极 181 和漏极 182；以及在形成有源极 181 和漏极 182 的衬底基板 110 上形成钝化层 150。源极 181 和漏极 182 例如直接搭接在沟道叠层 1400 上。源极 181 和漏极 182 可以包括 Au、Ag、Cu、Ni、Pt、Pd、Al、Mo 中的一种或更多种。源极 181 和漏极 182 可以为单层金属也可以为多层金属。

参见图 2H，在钝化层 150 上发光元件和包封层 240。

25 在本实施例中，发光元件为有机发光二极管 (OLED) 225。此外，发光元件也可以为量子点发光二极管 (QLED) 等，本公开的实施例不限于此。例如，在其他实施例中，半导体基板可以为用于液晶显示装置、电子纸显示装置的阵列基板，此时在半导体基板的平坦化层上无需形成发光元件；例如，对于液晶显示装置的情形而言，半导体基板的平坦化层上形成用于控制液晶材料偏转的像素电极，还可以进一步形成于像素电极同层或不同层的公共电极；对于电子纸显示装置的情形，半导体基板的平坦化层上像素电极以及电子墨水层，像素电极作为用于施加驱动电子墨水中的带电微颗粒移动以进行

30 显示操作的电压。

以有机发光二极管为例，有机发光二极管包括第一驱动电极 210、第二驱动电极 230 以及在第一驱动电极 210 和第二驱动电极 230 之间的发光层 220。第一驱动电极 210 形成在平坦化层 190 的平坦表面上，发光层 220 形成在第一驱动电极 210 上，第二驱动电极 230 形成在发光层 220 上。

5 此外，半导体基板 100 还包括像素限定层 250，其具有开口以界定发光区域，该发光层 220 形成在该开口中。例如，第二驱动电极 230 可以为公共电极，其可以设置在整体或部分显示区域上，覆盖多个像素，即由多个像素共用。当在第一驱动电极 210 和第二驱动电极 230 之间施加适当电压时，第一驱动电极 210 和第二驱动电极 230 中的一个将空穴注入到发光层 220 中，
10 另一个将电子注入到发光层 220 中。电子和空穴在发光层 220 中彼此再结合以产生激子，并且通过激子从激发态落回到基态时产生的能量发光。

包封层（或者封装层）240 覆盖在第二驱动电极 230 上。包封层 240 可以将有机发光二极管密封，从而减少或防止由环境中包括的湿气和/或氧引起的有机发光二极管的劣化。例如，包封层 240 可以包括无机层和有机层堆叠
15 的结构。

可以理解的，在本实施例中，衬底基板上的薄膜晶体管 TFT1 包括栅极 170、沟道叠层 1400、源极 181 和漏极 182。

在一个示例中，所述沟道层 1410 的带隙 E_{g1} 、种子层 1420 的带隙 E_{g2} 和沟道层 1430 的带隙 E_{g3} 满足： $E_{g1} < E_{g2} \leq E_{g3}$ ；所述沟道层 1410 的导带底能级 E_{c1} 、种子层 1420 的导带底能级 E_{c2} 和沟道层 1430 的导带底能级 E_{c3} 满足： $|E_{c1}| > |E_{c2}| \geq |E_{c3}|$ ；所述沟道层 1410 的价带顶能级 E_{v1} 、种子层 1420 的价带顶能级 E_{v2} 和沟道层 1430 的价带顶能级 E_{v3} 满足： $|E_{v1}| < |E_{v2}| \leq |E_{v3}|$ 。参见图 2H，薄膜晶体管 TFT1 具有底栅结构，沟道层 1410 位于栅极 170 和沟道层 1430 之间。在此情况下，沟道层 1410 的带隙
20 最小，其能带结构位于种子层 1420 和沟道层 1430 下。薄膜晶体管工作时，由于带隙差异，沟道层 1410 作为一种高载流子浓度材料，其产生的载流子需越过种子层 1420 及沟道层 1430 带隙差异阻碍，才能跃迁至其他膜层内。因此绝大多数载流子被禁锢于沟道层 1410 内。而采用种子层 1420 作用在于，一方面去除缺陷层进而去除底切钻刻问题，一方面降低内部界面缺陷，提高
25 器件稳定性；同时作为一种结晶材料，种子层 1420 与沟道层 1430 也更加匹
30

配，界面缺陷更低；沟道层 1430 的作用在于：一方面结晶度高，可以起着阻挡源漏极刻蚀液刻蚀损伤、降低钝化层沉积的轰击、阻止源漏极元素扩散、阻止氧等元素的扩散等，另一方面，带隙大，则可以保证最低限度载流子于沟道层 1410 扩散至沟道层 1430，从而降低载流子损耗；因此，根据本公开
5 实施例制造的半导体基板中，薄膜晶体管载流子迁移率及稳定性被有效的提高。

图 5A 示出根据本公开的一实施例的半导体基板中的薄膜晶体管的扫描电镜照片；图 5B 示出根据本公开的一实施例的半导体基板中的薄膜晶体管的沟道叠层采用第一种蚀刻液形成时其上的光刻胶还未去除状态下的扫描电
10 镜照片；图 5C 示出根据本公开的一实施例的半导体基板中的薄膜晶体管的沟道叠层采用第二种蚀刻液形成时其上的光刻胶还未去除状态下的扫描电镜照片。

图 5A 的扫描电镜照片对应于图 2H 所示的半导体基板中的薄膜晶体管。栅极 170 位于沉积基板 110 的上表面。栅极绝缘层 160 位于栅极 170 上。沟
15 道叠层 1400 位于栅极绝缘层 160 上，源极 181 和漏极 182 搭接在沟道叠层 1400 的两端。

从图 5B 中可以清楚的看出沟道叠层 1400 与源极 181 搭接位置处的结构。参见图 5B，沟道叠层 1400 具有面对衬底基板 110 的底表面 1401 和侧表面
20 1402，侧表面 1402 所在平面与底表面 1401 所在平面相交。底表面 1401 和侧表面 1402 均为平面。底表面 1402 和侧表面 1401 之间的第一夹角为 20° 至 70° 。例如，优选该第一夹角为 45° 。图 5B 所示的沟道叠层 1400 例如是采用第一种蚀刻液蚀刻形成的，该第一种蚀刻液的成分例如为 $\text{HNO}_3 + \text{CH}_3\text{COOH} + \text{H}_3\text{PO}_4 + \text{H}_2\text{O}$ 。

在另一示例中，如果采用第二种蚀刻液蚀刻形成沟道叠层 1400，该第二
25 种蚀刻液的成分例如为 $\text{H}_2\text{SO}_4 + \text{HNO}_3 + \text{H}_2\text{O}$ ，则沟道叠层 1400 会形成为图 5C 所示的形状。

参见图 5C，沟道叠层 1400 具有面对衬底基板 110 的底表面 1401 和与底
30 表面 1401 相交的侧表面 1403。侧表面 1403 包括第一子侧表面 1403-1 和第二子侧表面 1403-2。第一子侧表面 1403-1 所在平面与底表面 1401 所在平面相交。第二子侧表面 1403-2 所在平面与第一子侧表面 1403-1 所在平面以及

底表面 1401 所在平面相交。底表面 1401、第一子侧表面 1403-1 和第二子侧表面 1403-2 例如均为平面。底表面 1401 和第一子侧表面 1403-1 之间的第二夹角为 50° 至 80° 。第二子侧表面 1403-2 与底表面 1401 之间的第三夹角为 20° 至 70° 。所述第二夹角不同于所述第三夹角。这里，第一夹角、第二夹角和第三夹角都可以理解为沟道叠层的坡度角。

图 5D 示出了本公开实施例中的薄膜晶体管的 I-V 特性测试结果图。从图 5D 可以看出，本实施例中的薄膜晶体管在截至状态下的 I-V 特性的几乎没有波动，相对于相关技术中的情况（参见图 7C），本实施例中的薄膜晶体管 TFT1 的电学性能明显提高。

从图 5A 至 5D 可以看出，根据本公开实施例的薄膜晶体管中由于较高温度下沉积的种子层在极其靠近沉积界面的位置上的存在，使得沟道叠层的侧面实质为平面，且坡度角也在上述有利的角度范围，进而使得叠层沟道具有更均匀的结构，薄膜晶体管具有更稳定的电学性能。

可以理解的是，本公开实施例并不限制半导体层 141（沟道层 1410）包括的子层的数目。

图 6A 和 6B 分别示出了根据本公开的实施例的一个示例的形成有半导体叠层和沟道叠层的半导体基板的结构示意图；图 6A 和图 6B 在制造阶段上可分别对应于图 2D 和 2E。参见图 6A 和 6B，在此示例中，半导体层 141 包括第一半导体子层 141-1 和第二半导体子层 141-2。对应的，沟道层 1410 包括第一沟道子层 1410-1 和第二沟道子层 1410-2。第一半导体子层 141-1 位于第二半导体子层 141-2 和栅极 170 之间。第一沟道子层 1410-1 位于第二沟道子层 1410-2 和栅极 170 之间。第一半导体子层 141-1 和第一沟道子层 1410-1 为非晶相层，第二半导体子层 141-2 和第二沟道 1410-2 为结晶相层。在此情况下，例如，第二半导体子层 141-2 的远离衬底基板 110 的表面为半导体层 142 的沉积界面 111；也就是，第二沟道子层 1410-2 的远离衬底基板 110 的表面为种子层 1420 的沉积界面 111。

图 6C 和 6D 分别示出了根据本公开的实施例的另一个示例的形成有半导体叠层和沟道叠层的半导体基板的结构示意图。图 6C 和图 6D 在制造阶段上可分别对应于图 2D 和 2E。参见图 6C 和 6D，在此示例中，半导体层 141 包括第一半导体子层 141-1、第二半导体子层 141-2 和第三半导体子层 141-3。

对应的，沟道层 1410 包括第一沟道子层 1410-1、第二沟道子层 1410-2 和第三沟道子层 1410-3。第一半导体子层 141-1 位于第二半导体子层 141-2 和栅极 170 之间，第三半导体子层 141-3 位于第一半导体子层 141-1 与栅极 170 之间。对应的，第一沟道子层 1410-1 位于第二沟道子层 1410-2 和栅极 170 之间，第三沟道子层 1410-3 位于第一沟道子层 1410-1 与栅极 170 之间。第一半导体子层 141-1 和第一沟道子层 1410-1 为非晶相层，第二半导体子层 141-2 和第二沟道子层 1410-2 为结晶相层，第三半导体子层 141-3 和第三沟道子层 1410-3 为结晶相层。在此情况下，例如，第二半导体子层 141-2 的远离衬底基板 110 的表面为后续沉积半导体层 142 的界面 111；也就是，第二沟道子层 1410-2 的远离衬底基板 110 的表面为种子层 1420 的沉积界面 111。

图 7A 至 7H 示出了根据本公开的另一实施例的半导体基板 200 的制造方法中各个步骤对应的基板结构示意图。

参见图 7A，提供衬底基板 110，并在衬底基板 110 上形成遮光部 121 和缓冲层 130。衬底基板 110 可以是刚性基底或柔性基底。例如，基底 110 的材料可以是玻璃、聚酰亚胺、聚碳酸酯、聚乙烯、聚丙烯酸酯或聚对苯二甲酸乙二醇酯等。遮光部 121 可以包括 Au、Ag、Cu、Ni、Pt、Pd、Al、Mo 等中的一种或更多种。遮光部 121 可以为单个金属层也可以为多个金属层（金属叠层）。缓冲层 130 可以形成为氮化硅（SiN_x）或氧化硅（SiO₂）的单层或者氮化硅（SiN_x）和氧化硅（SiO₂）的堆叠层。

参见图 7B 至 7D，采用物理气相沉积工艺，例如溅射工艺，在缓冲层 130 上形成半导体叠层 140'。半导体叠层 140 包括半导体层 141'、半导体层 142' 和半导体层 143'。

参见图 7B，在较高的第一温度下，在缓冲层 130 的远离衬底基板 110 的上表面（界面）111' 上沉积形成结晶相的半导体层 142'。上表面 111' 在形成半导体层 142' 之前为缓冲层 130 和沉积腔室中的气氛之间的界面，在形成半导体层 142' 之后为缓冲层 130 和半导体层 142' 之间的界面。该第一温度大于等于 100 °C。优选地，该第一温度大于等于 120 °C。

本实施例中的半导体层 142' 与上一实施例中的半导体层 142 在材料、厚度、结晶度和形成工艺等方面均对应相同，故在此省略重复的描述。这里，本实施例中的半导体层 142' 与上述实施例中的半导体层 142 可对应于第一半

导体层。

参见图 7C, 在半导体层 142' 的远离衬底基板 110 的上表面上沉积形成半导体层 143'。本实施例中的半导体层 143' 与上一实施例中的半导体层 143 在材料、结晶性、厚度和形成工艺等方面均对应相同, 故在此省略重复的描述。

5 这里, 本实施例中的半导体层 143' 与上述实施例中的半导体层 143 可对应于第二半导体层。

10 在本实施例中, 在较高温度下沉积的半导体层 142' 能够在表面 (界面) 111' 上直接形成结晶相层从而替代在室温下沉积半导体层 142' 的情况下在该界面上存在的缺陷层, 以在后续的构图工艺中不会引起明显的底切和钻刻形成。

参见图 7D, 在半导体层 143' 的远离衬底基板 110 的上表面上沉积形成半导体层 141'。本实施例中的半导体层 141' 与上一实施例中的半导体层 141 在材料、厚度、结晶性、子层、和形成工艺等方面均对应相同, 故在此省略重复的描述。这里, 本实施例中的半导体层 141' 与上述实施例中的半导体层 15 141 可对应于第三半导体层。

在本公开的实施例中, 由于半导体层 143' 具有良好的结晶性对在其上沉积的半导体层 141' 为非晶相状态, 因此, 尽管半导体层 143' 与半导体层 141' 的材料不同但两者之间无需形成类似于以上描述的种子层的结构层。当然, 本公开的实施例并不限于此。

20 参见图 7E, 对半导体叠层 140' 执行构图工艺以形成沟道叠层 1400'。沟道叠层 1400' 包括沟道层 1410'、种子层 1420' 和沟道层 1430'。沟道层 1410'、种子层 1420' 和沟道层 1430' 分别为半导体层 141'、半导体层 142' 和半导体层 143' 的一部分。这里, 本实施例中的沟道层 1430' 和上一实施例中的沟道层 1430 可对应于第一沟道层, 本实施例中的沟道层 1410' 与上一实施例中的沟道层 25 1410 可对应于第二沟道层。

这里, 对半导体叠层 140' 执行的构图工艺类似于上一实施例中对半导体叠层 140 执行的构图工艺, 在此不再赘述。

参见图 7F, 在形成有沟道叠层 1400' 的衬底基板 110 上形成栅极 170' 和栅极绝缘层 160'。

30 参见图 7G, 在形成有栅极 170' 和栅极绝缘层 160' 的衬底基板 110 上形

成中间介电层 151; 在中间介电层 151 上形成源极 181' 和漏极 182'; 源极 181' 和漏极 182' 通过中间介电层 150 中的过孔电连接到沟道叠层 1400'。

参见图 7H, 在形成有源极 181' 和漏极 182' 的衬底基板 110 上形成平坦化层 190。在平坦化层 190 上发光元件 225 和包封层 240。

5 在一个示例中, 所述沟道层 1410' 的带隙 E_{g1} 、种子层 1420' 的带隙 E_{g2} 和沟道层 1430' 的带隙 E_{g3} 满足: $E_{g1} < E_{g2} \leq E_{g3}$; 所述沟道层 1410' 的导带底能级 E_{c1} 、种子层 1420' 的导带底能级 E_{c2} 和沟道层 1430' 的导带底能级 E_{c3} 满足: $|E_{c1}| > |E_{c2}| \geq |E_{c3}|$; 沟道层 1410' 的价带顶能级 E_{v1} 、种子层 1420' 的价带顶能级 E_{v2} 和沟道层 1430' 的价带顶能级 E_{v3} 满足: $|E_{v1}| < |E_{v2}| \leq |E_{v3}|$ 。参见图 7H, 薄膜晶体管 TFT2 具有顶栅结构, 沟道层 1410' (第二沟道层) 位于栅极 170' 和沟道层 1430' (第一沟道层) 之间。在此情况下, 沟道层 1410' 的带隙最小, 其能带结构位于种子层 1420' 和沟道层 1430' 之下。薄膜晶体管工作时, 由于带隙差异, 沟道层 1410' 作为一种高载流子浓度材料, 其产生的载流子需越过种子层 1420' 及沟道层 1430' 带隙差异
10 阻碍, 才能跃迁至其他膜层内。因此绝大多数载流子被禁锢于沟道层 1410' 内。而采用种子层 1420' 作用在于, 一方面去除缺陷层进而去除底切钻刻问题, 一方面降低内部界面缺陷, 提高器件稳定性; 同时作为一种结晶材料, 种子层 1420' 与沟道层 1430' 也更加匹配, 界面缺陷更低; 沟道层 1430' 的作用在于: 一方面结晶度高, 可以起着阻挡源漏极刻蚀液刻蚀损伤、降低钝化层沉积的轰击、阻止源漏极元素扩散、阻止氧等元素的扩散等, 另一方面, 带隙大, 则可以保证最低限度载流子于沟道层 1410' 扩散至沟道层 1430', 从而降低载流子损耗; 因此, 根据本公开实施例制造的半导体基板中, 薄膜晶体管载流子迁移率及稳定性被有效的提高。
15

在上述实施例中, 以半导体基板上个一个氧化物半导体薄膜晶体管和与
25 之对应的像素结构为例说明了半导体基板作为显示装置的有源矩阵基板。在本公开另外的实施例的有源矩阵基板中, 氧化物半导体薄膜晶体管不仅能用作设置于各像素的开关元件, 也能用作驱动器等周边电路的电路用元件(单片化)。

本公开的实施例能广泛应用于具有氧化物半导体薄膜晶体管的各种半导体
30 体装置。例如能应用于有源矩阵基板等电路基板、液晶显示装置、有机电致

发光(EL)显示装置和无机电致发光显示装置、MEMS 显示装置等显示装置、图像传感器装置等摄像装置、图像输入装置、指纹读取装置、半导体存储器等各种电子装置。

有以下几点需要说明:

5 (1) 本公开的实施例附图中, 只涉及到与本公开实施例涉及到的结构, 其他结构可参考通常设计。

(2) 在不冲突的情况下, 本公开的另一实施例及不同实施例中的特征可以相互组合。

10 虽然上文中已经用一般性说明及具体实施方式, 对本公开作了详尽的描述, 但在本公开实施例基础上, 可以对之作一些修改或改进, 这对本领域技术人员而言是显而易见的。因此, 在不偏离本公开精神的基础上所做的这些修改或改进, 均属于本公开要求保护的范围。

权利要求书

1、一种半导体基板的制造方法，包括：

提供衬底基板；

5 在所述衬底基板上采用物理气相沉积工艺形成包括第一半导体层、第二半导体层和第三半导体层的半导体叠层，包括：

当所述衬底基板在第一温度时，在所述衬底基板上的一界面处形成所述第一半导体层，其中，所述第一半导体层的材料为第一氧化物半导体材料；

10 在所述第一半导体层上直接形成所述第二半导体层，其中，第二半导体层的材料为第二氧化物半导体材料；以及

形成所述第三半导体层，其中，第三半导体层的材料为第三氧化物半导体材料；

15 对所述半导体叠层执行构图工艺，使得所述第一半导体层、所述第二半导体层和所述第三半导体层分别被图案化为种子层、第一沟道层和第二沟道层，其中，所述种子层、所述第一沟道层和所述第二沟道层构成沟道叠层；

在所述衬底基板上形成栅极和栅极绝缘层；以及

在形成有所述沟道叠层的衬底基板上形成源极和漏极，所述源极和所述漏极极电连接到所述沟道叠层，

20 其中，所述第二沟道层位于所述栅极与所述第一沟道层之间，所述第一氧化物半导体材料不同于所述第三氧化物半导体材料，所述第一沟道层和所述种子层均为结晶相层，

25 其中，所述第一氧化物半导体材料和所述第二氧化物半导体材料均能够在第二温度下形成结晶相，所述第二温度小于等于 40°C，所述第一温度大于等于 100°C。

2、根据权利要求 1 所述的制造方法，其中，所述栅极位于所述沟道叠层和所述衬底基板之间，所述界面为所述第三半导体层远离所述衬底基板的表面。

30 3、根据权利要求 1 所述的制造方法，还包括：在所述衬底基板上形成绝缘层，其中，所述绝缘层位于所述第一半导体层和所述衬底基板之间，所述

沟道叠层位于所述栅极和所述衬底基板之间，所述界面为所述绝缘层远离所述衬底基板的表面。

4、根据权利要求 1 至 3 中任一项所述的制造方法，其中，所述沟道叠层具有面对所述衬底基板的底表面和侧表面，所述底表面和所述侧表面均为平面，且所述底表面和所述侧表面之间的第一夹角为 20° 至 70° 。

5、根据权利要求 1 至 3 中任一项所述的制造方法，其中，所述沟道叠层具有面对所述衬底基板的底表面和侧表面，所述侧表面包括第一子侧表面和第二子侧表面，所述底表面、所述第一子侧表面和所述第二子侧表面均为平面，所述底表面和所述第一子侧表面之间的第二夹角为 50° 至 80° ，所述第二子侧表面与所述底表面之间的第三夹角为 20° 至 70° ，所述第二夹角不同于所述第三夹角。

6、根据权利要求 1 至 5 中任一项所述的制造方法，其中，所述第三半导体层为非晶相层。

7、根据权利要求 1 至 6 中任一项所述的制造方法，其中，所述第三半导体层的电子迁移率大于所述第一半导体层和所述第二半导体层的电子迁移率。

8、根据权利要求 1 至 7 中任一项所述的制造方法，其中，第二半导体层的厚度为所述第一半导体层的厚度的 4 至 8 倍。

9、根据权利要求 1 至 8 中任一项所述的制造方法，其中，所述第二沟道层的带隙 E_{g1} 、所述种子层的带隙 E_{g2} 和所述第一沟道层的带隙 E_{g3} 满足： $E_{g1} < E_{g2} \leq E_{g3}$ ；

所述第二沟道层的导带底能级 E_{c1} 、所述种子层的导带底能级 E_{c2} 和所述第一沟道层的导带底能级 E_{c3} 满足： $|E_{c1}| > |E_{c2}| \geq |E_{c3}|$ ；

所述第二沟道层的价带顶能级 E_{v1} 、所述种子层的价带顶能级 E_{v2} 和所述第一沟道层的价带顶能级 E_{v3} 满足： $|E_{v1}| < |E_{v2}| \leq |E_{v3}|$ 。

10、根据权利要求 1 至 9 中任一项所述的制造方法，其中，所述种子层的厚度为 50 埃到 100 埃。

11、根据权利要求 1 至 10 中任一项所述的制造方法，其中，所述第一温度大于 120°C 。

12、根据权利要求 1 至 11 中任一项所述的制造方法，其中，所述第一半

导体层的所述第一氧化物半导体材料和所述第二半导体层的所述第二氧化物半导体材料相同，所述第二半导体层在所述第二温度下形成。

5 13、根据权利要求 1 至 12 中任一项所述的制造方法，其中，所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个包含 In、Ga、Zn、Sn 中的两种或更多种金属元素。

10 14、根据权利要求 13 所述的制造方法，其中，所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个为 IGZO 材料，其中，In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 7%-14%；Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%；Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 50%~70%。

15 15、根据权利要求 13 所述的制造方法，其中，所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个为 IGZO 材料，其中，In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 35%-50%；Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 10%~40%；Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%。

16、根据权利要求 1 至 15 中任一项所述的制造方法，其中，所述第三半导体层包括第一半导体子层和第二半导体子层，所述第一半导体子层在所述栅极与所述第二半导体子层之间，所述第一半导体子层为结晶相层，所述第二半导体子层为非晶相层，

20 所述栅极位于所述沟道叠层和所述衬底基板之间，所述界面为所述第二半导体子层远离所述衬底基板的表面。

17、根据权利要求 16 所述的制造方法，其中，所述第三半导体层还包括第三半导体子层，所述第三半导体子层位于所述栅极与所述第一半导体子层之间，所述第三半导体层为结晶相层。

25 18、根据权利要求 1 至 17 中任一项所述的制造方法，其中，对于同一种蚀刻溶液，所述第三半导体层的蚀刻速率与所述第二半导体层的蚀刻速率之比在 0.2 至 5 的范围。

19、一种半导体基板，包括：

衬底基板；以及

30 在衬底基板上的薄膜晶体管，其中，所述薄膜晶体管包括栅极、栅极绝

缘层、沟道叠层和电连接到所述沟道叠层的源漏极，所述沟道叠层包括：第一氧化物半导体材料的种子层、第二氧化物半导体材料的第一沟道层和第三氧化物半导体材料的第二沟道层，

5 其中，所述第二沟道层位于所述栅极与所述第一沟道层之间，所述第二氧化物半导体材料不同于所述第三氧化物半导体材料，所述第一沟道层和所述种子层均为结晶相层，所述第一氧化物半导体材料和所述第二氧化物半导体材料均为能够在第二温度下形成结晶相的材料，所述第二温度小于等于40°C，

10 其中，半导体基板还包括在所述衬底基板上的一界面，所述第一沟道层的面对所述衬底基板的表面与所述界面之间的距离小于等于100埃，所述种子层位于所述界面和所述第一沟道层的面对所述衬底基板的所述表面之间。

20、根据权利要求19所述的半导体基板，其中，所述栅极位于所述沟道叠层和所述衬底基板之间，所述界面为所述第二沟道层远离所述衬底基板的表面。

15 21、根据权利要求19所述的半导体基板，还包括：在所述衬底基板上的绝缘层，其中，在所述绝缘层位于所述种子层和所述衬底基板之间，所述沟道叠层位于所述栅极和所述衬底基板之间，所述界面为所述绝缘层远离所述衬底基板的表面。

20 22、根据权利要求19至21中任一项所述的半导体基板，其中，所述沟道叠层具有面对所述衬底基板的底表面和侧表面，所述底表面和所述侧表面均为平面，且所述底表面和所述侧表面之间的第一夹角为20°至70°。

25 23、根据权利要求19至21中任一项所述的半导体基板，其中，所述沟道叠层具有面对所述衬底基板的底表面和侧表面，所述侧表面包括第一子侧表面和第二子侧表面，所述底表面、所述第一子侧表面和所述第二子侧表面均为平面，所述底表面和所述第一子侧表面之间的第二夹角为50°至80°，所述第二子侧表面与所述底表面之间的第三夹角为20°至70°，所述第二夹角不同于所述第三夹角。

24、根据权利要求19至23中任一项所述的半导体基板，其中，所述第二沟道层为非晶相层。

30 25、根据权利要求19至24中任一项所述的半导体基板，其中，所述第

二沟道层的电子迁移率大于所述种子层和所述第一沟道层的电子迁移率。

26、根据权利要求 19 至 25 中任一项所述的半导体基板，其中，所述第一沟道层的厚度为所述种子层的厚度的 4 至 8 倍。

27、根据权利要求 19 至 26 中任一项所述的半导体基板，其中，所述第二沟道层的带隙 E_{g1} 、所述种子层的带隙 E_{g2} 和所述第一沟道层的带隙 E_{g3} 满足： $E_{g1} < E_{g2} \leq E_{g3}$ ；

所述第二沟道层的导带底能级 E_{c1} 、所述种子层的导带底能级 E_{c2} 和所述第一沟道层的导带底能级 E_{c3} 满足： $|E_{c1}| > |E_{c2}| \geq |E_{c3}|$ ；

所述第二沟道层的价带顶能级 E_{v1} 、所述种子层的价带顶能级 E_{v2} 和所述第一沟道层的价带顶能级 E_{v3} 满足： $|E_{v1}| < |E_{v2}| \leq |E_{v3}|$ 。

28、根据权利要求 19 至 27 中任一项所述的半导体基板，其中，所述种子层的厚度为 50 埃到 100 埃。

29、根据权利要求 19 至 28 中任一项所述的半导体基板，其中，所述第一氧化物半导体材料与所述第二氧化物半导体材料相同。

30、根据权利要求 19 至 29 中任一项所述的半导体基板，其中，所述第一氧化物半导体材料和所述第二氧化物半导体材料的每一个包含 In、Ga、Zn、Sn 中的两种或更多种金属元素。

31、根据权利要求 30 所述的半导体基板，其中，所述第一氧化物半导体材料为 IGZO 材料，其中，In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 7%-14%；Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%；Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 50%~70%。

32、根据权利要求 30 所述的半导体基板，其中，所述第一氧化物半导体材料为 IGZO 材料，其中，In 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 35%-50%；Ga 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 10%~40%；Zn 的原子数与 In、Ga 和 Zn 的原子数总和的比值为 20%~40%。

33、根据权利要求 19 所述的半导体基板，其中，所述第二沟道层包括第一沟道子层和第二沟道子层，所述第一沟道子层在所述栅极与所述第二沟道子层之间，所述第一沟道子层为结晶相层，所述第二沟道子层为非晶相层，

所述栅极位于所述沟道叠层和所述衬底基板之间，所述界面为所述第二沟道子层远离所述衬底基板的表面。

34、根据权利要求 33 所述的半导体基板，其中，所述第二沟道层还包括第三沟道子层，所述第三沟道子层位于所述栅极与所述第一沟道子层之间，所述第三沟道层为结晶相层。

5 35、根据权利要求 19 至 34 中任一项所述的半导体基板，其中，对于同一种蚀刻溶液，所述第二沟道层的蚀刻速率与所述第一沟道层的蚀刻速率之比在 0.2 至 5 的范围。

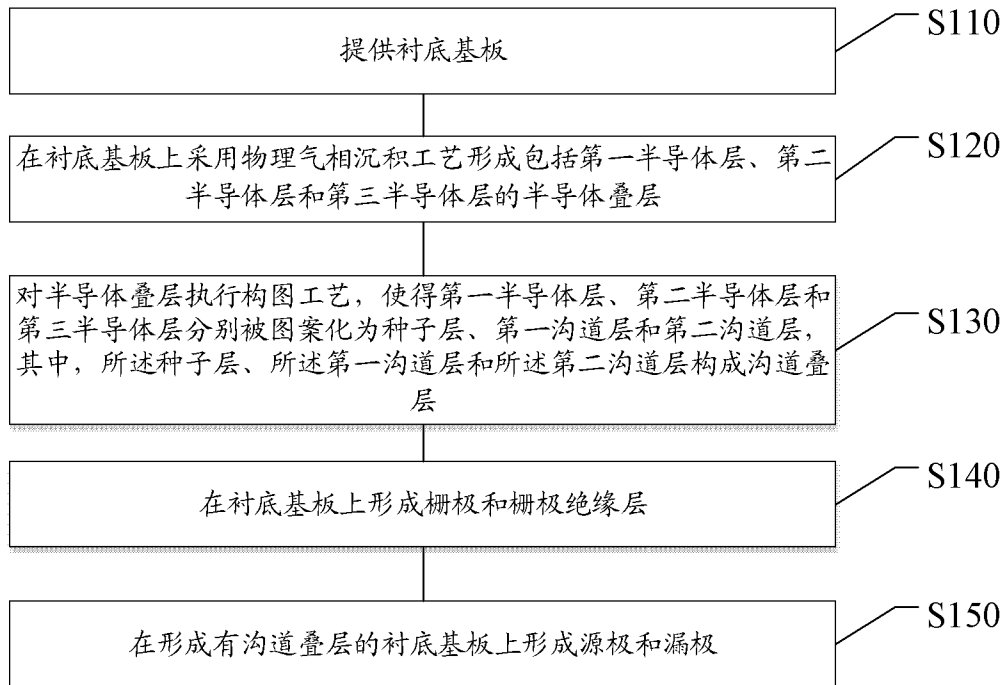


图 1

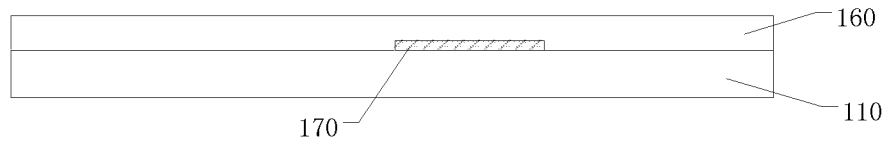


图 2A

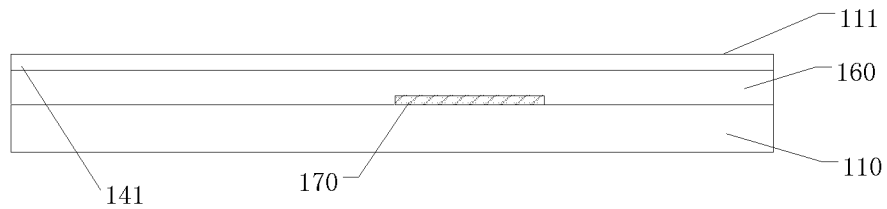


图 2B

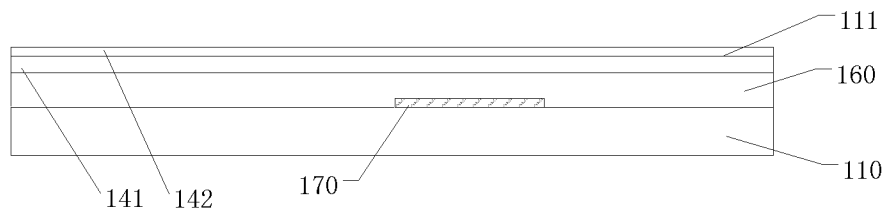


图 2C

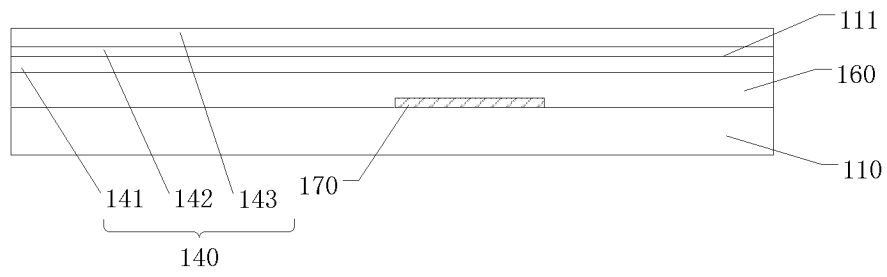


图 2D

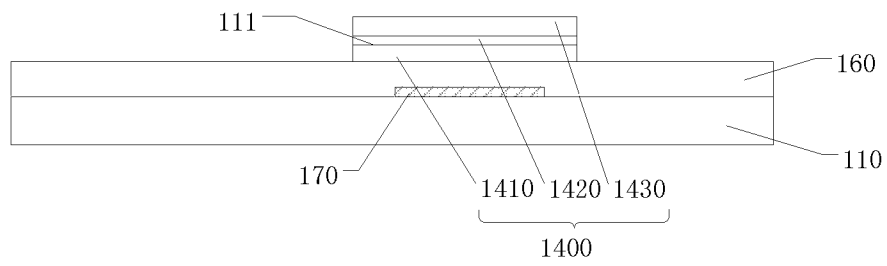


图 2E

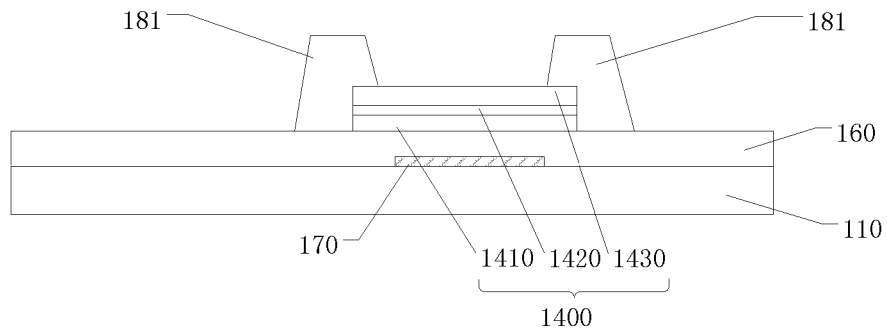


图 2F

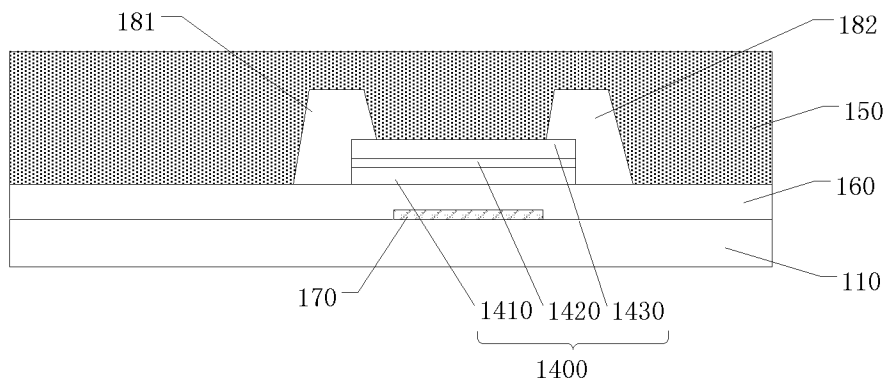


图 2G

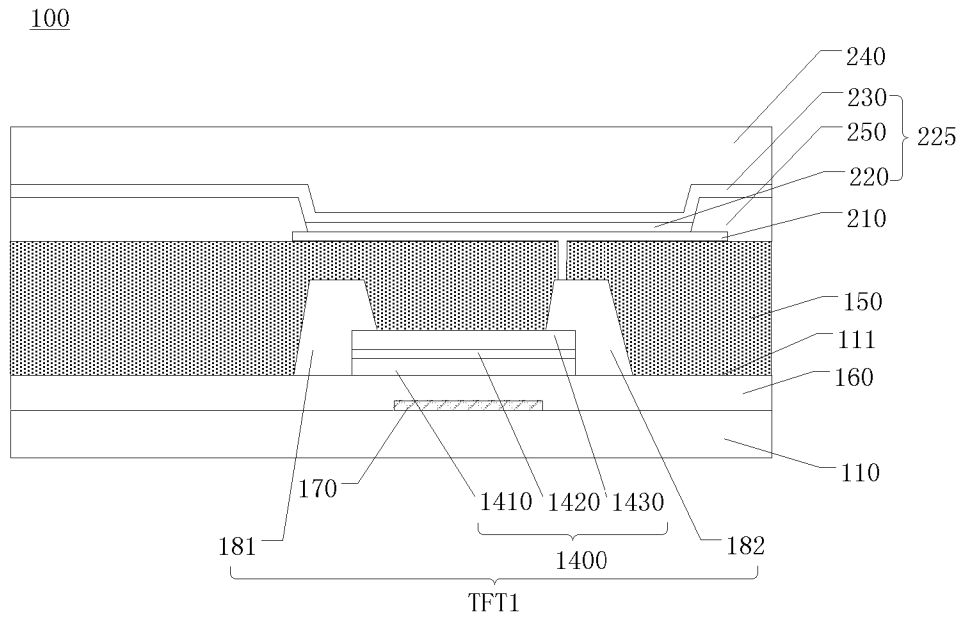


图 2H

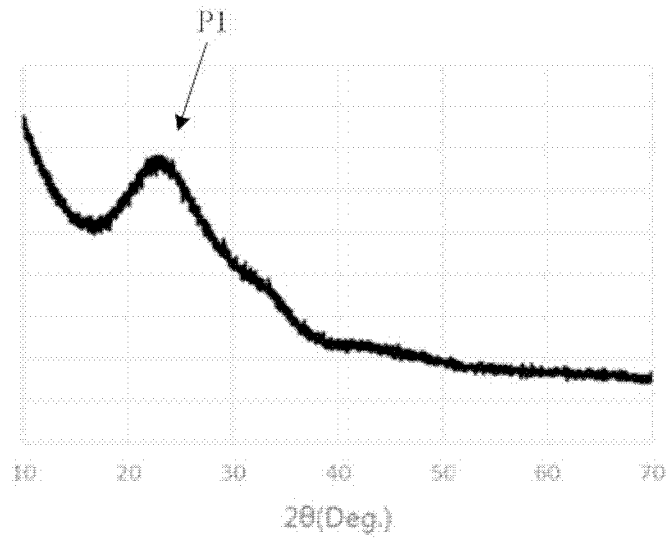


图 3A

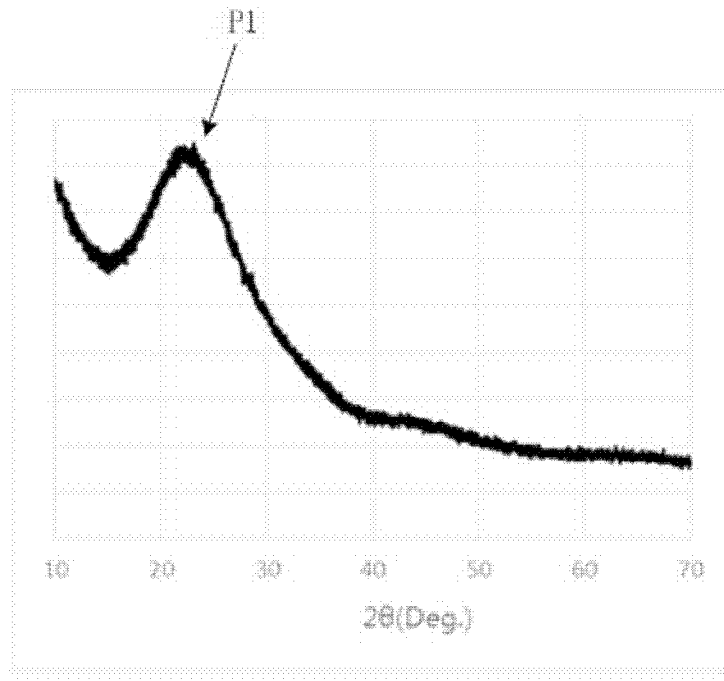


图 3B

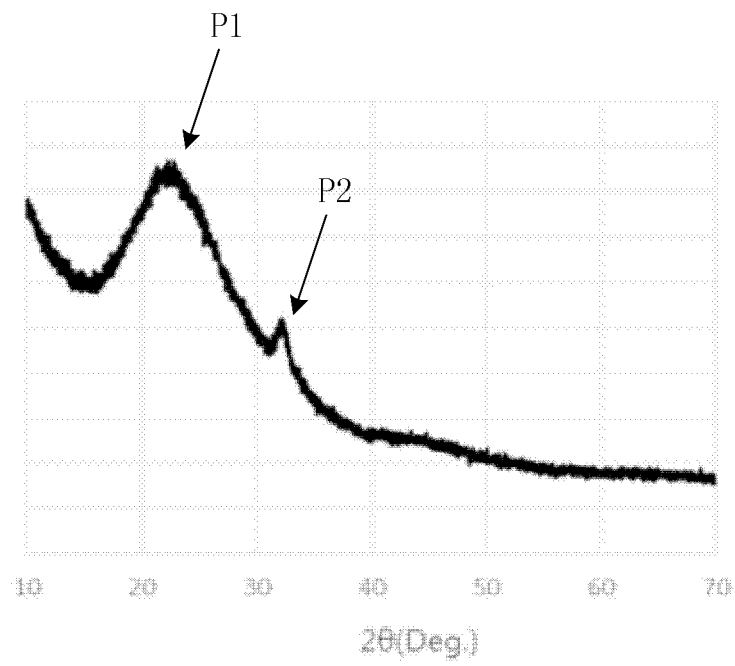


图 3C

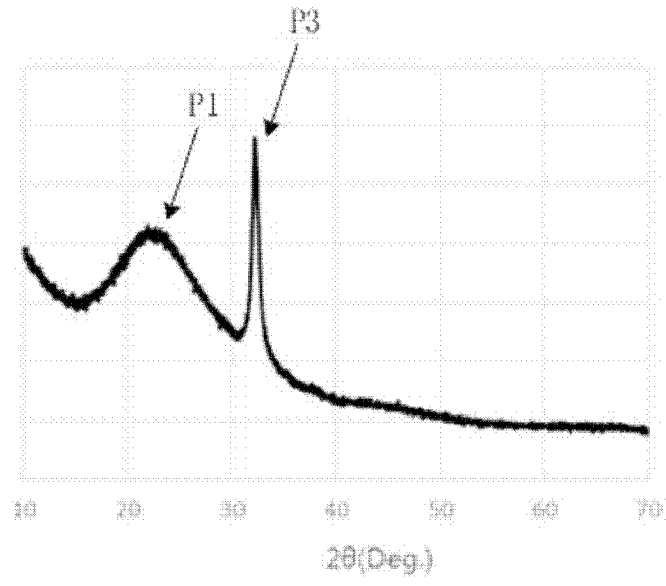


图 3D

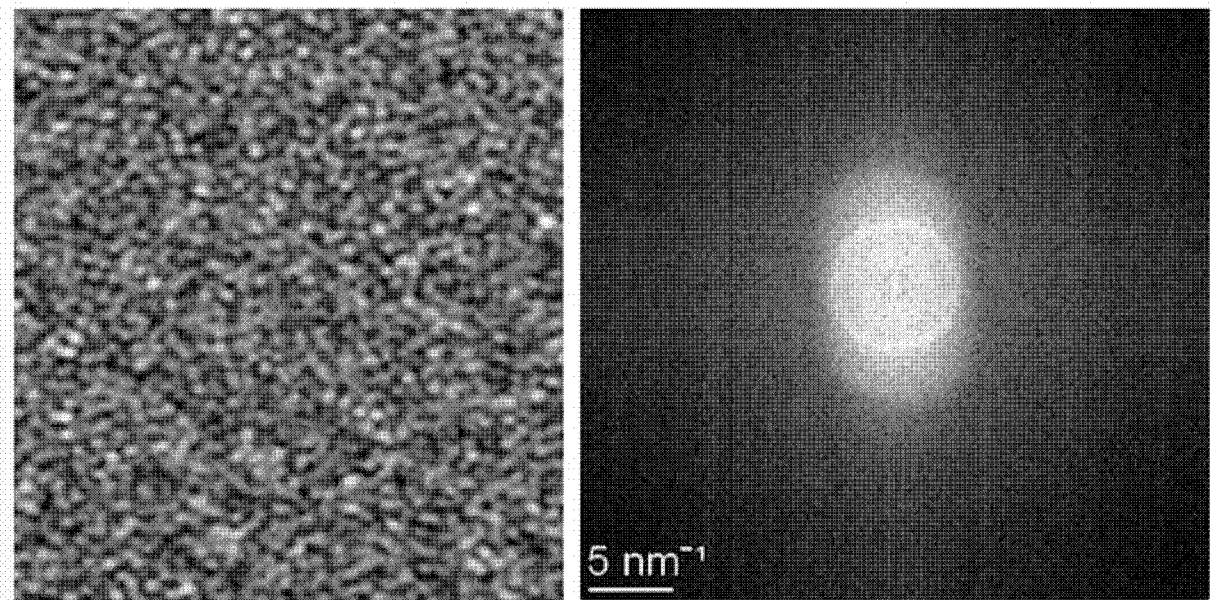


图 4A

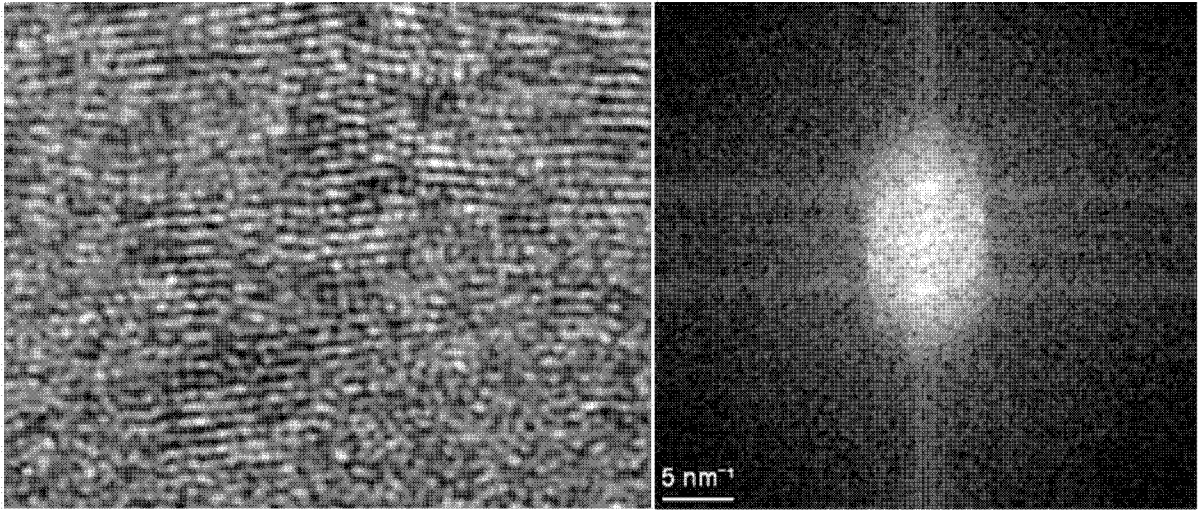


图 4B

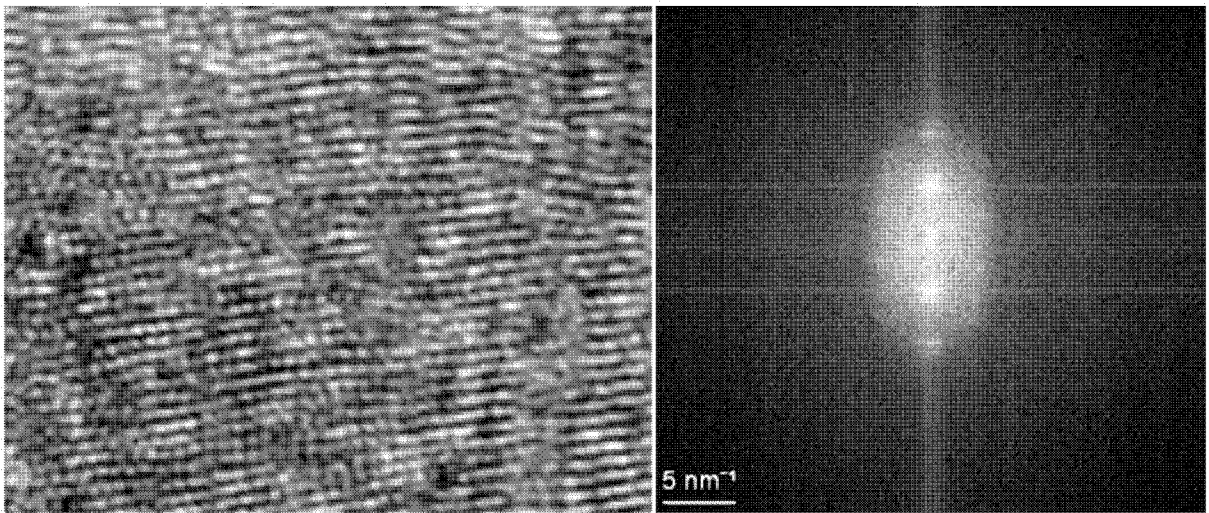


图 4C

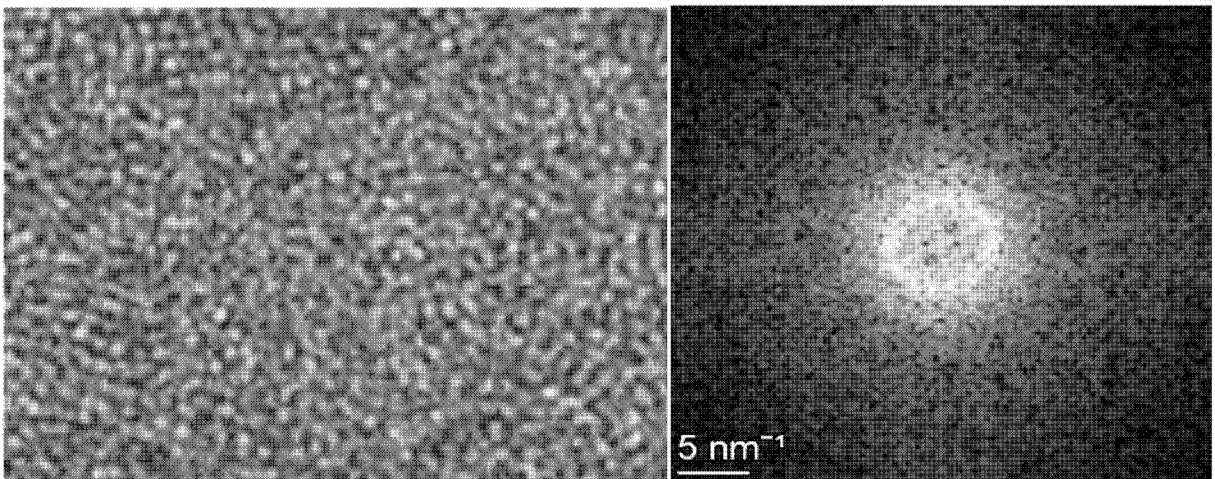


图 4D

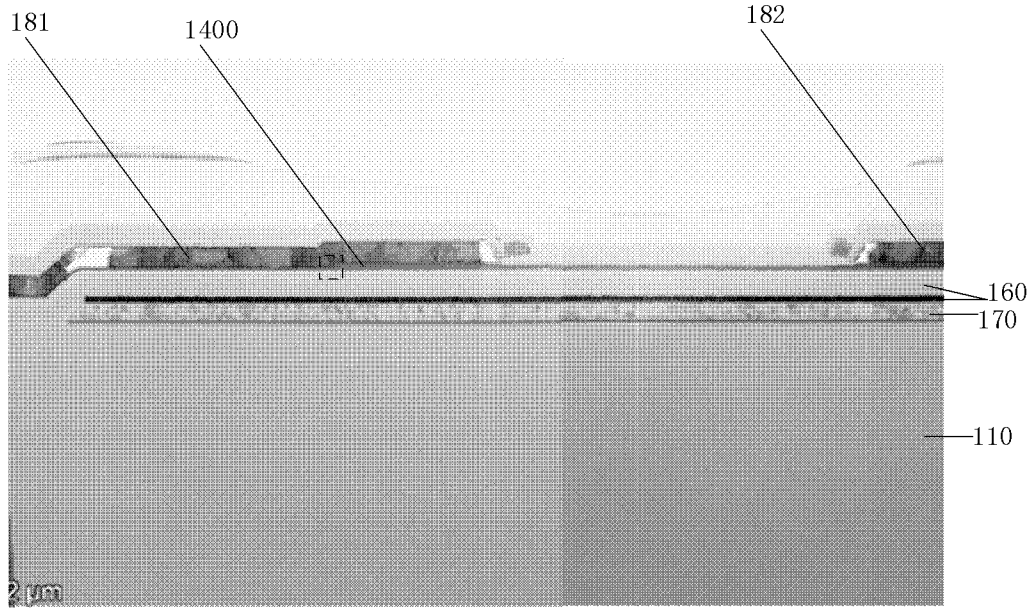


图 5A

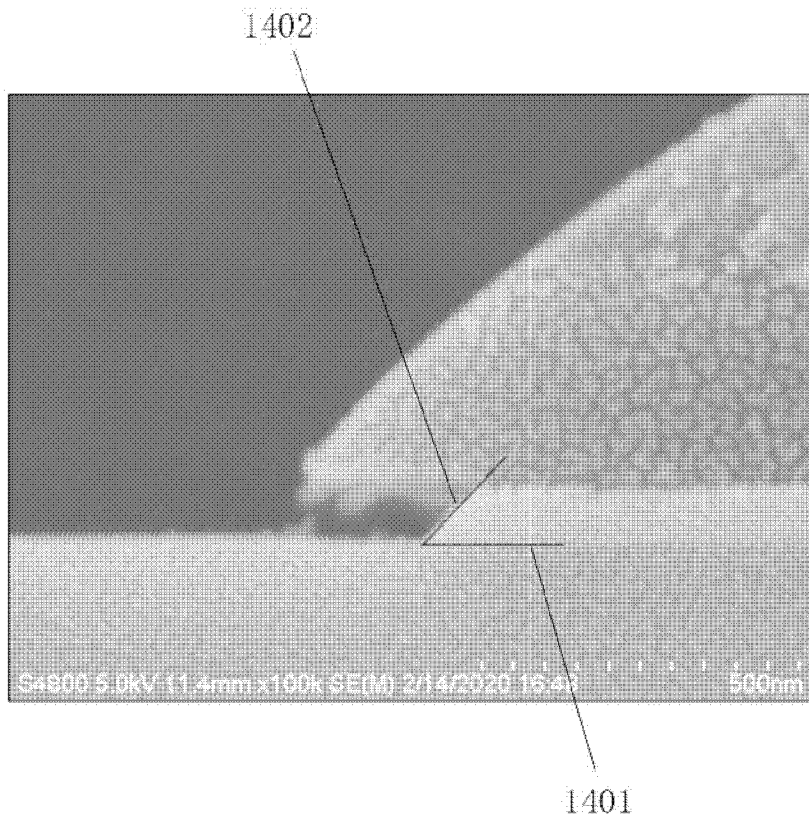


图 5B

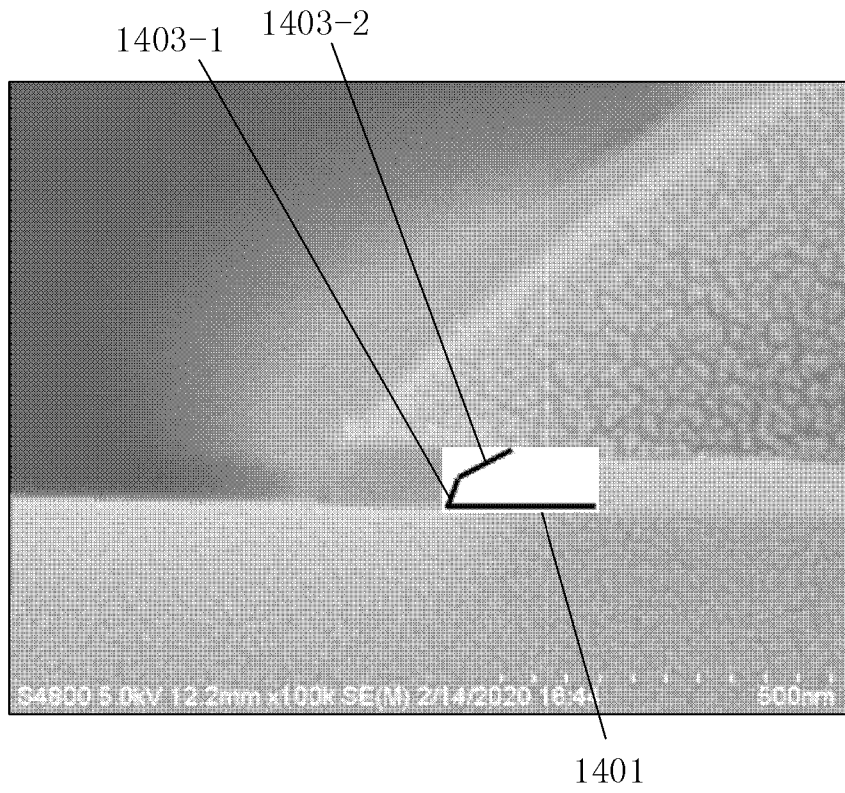


图 5C

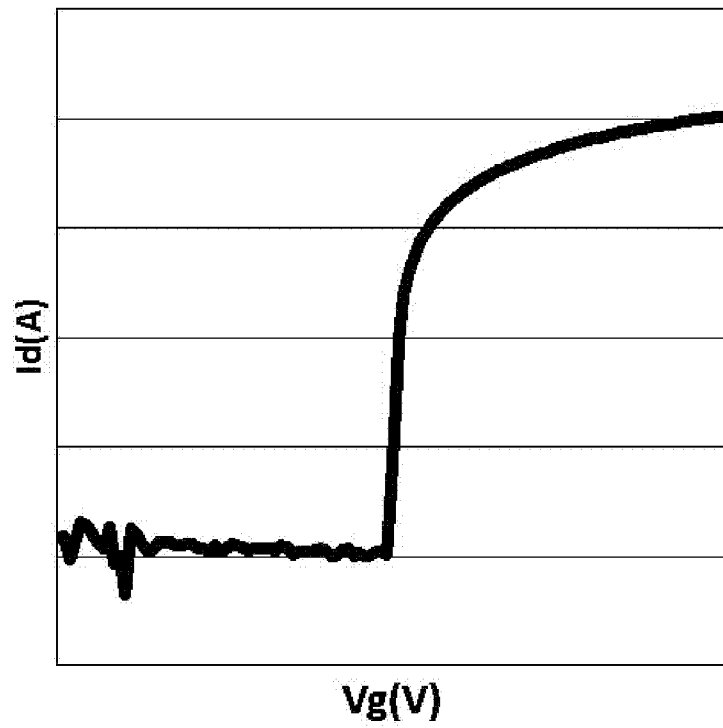


图 5D

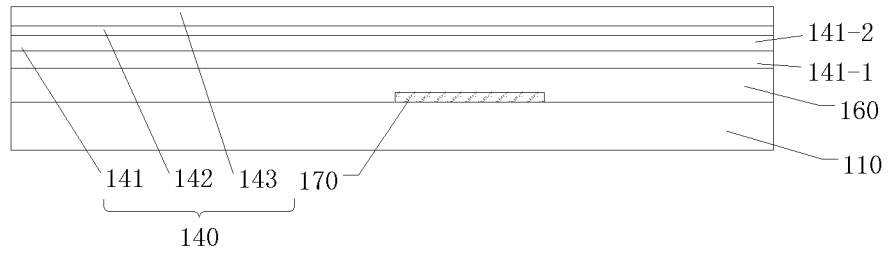


图 6A

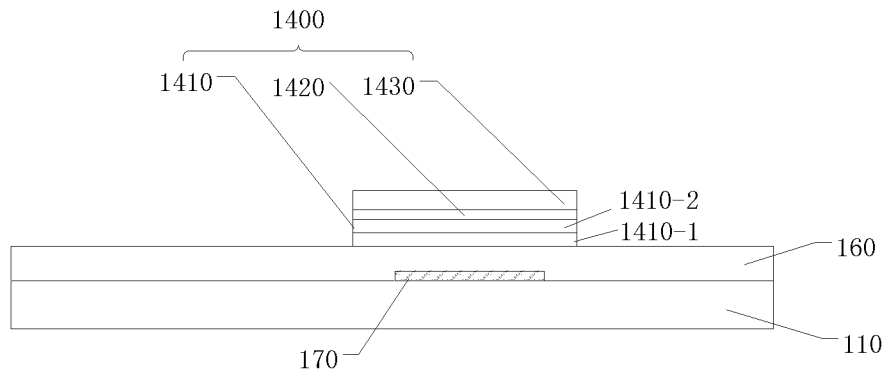


图 6B

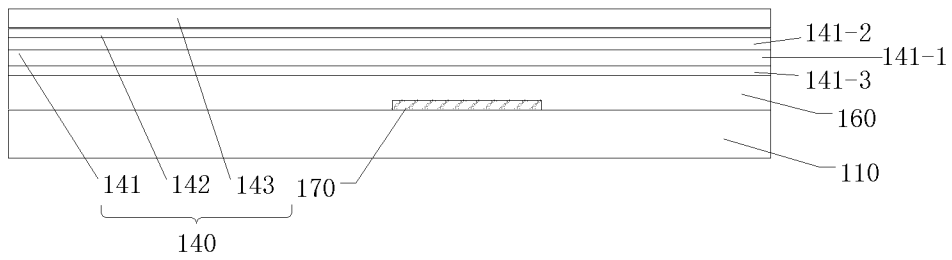


图 6C

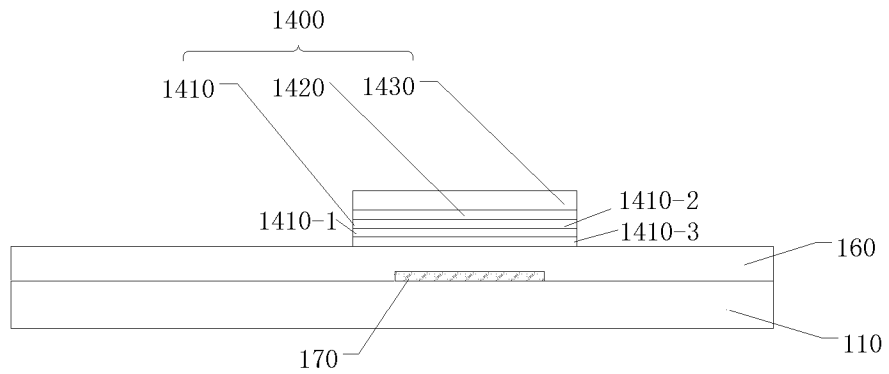


图 6D

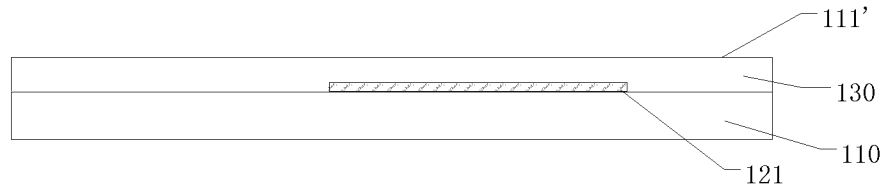


图 7A

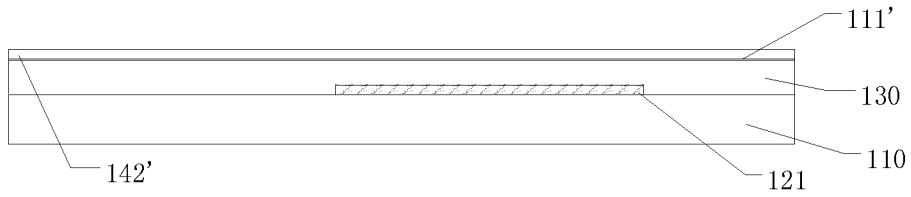


图 7B

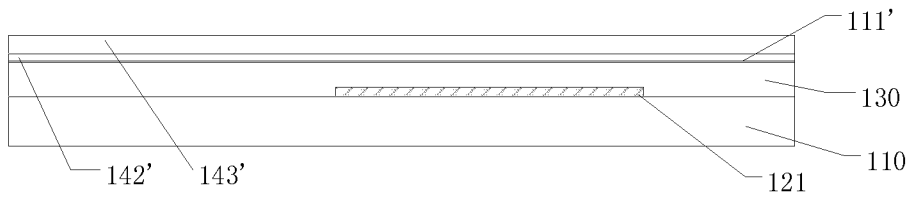


图 7C

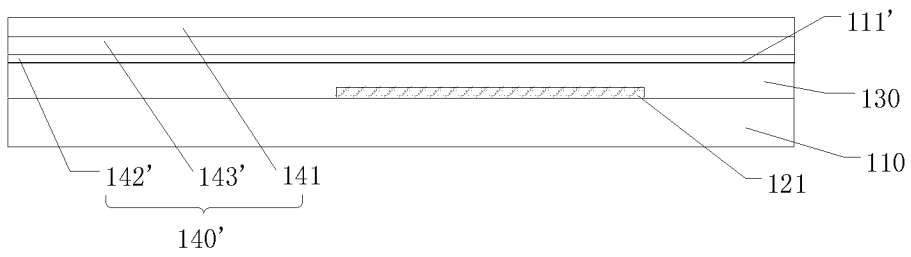


图 7D

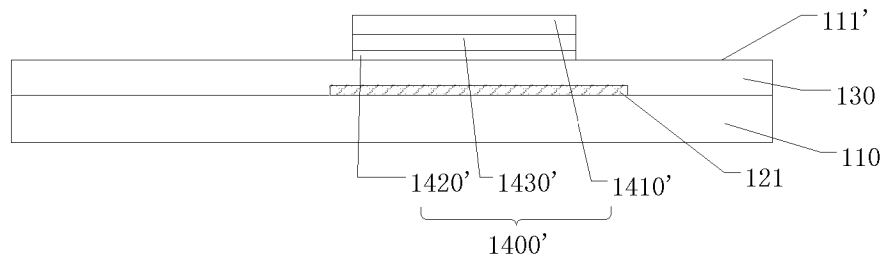


图 7E

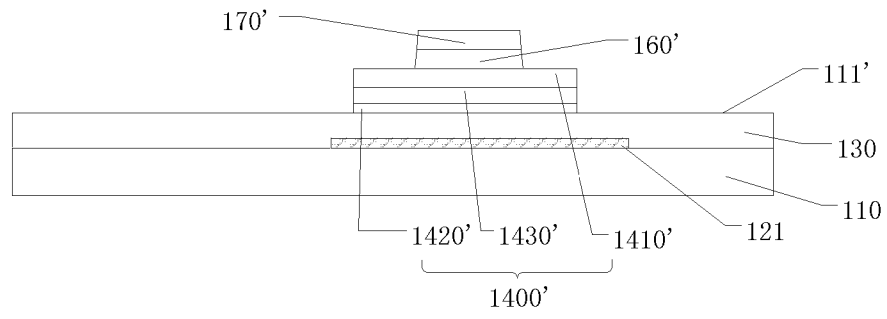


图 7F

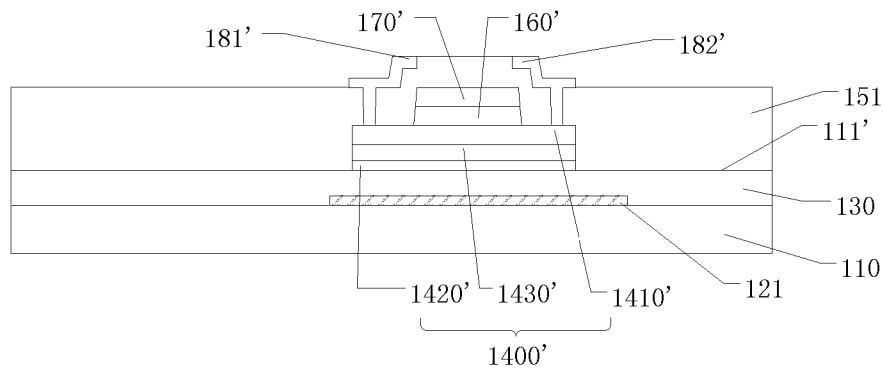


图 7G

200

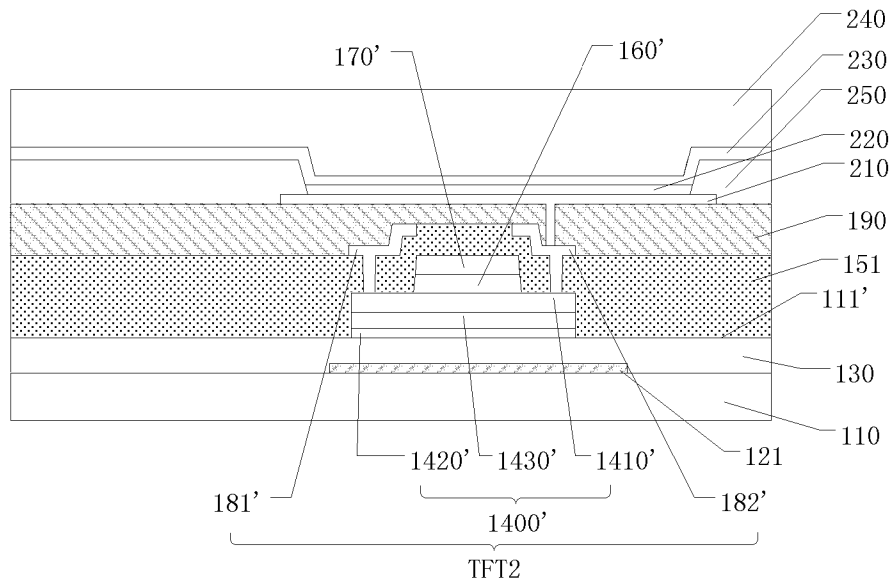


图 7H

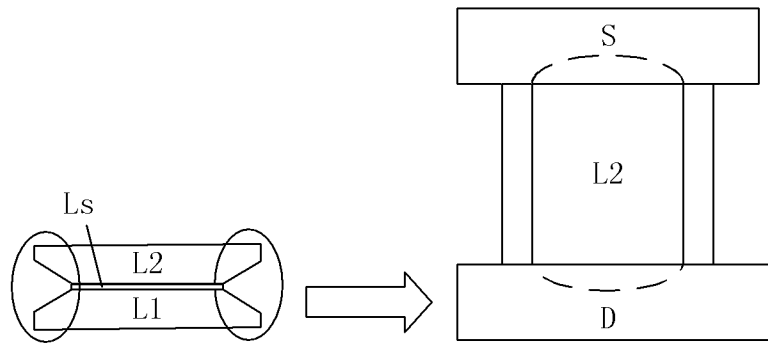


图 8A

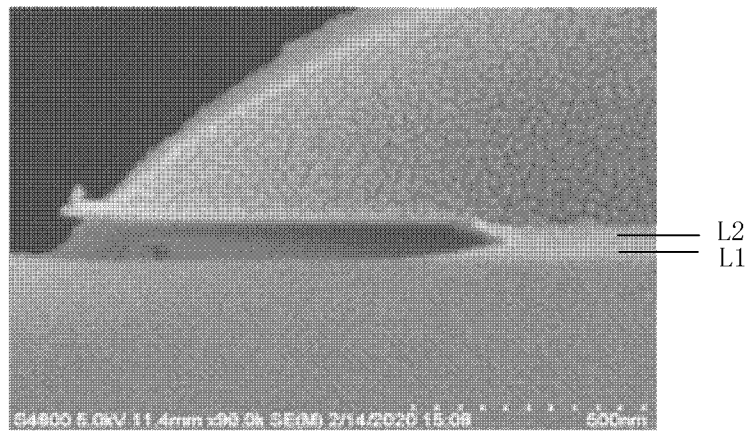


图 8B

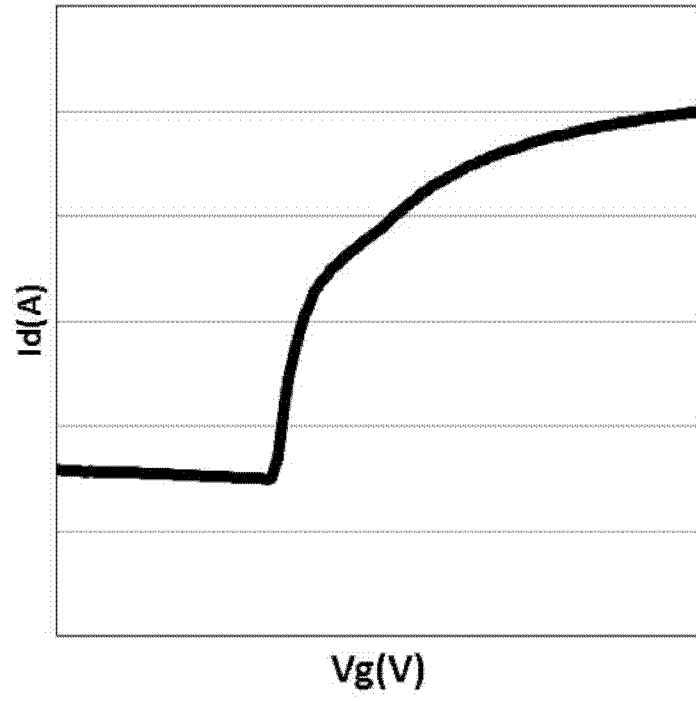


图 8C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/096474

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/786(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, EPODOC, WPI, CNKI, IEEE: 薄膜晶体管, 氧化物半导体, 半导体氧化物, 金属氧化物, 结晶, 晶化, 温度, 沉积, 淀积, 溅射, thin film transistor, TFT, semiconductor, oxide, crystal, deposition, sputtering, temperature		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104733512 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24 June 2015 (2015-06-24) description paragraphs [0168]-[0259], figures 8A-9B, 11A-12C	1-35
X	CN 105190902 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23 December 2015 (2015-12-23) description paragraphs [0034]-[0160], figures 1A-15B	1-35
A	CN 103996717 A (BOE TECHNOLOGY GROUP CO., LTD.) 20 August 2014 (2014-08-20) entire document	1-35
A	US 2008038882 A1 (TAKECHI, K. et al.) 14 February 2008 (2008-02-14) entire document	1-35
A	US 2012097965 A1 (SHIN, Jae-Min et al.) 26 April 2012 (2012-04-26) entire document	1-35
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
21 July 2021		01 September 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/096474

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104733512	A	24 June 2015	KR	20150071664	A	26 June 2015
				JP	6556446	B2	07 August 2019
				JP	2019212916	A	12 December 2019
				TW	I642186	B	21 November 2018
				TW	201530762	A	01 August 2015
				CN	111799335	A	20 October 2020
				JP	2015135959	A	27 July 2015
				US	9842940	B2	12 December 2017
				US	9287410	B2	15 March 2016
				DE	102014225301	A1	18 June 2015
				US	2015171222	A1	18 June 2015
				US	2016190347	A1	30 June 2016
				CN	105190902	A	23 December 2015
US	2014332800	A1	13 November 2014				
TW	I628798	B	01 July 2018				
TW	201501313	A	01 January 2015				
JP	6342701	B2	13 June 2018				
WO	2014181785	A1	13 November 2014				
KR	20160006718	A	19 January 2016				
US	2016247934	A1	25 August 2016				
US	9905695	B2	27 February 2018				
JP	2014239213	A	18 December 2014				
US	9337344	B2	10 May 2016				
CN	103996717	A	20 August 2014	CN	103996717	B	26 August 2015
				US	9773917	B2	26 September 2017
				US	2016260834	A1	08 September 2016
				WO	2015169069	A1	12 November 2015
US	2008038882	A1	14 February 2008	US	9209026	B2	08 December 2015
				US	7884360	B2	08 February 2011
				US	2011097844	A1	28 April 2011
				US	8889480	B2	18 November 2014
				JP	4609797	B2	12 January 2011
				US	2015056747	A1	26 February 2015
				US	2013237012	A1	12 September 2013
				US	8420442	B2	16 April 2013
				JP	2008042088	A	21 February 2008
				JP	2009295997	A	17 December 2009
				JP	5403464	B2	29 January 2014
				US	2012097965	A1	26 April 2012
KR	101827848	B1	23 March 2018				
US	9171956	B2	27 October 2015				

国际检索报告

国际申请号

PCT/CN2021/096474

<p>A. 主题的分类</p> <p>H01L 29/786(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, EPDOC, WPI, CNKI, IEEE: 薄膜晶体管, 氧化物半导体, 半导体氧化物, 金属氧化物, 结晶, 晶化, 温度, 沉积, 淀积, 溅射, thin film transistor, TFT, semiconductor, oxide, crystal, deposition, sputtering, temperature</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104733512 A (株式会社半导体能源研究所) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0168]-[0259]段, 附图8A-9B、11A-12C</td> <td>1-35</td> </tr> <tr> <td>X</td> <td>CN 105190902 A (株式会社半导体能源研究所) 2015年 12月 23日 (2015 - 12 - 23) 说明书第[0034]-[0160]段, 附图1A-15B</td> <td>1-35</td> </tr> <tr> <td>A</td> <td>CN 103996717 A (京东方科技集团股份有限公司) 2014年 8月 20日 (2014 - 08 - 20) 全文</td> <td>1-35</td> </tr> <tr> <td>A</td> <td>US 2008038882 A1 (TAKECHI, K. 等) 2008年 2月 14日 (2008 - 02 - 14) 全文</td> <td>1-35</td> </tr> <tr> <td>A</td> <td>US 2012097965 A1 (SHIN, Jae-Min 等) 2012年 4月 26日 (2012 - 04 - 26) 全文</td> <td>1-35</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104733512 A (株式会社半导体能源研究所) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0168]-[0259]段, 附图8A-9B、11A-12C	1-35	X	CN 105190902 A (株式会社半导体能源研究所) 2015年 12月 23日 (2015 - 12 - 23) 说明书第[0034]-[0160]段, 附图1A-15B	1-35	A	CN 103996717 A (京东方科技集团股份有限公司) 2014年 8月 20日 (2014 - 08 - 20) 全文	1-35	A	US 2008038882 A1 (TAKECHI, K. 等) 2008年 2月 14日 (2008 - 02 - 14) 全文	1-35	A	US 2012097965 A1 (SHIN, Jae-Min 等) 2012年 4月 26日 (2012 - 04 - 26) 全文	1-35
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 104733512 A (株式会社半导体能源研究所) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0168]-[0259]段, 附图8A-9B、11A-12C	1-35																		
X	CN 105190902 A (株式会社半导体能源研究所) 2015年 12月 23日 (2015 - 12 - 23) 说明书第[0034]-[0160]段, 附图1A-15B	1-35																		
A	CN 103996717 A (京东方科技集团股份有限公司) 2014年 8月 20日 (2014 - 08 - 20) 全文	1-35																		
A	US 2008038882 A1 (TAKECHI, K. 等) 2008年 2月 14日 (2008 - 02 - 14) 全文	1-35																		
A	US 2012097965 A1 (SHIN, Jae-Min 等) 2012年 4月 26日 (2012 - 04 - 26) 全文	1-35																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2021年 7月 21日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 9月 1日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN)</p> <p>中国 北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>杨燕</p> <p>电话号码 86-(10)-53961450</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/096474

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)				
CN	104733512	A	2015年 6月 24日	KR	20150071664	A	2015年 6月 26日				
				JP	6556446	B2	2019年 8月 7日				
				JP	2019212916	A	2019年 12月 12日				
				TW	1642186	B	2018年 11月 21日				
				TW	201530762	A	2015年 8月 1日				
				CN	111799335	A	2020年 10月 20日				
				JP	2015135959	A	2015年 7月 27日				
				US	9842940	B2	2017年 12月 12日				
				US	9287410	B2	2016年 3月 15日				
				DE	102014225301	A1	2015年 6月 18日				
				US	2015171222	A1	2015年 6月 18日				
				US	2016190347	A1	2016年 6月 30日				
				CN	105190902	A	2015年 12月 23日	CN	105190902	B	2019年 1月 29日
								US	2014332800	A1	2014年 11月 13日
TW	1628798	B	2018年 7月 1日								
TW	201501313	A	2015年 1月 1日								
JP	6342701	B2	2018年 6月 13日								
WO	2014181785	A1	2014年 11月 13日								
KR	20160006718	A	2016年 1月 19日								
US	2016247934	A1	2016年 8月 25日								
US	9905695	B2	2018年 2月 27日								
JP	2014239213	A	2014年 12月 18日								
US	9337344	B2	2016年 5月 10日								
KR	102210298	B1	2021年 1月 29日								
CN	103996717	A	2014年 8月 20日	CN	103996717	B	2015年 8月 26日				
				US	9773917	B2	2017年 9月 26日				
				US	2016260834	A1	2016年 9月 8日				
				WO	2015169069	A1	2015年 11月 12日				
US	2008038882	A1	2008年 2月 14日	US	9209026	B2	2015年 12月 8日				
				US	7884360	B2	2011年 2月 8日				
				US	2011097844	A1	2011年 4月 28日				
				US	8889480	B2	2014年 11月 18日				
				JP	4609797	B2	2011年 1月 12日				
				US	2015056747	A1	2015年 2月 26日				
				US	2013237012	A1	2013年 9月 12日				
				US	8420442	B2	2013年 4月 16日				
				JP	2008042088	A	2008年 2月 21日				
				JP	2009295997	A	2009年 12月 17日				
				JP	5403464	B2	2014年 1月 29日				
				US	2012097965	A1	2012年 4月 26日	KR	20120042031	A	2012年 5月 3日
KR	101827848	B1	2018年 3月 23日								
US	9171956	B2	2015年 10月 27日								