

公告本

申請日期	90.10.31
案 號	90127021
類 別	H01L 27/108 H01L 21/8242

A4
C4

511282

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	鐵電記憶體裝置及其製造方法
	英 文	FERROELECTRIC MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME
二、發明 創 作 人	姓 名	1.三河 巧 TAKUMI MIKAWA 2.久都內 知惠 TOSHIE KUTSUNAI 3.十代 勇治 YUJI JUDAI
	國 籍	1.-3.皆日本
	住、居所	1.日本國京都府京都市伏見區羽束師志水町138-8-A407 2.日本國滋賀縣草津市西涉川1-14-12-307 3.日本國京都府宇治市木幡田山田26-18
三、申請人	姓 名 (名 稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2001年02月20日 特願2001-043806 ☒有 ☐無 主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

本發明係揭示一種鐵電記憶體裝置，該鐵電記憶體裝置具有一電容器元件，電容器元件使用一鐵電材料作為電容器之絕緣膜；本發明並係揭示一種製造該鐵電記憶體裝置之方法。

一最初大量生產之早期鐵電記憶體裝置約具有1 Kbits至64 Kbits之小容量與一平面結構，於其平面結構中下部電極就大小方面而言大於上部電極。然而近幾年來，一具有約256 Kbits至4 Mbits大容量與一堆疊結構之裝置已成為發展之主要目標，於該堆疊結構中下部電極係比上部電極小或相。吾人預期能藉由實現一具有堆疊結構之鐵電記憶體裝置而大幅地增加非揮發性記憶體裝置之整合度與可靠度。

一具有堆疊結構之傳統鐵電記憶體裝置之實例已揭示於日本專利公報第2000-138349號。

如圖11A所示，一位於該傳統鐵電記憶體裝置中之電容器元件部分係形成於一半導體基板101之上；該半導體基板101具有一雜質擴散層101a形成於該半導體基板101上部；該電容器元件部分並具有一覆蓋有中介層絕緣膜102之上表面。複數個接觸栓103係形成於該中介層絕緣膜102之中；該多數之接觸栓103係被電氣連接至該雜質擴散層101a。複數個下部電極104係埋於一位於該中介層絕緣膜102上方之埋入絕緣膜105中；該下部電極104係被電氣連接至該接觸栓103。該下部電極104係被一以鐵電材料組成之電容器絕

五、發明說明(2)

緣膜成形膜106與一上部電極成形膜107所覆蓋；然後該相對於該下部電極104被加以圖樣化。

依據該傳統之具體實施例的一製造方法之特色在於：要在沒有被作為墊底層的中介層絕緣膜102與下部電極104的個別上表面之粗糙結構所影響的情況下形成電容器絕緣膜成形膜106，該下部電極104需藉由化學機械拋光(CMP)而埋於該埋入絕緣膜105中，以致於該下部電極104之個別上表面以及該埋入絕緣膜105成為平面化。此可避免當該電容器絕緣膜成形膜106以旋轉塗佈(spin coating)之方法形成時，其厚度發生變化，即使該下部電極104上表面與該埋入絕緣膜105之間有同高之不同；因此提供高可靠度給予一鐵電記憶體裝置。

然而，該傳統鐵電記憶體裝置具有各種不同的問題，將說明於下。

第一個問題便為，當該埋入絕緣膜105進行CMP拋光時，該下部電極104中將與記憶體單元共同形成之部份或一區域將被遺漏未拋光，而形成拋光殘遺，因為要均勻地曝露涵蓋記憶體單元形成區域整個表面之下部電極104係為困難；其係以沉積之方法掩蓋該下部電極104。

欲解決第一個問題，吾人執行過拋光以進一步拋光該埋入絕緣膜105。然而，過拋光之結果，該下部電極104上表面之週邊部分並非為拋光目標，卻於拋光期間在壓力之下被具體地削層；該削層現象係起因於毗連成員不同成分之腐蝕現象，即指該埋入絕緣膜105與該下部電極104。當該

五、發明說明 (3)

下部電極104之週邊部分一旦經平面化之後而與埋有該下部電極104之埋入絕緣膜105共同拋光之時，每一個下部電極104之上表面係為傾斜，因此形成一所謂凹陷，其具有該下部電極上表面之中央部分與週邊部分之間一同高差d。此引起該下部電極104粗糙上表面之第二個問題。

假使吾人對該可見粗糙於上表面之下部電極104執行過拋光，第三個問題即出現，其為該下部電極104從該埋入絕緣膜105中剝落。

一般而言，一記憶單元被安排於一半導體基板上之列與欄中。然而，因在製造程序期間半導體基板週邊部分之產出良率有較低之傾向，虛設電極(dummy electrodes)104a被提供於半導體基板之外部圓周部分上。如圖11B所示，CMP也被用於該接觸栓103之製造步驟中，作為該下部電極104之形成前之步驟。當CMP程序被執行於接觸栓103與該中介層絕緣膜102之時，一上述之腐蝕現象於過拋光程序中發生，因為該接觸栓103與該中介層絕緣膜102具有不同之成分，所以該中介層絕緣膜102之厚度小於一與該接觸栓103一起形成之記憶體單元主體區域A。明確地說，該下部電極104與該虛設電極104a自半導體基板而上之個別高度並不一致，端視該接觸栓103之存在與否。此導致之第四個問題為，當該下部電極104與該虛設電極104A成為平面化之時，部份之下部電極104剝離或仍然未拋光而形成拋光殘遺。如此之下部電極104自該膜或拋光殘遺之剝離現象，在該鐵電記憶體裝置中引起一位元缺陷。因為該鐵電記憶體裝置係為

五、發明說明 (4)

一保持資料於一定時段內之非揮發性記憶體裝置，並當需要時從該鐵電記憶體裝置讀取資料，所有位元之電容器元件應係均勻形成。

依據早先陳述，由於該下部電極104之凹陷與該接觸栓103之腐蝕現象所造成之該中介層絕緣膜102厚度之變化不可避免地誘使該電容器絕緣膜106之厚度發生變更。結果，個別記憶單元之資料保持能力不再相，且記憶體裝置之可靠度因此而降低。

發明概要

因此本發明之一目的係提供一下部電極，該每一個下部電極於電容器元件之形成期間具有一特定結構，該每一個電容器具有一電容器絕緣膜，該電容器絕緣膜係由一鐵電材料組成，特別於經由CMP形成該下部電極之期間，解決先前提到之傳統問題。

為了要達到前述之目的，依據本發明之一鐵電記憶體裝置將被構造為能正面地利用於該接觸栓或該下部電極形成步驟中執行之CMP程序期間內發生之腐蝕現象。

明確地說，依據本發明之第一個鐵電記憶體裝置包含：一電容器元件，其每一個電容器元件形成於一半導體基板之上，且由一下部電極、一形成於該下部電極之上以鐵電材料製成之電容器絕緣膜，以及一形成於該電容器絕緣膜上之上部電極所組成；每一下部電極係埋於一埋入絕緣膜之中以具有一平面化之上表面。該下部電極之上表面對應於該埋入絕緣膜之上表面而言係為平面化

五、發明說明 (5)

的；該下部電極並具有一平面結構，以致從該下部電極上表面之上之一任意位置到離此最近之末端部分之距離約為0.6 μm 或更少。

在第一個鐵電記憶體裝置中，每一個下部電極具有一平面結構，以致從該下部電極上表面之上之一任意位置到離此最近之末端部分之距離約為0.6 μm 或更少，因此該下部電極可藉由一腐蝕現象而平面化，且無一凹陷形成於此上表面之上；其現象將在稍後說明。此提供一特定之結構給予每一個下部電極並且避免埋入絕緣膜之拋光殘遺。此亦避免該下部電極自該膜之剝離以及該電容器絕緣膜厚度之變化，以致使每一個記憶體單元之資料保持性質得以改良。

在第二個鐵電記憶體裝置中，一用於保護每一個該下部電極之保護膜係較佳地形成於該下部電極之側面之上。於此配置之中，該下部電極係較不可能剝離的。

在第一個鐵電記憶體裝置中，每一個電容器元件以具有一接觸栓形成於該下部電極之下且電氣連接到該下部電極為佳。此安排實現一具有堆疊結構之電容器元件，其中該下部電極之大小小於或於該上部電極。

於此例中，一具有一虛設電容器元件之虛設記憶體單元較佳地位於記憶體單元放置區域之週邊部分，該虛設電容器元件包括一不為電氣動作之下部電極，於該記憶體單元放置區域之中，該電容器元件係放置於此，以及一連接至該虛設電容器元件之下部電極並且幾乎與每一

五、發明說明(6)

個電容器元件接觸栓之結構與材料相同之接觸栓較佳地形成於該虛設電容器元件下部電極之下。此安排中，形成有該虛設單元之區域膜厚度係因接觸栓形成期間之腐蝕現象均勻地減少，舉例來說，經由CMP；此亦相似於記憶體單元主體區域。這確保該下部電極與該埋入絕緣膜之平面化。

於此例中，該接觸栓面積相對於該記憶體單元放置區域之一比率數值係以約0.3或更少為佳。於此安排中，每一個該接觸栓中之腐蝕深度能被減少到一不影響該記憶體裝置性能之數值。

於第一鐵電記憶體裝置中，該下部電極係較佳地由鉑、鉍、鈦、一至少包含他們的其中之一之合金所製成、或鉍或鈦之一氧化物。因構成電容器絕緣膜之鐵電材料典型地係為一金屬氧化物，一具有抗氧化力例如鉑或鉍之材料；或一具有一氧障壁性質之鈦材料適於作為該下部電極之材料。此外，一鉍或鈦之氧化物亦因其傳導係數適於作為該下部電極之材料。

一用以製造依據本發明之一鐵電記憶體裝置之方法包含：第一步驟為於一半導體基板上形成一下部電極成形膜並且將該已成形之下部電極成形膜加以圖樣化，自此以形成一下部電極；每一個該下部電極具有一特定之外部大小以致於一凹陷不因一腐蝕現象所形成。第二步驟為沉積一埋入絕緣膜於半導體基板之整個表面上以致於該下部電極為該埋入絕緣膜所覆蓋。第三步驟為對該埋入絕緣膜執行化

五、發明說明(7)

學機械拋光直到該下部電極曝露出來。第四步驟為對該已曝露之下部電極與該埋入絕緣膜執行過拋光以使該下部電極與該埋入絕緣膜之個別上表面平面化。第五步驟為形成一以鐵電材料製成之電容器絕緣膜成形膜於該已平面化之下部電極與埋入絕緣膜之上。第六步驟為形成一上部電極成形膜於該電容器絕緣膜成形膜上。第七步驟為將該電容器絕緣膜成形膜加以圖樣化從而自此形成之電容器絕緣膜；該電容器絕緣膜係個別對應於該下部電極。第八步驟為將該上部電極成形膜加以圖樣化從而自此形成之上部電極；該上部電極係個別對應於該電容器絕緣膜。

在此製造依據本發明之一鐵電記憶體裝置之方法中，每一個該下部電極經由圖樣化而形成以具有一定之外部的大小以致於該凹陷不為該腐蝕現象所形成，之後吾人對於該曝露之下部電極與該埋入絕緣膜執行過拋光，此以致該埋入絕緣膜之拋光殘遺不殘留於每一個該下部電極之上表面之上。除此之外，每一個下部電極具有一定之外部結構以致於凹陷不為該腐蝕現象所形成，以便該下部電極之上表面肯定地為平面化。

在此製造一鐵電記憶體裝置之方法中，於第五步驟中之電容器絕緣膜成形膜以旋轉塗佈方法形成為佳。在此安排中，該以鐵電材料組成之電容器絕緣膜成形膜能被均勻地塗佈於平面化之該下部電極與該埋入絕緣膜之上。

較佳地，此製造一鐵電記憶體裝置之方法進一步包含：在第一步驟前之一步驟，該步驟為於該個別之下部電極之

五、發明說明(8)

下形成一接觸栓，該接觸栓係藉由化學機械拋光被電氣連接至下部電極，於其中一置放於記憶體單元放置區域之週邊部分內之接觸栓係作為一不為電氣動作之虛設單元；於該記憶體單元放置區域中有一該接觸栓被放置於其中。在此安排中，該形成有該虛設單元之區域之膜厚度，藉由形成接觸栓期間之CMP腐蝕現象，被均勻地減少，相似於記憶體單元之主體區域。此確保該下部電極與該埋入絕緣膜之平面化。

較佳地，此製造一鐵電記憶體裝置的方法進一步包含：在第一步驟與第二步驟之間之步驟，該步驟為於該下部電極之個別側面上形成一用以保護該下部電極之保護膜。此安排進一步預防該下部電極自該膜之剝離。

在這情況，該保護膜係較佳地以沉積一保護膜成形膜之方法形成於一涵蓋該下部電極與整個半導體基板之表面，並回覆蝕刻(etching-back)該已被沉積之保護膜成形膜。此安排確定該保護膜形成於該下部電極之側面上。

或者，該保護膜以一於下部電極成形膜圖樣化期間所產生之生成物所形成為佳。此安排除增加一形成該保護膜之額外步驟之需要，並且減少製造程序步驟之數目。

較佳地，該製造一鐵電記憶體裝置之方法進一步包含：在第四步驟與第五步驟之間之步驟，其步驟為利用一使用於該埋入絕緣膜之蝕刻劑對該已形成之下部電極之個別上表面執行蝕刻。於此安排中，每一個該下部電極之上表面，如以截面圖視之，具有一凹陷(碟形)結構。因

五、發明說明 (9)

此，它能可靠地被移除，即使該埋入絕緣膜之殘遺存在於凹陷部分中。

在該製造一鐵電記憶體裝置之方法中，第一步驟中之該下部電極成形膜係以鉑、鉍、鈦、至少包含他們其中之一之合金、或者鉍或鈦之一氧化物所製成。

圖式簡單說明

圖1為一剖面圖，其概要地顯示一依據本發明第一個具體實施例之鐵電記憶體裝置。

圖2為一剖面圖，其概要地顯示該依據第一具體實施例之鐵電記憶體裝置中一包含虛設單元之區域。

圖3為一圖表，其顯示該依據第一具體實施例之鐵電記憶體裝置中一拋光週期與一利用接觸栓圖樣密度之腐蝕深度間之關係。

圖4A至4C為剖面圖，其說明一製造方法之個別程序步驟，該製造方法係用以製造該依據第一具體實施例之鐵電記憶體裝置。

圖5A至5C為剖面圖，其說明上述製造方法之個別程序步驟，該製造方法係用以製造該依據第一具體實施例之鐵電記憶體裝置。

圖6A至6C顯示該依據第一具體實施例之鐵電記憶體裝置，其中圖6A係為一緊隨於下部電極曝露出之後之剖面圖；圖6B為一對於該下部電極執行充份之過拋光後之剖面圖；而圖6C為一圖表，其顯示當充份之過拋光得以執行時，一凹陷之深度相對於該下部電極平面大小之圖表。

五、發明說明 (10)

圖7A與7B為平面圖，其分別顯示於該依據第一具體實施例之鐵電記憶體裝置中之下部電極。

圖8為一剖面圖，其概要地顯示一依據本發明第二具體實施例之鐵電記憶體裝置。

圖9A至9C為剖面圖，其說明一製造方法之個別程序步驟，該製造方法係用以製造該依據第二具體實施例之鐵電記憶體裝置。

圖10A與10B為剖面圖，其說明上述製造方法之個別程序步驟，該製造方法係用以製造該依據第二具體實施例之鐵電記憶體裝置。

圖11A與11B顯示一傳統鐵電記憶體裝置，其中圖11A為一剖面圖，其概要地顯示凹陷藉由過拋光形成於下部電極中；而圖11B為一剖面圖，其概要地顯示一包含虛設單元之區域。

發明詳細說明

第一具體實施例

本發明之第一具體實施例將參照圖示加以說明。

圖1概要地顯示一依據此第一具體實施例之鐵電記憶體裝置之記憶體單元部分之剖面結構。

如圖1所示，一隔絕絕緣膜12，其每一個具有，舉例來說，一淺溝隔離結構(STI structure)，以相互地隔開之關係形成於半導體基板11上部之中；該半導體基板11係以，舉例來說矽(Si)，所組成。於隔絕絕緣膜12之間之間隔區域中，一重度滲透之雜質擴散層11a被形成以作為記憶體單元電晶

五、發明說明 (11)

體之源集區域或排洩區域；該記憶體單元電晶體係以金屬氧化半導體場效電晶體(MOSFETs)所組成。

該半導體基板11之上表面係覆蓋有一以二氧化矽(SiO_2)或同類所組成之中介層絕緣膜13。一以多晶矽(Si)或鎢(W)所組成之接觸栓14形成於該中介層絕緣膜13中；該接觸栓14並且電氣連接至該個別之重度滲透之雜質擴散層11a。

一被構造為邊長1.0 μm 正方形並且電氣連接至該個別之接觸栓14之下部電極15，形成於中介層絕緣膜13之上，其態樣致使該下部電極15埋於一埋入絕緣膜16中；該埋入絕緣膜16，舉例來說，係以二氧化矽(SiO_2)、氮化矽(Si_3N_4)或氮氧化矽(SiON)所組成。

一以一鐵電材料組成之電容器絕緣膜17形成於該個別之下部電極15之上。一上部電極18形成於該個別之電容器絕緣膜17上。該下部電極15、該電容器絕緣膜17與該上部電極18構成一電容器元件30。

對於該下部電極15與該上部電極18而言，鉑(Pt)具有高抗氧化性，或者個別皆具有一氧障壁性質之銥(Ir)或鈦(Ru)被較佳地使用。使用個別具有導電性之氧化物二氧化銥(IrO_2)或二氧化鈦(RuO_2)也係為可能。使用一至少包含鉑，銥，與鈦其中之一之合金也係為可能。

雖然每一個下部電極15之厚度在沈積期間被調整為約300 nm，但是它被一平面化步驟減少到約250 nm；該平面化步驟係執行於上述埋入絕緣膜16。

PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)(此中滿足 $0 < x < 1$)或SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)

五、發明說明 (12)

被較佳地作為電容器絕緣膜17之鐵電材料。假使如此之一鐵電材料被使用，其膜厚度變化很少發生，即使該膜係以旋轉塗佈而形成。

圖2顯示一記憶體單元主體之末端部分之剖面結構，其為在圖樣化後之立刻結構；該圖樣化係用以形成該依據第一具體實施例之鐵電記憶體裝置中之下部電極15。如圖2所顯示，該第一具體實施例之特徵為，該接觸栓14也被形成為一虛設單元B而提供於該半導體基板11之記憶體單元主體區域A之週邊部分中，於其中該電容器元件係以列與欄中之方式安排。於此安排中，位於該記憶體單元主體區域A以及該虛設單元B之中介層絕緣膜13之上表面具有實質上相之高度，此高度之不同係由於該中介層絕緣膜13與該接觸栓14之間發生之腐蝕現象。如此防止了該下部電極15自該膜之剝離。

圖3顯示一拋光週期與一腐蝕深度之間關係，其係利用接觸栓之圖樣密度 γ_2 為一參數。從圖3可見，如果圖樣密度 γ_2 之數值係調整為約0.30或更小，腐蝕深度能被減少至50 nm或更少，其將不影響該下部電極15之平面化步驟。

因此，在此第一具體實施例中，包括虛設單元B之該接觸栓14之圖樣密度 γ_2 係調整為0.25，而腐蝕深度係為50 nm或更少，此時圖樣密度 γ_2 係為0.25。

以下將對一用以製造如是構造之鐵電記憶體裝置之方法作一說明。

圖4A至4C與圖5A至5C顯示該依據第一具體實施例之鐵電

五、發明說明 (13)

記憶體裝置之剖面結構，其為於上述該製造方法之個別程序步驟中之剖面結構。

首先，如圖4A所示，每一個該隔絕絕緣膜12選擇性地於半導體基板11中形成；該隔絕絕緣膜12具有，舉例來說，淺溝隔離結構。然後，如果n-型雜質層要被形成，即植入砷(As)離子或磷(P)離子；該重度滲透之雜質擴散層11a係形成為該記憶體單元電晶體源集區域或排洩區域。然後，該中介層絕緣膜13係以，舉例來說，化學氣相沉積(CVD)沉積於該隔絕絕緣膜12與該半導體基板11之整個表面。其後，利用印刷或蝕刻方法形成一接觸孔於該已沉積之中介層絕緣膜13中；該接觸孔係用以露出該個別已重度滲透之雜質擴散層11a。接著，舉例來說，該接觸栓14藉由CVD填充多晶矽或鎢於已形成之接觸孔。在此階段，一藉由CMP方法之平面化步驟被執行於一用以形成該接觸栓之導電膜與該中介層絕緣膜13。在此之後，舉例來說，鉑以濺鍍方法被沉積至一厚度約300 nm之膜於該中介層絕緣膜13以及該接觸栓14之整個表面。一下部電極成形膜15A之材料可能為鈱或鈦，而非鉑。該材料也可能是一至少包含鈱，鈦，與鉑其中之一之合金，或者鈱或鈦之一氧化物。

接著，如圖4B所示，該下部電極成形膜15A以印刷與蝕刻方法加以圖樣化，以連接到該每一個之接觸栓14，於是該下部電極15由該下部電極成形膜15A所形成。

接著，如圖4C所示，一埋入絕緣膜成形膜16A藉由，舉例來說，CVD，沉積至一約400 nm之厚度於該中介層絕緣

五、發明說明 (14)

膜13與該下部電極15之整個表面上；該埋入絕緣膜成形膜16A係以二氧化矽，氮化矽，或其同類所組成。

接著，如圖5A所示，一平面化步驟藉由CMP執行於該埋入絕緣膜成形膜16A直到該下部電極15曝露出來，藉此而該埋入絕緣膜16形成自該埋入絕緣膜成形膜16A。然後，如圖5B所示，藉由正面地利用上述腐蝕現象，過拋光被執行於該已曝露之下部電極15與該埋入絕緣膜16直到每一個該下部電極15之膜厚度成為約250 nm。

如稍後之說明，如果每一個該下部電極15具有一平面結構，其中從該下部電極的上表面之上的一任意位置到離此最近的末端部分之距離約為0.6 μm 或更少，則該下部電極15與埋入絕緣膜16能藉由該腐蝕現象而同時地拋光。此避免所謂之拋光殘遺，該拋光殘遺係為該埋入絕緣膜16於該下部電極15上表面上之殘留部分；此並且避免一凹陷於該下部電極15上表面之週邊部分中形成。

即使該下部電極15之上表面具有一難以被CMP裝置所拋光之凹陷部分，該殘留於凹陷部分中之埋入絕緣膜16當能藉由執行一濕式或乾式回覆蝕刻(etch-back)所去除；該回覆蝕刻係經過該過拋光步驟之後，執行於該下部電極15與該埋入絕緣膜16之整個表面之上。

接著，如圖5A所示，以一鐵電材料所組成之電容器絕緣膜成形膜17A以旋轉塗佈方法形成於該下部電極15與該埋入絕緣膜16之上；該旋轉塗佈方法允許該鐵電材料之成分比率能簡單地調整，並且允許膜之穩定形成。然後，以鉑

五、發明說明 (15)

或其同類所組成之上部電極成形膜18A藉由濺鍍或其同類方法於該電容器絕緣膜成形膜17A上沉積至約50 nm至200 nm之厚度。

其後，該上部電極成形膜18A與該電容器絕緣膜成形膜17A藉由印刷與蝕刻方法加以圖樣化以涵蓋每一個該下部電極15，所以該上部電極18係形成自該上部電極成形膜18A，並且該電容器絕緣膜17係形成自該電容器絕緣膜成形膜17A，而於其中吾人獲得圖1所示之該鐵電記憶體裝置。雖然該第一具體實施例已經同時將該上部電極成形膜18A與該電容器絕緣膜成形膜17A圖樣化，該上部電極成形膜18A與該電容器絕緣膜成形膜17A也能被分別地圖樣化。

因為該第一具體實施例使用了鉑，鉍，鈦，一至少包含他們其中之一之合金，或著鉍或鈦之一氧化物作為該下部電極15，即使以一高溫熱處理執行於該以一金屬氧化物鐵電材料組成之電容器絕緣膜17，該下部電極15係為穩定且較不會與包含於金屬氧化物之氧產生反應。

由於前述製造步驟之結果，每一個該下部電極15具有其以該埋入絕緣膜16填滿之周邊，其確保了平面化。即使該電容器絕緣膜成形膜17A係藉由旋轉塗佈形成，也因此，它具有一均勻之厚度。此除去該電容器絕緣膜17之電氣特性由於薄膜形成結構所產生之變化，並提供高可靠度給予一鐵電記憶體裝置。

參照圖示，以下將對發生於該下部電極15中之腐蝕現象作一說明；該下部電極15係以一化學穩定性佳且與較不具

五、發明說明 (16)

活性之材料所組成，例如鉑。

即使該下部電極15於CMP過拋光期間從埋入絕緣膜16中曝露出來，該已曝露之該下部電極15一般並不與一拋光漿反應，於是化學拋光並不發生。然而，如果一與該埋入絕緣膜16之成分例如一矽之氧化物，並與該以鉑組成之下部電極15不同成分之成員，存在於一被拋光之區域中，該以鉑或其同類組成之下部電極15將因處於一拋光壓力之下而被具體地削層；該拋光壓力係由於一所謂腐蝕現象所引起；而該下部電極15並非為拋光之目標。

圖6A與6B概要地顯示該下部電極15實際之削層狀況，其中圖6A顯示一剖面結構，其時間為於該下部電極15從該埋入絕緣膜16曝露出來後之立刻；而圖6B顯示一剖面結構，其時間為對於該下部電極15執行充份之過拋光後之立刻。本結構係為實驗之目的，所以該接觸栓14將被省略。

當過拋光被執行於該電容器元件之下部電極15之時，經過對於每一個該下部電極15之大小(平面大小)與該凹陷深度間之關係進行各種不同研究之結果，本發明之發明人有了下列各項發現。

如果該下部電極15之平面大小係相對地為大，該因腐蝕現象而形成於下部電極15之週邊部分與中央部分間之凹陷深度d係將增加，因此該曾經平面化之下部電極15上表面具有一粗糙結構。

然而如果每一個該下部電極15之大小夠小，該下部電極15如以一高配置密度配置之，甚至該下部電極15之中央部

五、發明說明 (17)

分能藉由腐蝕現象而加以拋光。本發明之發明人發現此可除去該下部電極15上表面之粗糙狀況並且於此增加其平面度。

藉由如此相對地減少該下部電極15之平面大小並且正面地利用該腐蝕現象，上述凹陷之形成能被避免。結果，過拋光能被執行於該下部電極15，而仍然保有該上部表面之平面度，所以該埋入絕緣膜16之拋光殘遺能得以避免。

圖6C顯示，每一個該下部電極15之平面大小與該凹陷深度間之關係，當充份之過拋光於焉執行時。於此，鉑被用於該下部電極15而一矽氧化物(SiO_2)被用於該埋入絕緣膜16。該拋光係利用一包含矽石(SiO_2)之拋光漿做為一主要元件，並有某條件為拋光壓盤之迴轉速度係約為300轉/每分，載體之迴轉速度約為17轉/每分；並且施於該載體壓盤之壓力約為 $3.8 \times 10^4 \text{ Pa}$ 。

從圖6C，吾人可瞭解當下部電極15的平面大小約為 $1.2 \mu\text{m}$ 或更少時該凹陷之深度小至約20 nm，甚至當該以鉑組成之下部電極15被該腐蝕現象所拋光。也就是，如果自該下部電極15上之一任意位置至其末端部分之最短距離約為 $0.6 \mu\text{m}$ 或更少，該凹陷之深度是可以被忽略的，且優良之平面度將被達成。另一方面，如果該下部電極15之平面大小比 $1.5 \mu\text{m}$ 大，則該凹陷深度將增加而影響該電容器元件之操作特性，且利用該腐蝕現象之平面化方法將不能夠得以執行。

如上所述，如果該下部電極15之成分對拋光漿較不具活

五、發明說明 (18)

性，以致於自該下部電極15上之一任意位置至其末端部分之最短距離約為0.6 μm 或更少，該下部電極15與該位於下部電極15之週邊部分中之埋入絕緣膜16能相地得以削層，甚至於過拋光期間亦是如此；因此該凹陷之形成得以避免。

假如銥、其一氧化物、或其同類而不是鉑被使用，該形成於下部電極15中之凹陷深度係為一致。假如使用一難以行CMP拋光且僅能行物理拋光之材料，依然可得相同結果。

如果該下部電極15具有一如圖7A所示之正方形平面結構，一自該正方形中央位置到每個側邊之垂直線具有一最短距離1因此該最短距離1只有一位置可達成。如果該下部電極15B具有，舉例來說，如圖7B所示之一橢圓平面結構，該最短距離1可於一之位置達成。

該下部電極15可不只以一單層結構，也可以一多層結構所組成；該多層結構係由一含鈦之第一導電膜與一以化學性質穩定之材料例如鉑所組成之第二導電膜；該第一導電膜之鈦成分具有避免接觸栓14氧化之效果。

第二具體實施例

本發明之第二具體實施例將參照圖示以說明之。

圖8概要地顯示一依據第二具體實施例之鐵電記憶體裝置中之記憶體單元部分之剖面結構。藉由保有相同之參考數字，假使圖1中顯示有與圖8所顯示之元件相同，其相同元件之說明將被省略。

五、發明說明 (19)

如圖8所示，依據第二具體實施例之該鐵電記憶體裝置之特徵為每一個該下部電極22以一反應阻止膜20與一電極主體膜21所組成，該電極主體膜21係連續形成於該接觸栓14上；其特徵並且為保護膜23形成於該下部電極22之側面上以確實避免於該下部電極22之平面化期間該膜之剝離現象。

在第二具體實施例中，每一個電容器元件30係由該以反應阻止膜20與該電極主體膜21組成之下部電極22，電容器絕緣膜17，以及上部電極18所共同組成。

一有能力避免金屬或導電氧化物與鎢或多晶矽間發生反應之導電材料，可較佳地作為該位於該電極主體膜21與該接觸栓14間之反應阻止膜20之材料；其中該金屬或導電氧化物例如鉑或氧化銦係為構成該電極主體膜21之材料；該鎢或多晶矽例如氮化鈦(TiN)，包含低比例氧之氮氧化鈦(TiON)，或一含鈦之合金係為構成該接觸栓14之材料。

該用於保護下部電極22側面之保護膜23可為絕緣性或導電性。舉例來說，二氧化矽(SiO₂)，一矽氮化物(SiN_x)，或氮氧化矽(SiON)可被適當地作為絕緣材料。一附著於該下部電極22側面上之沉積物(副產物)可能被適當地作為導電材料，假使用以形成該下部電極22之圖樣化係藉由一氣體混合物乾式蝕刻加以執行；該氣體混合物，舉例來說，可為氬(Ar)與氯(Cl)。此允許形成該保護膜23之步驟與該圖樣化(蝕刻)步驟得以省略。

以下將會對一用以製造該如是構造之鐵電記憶體裝置之

五、發明說明 (20)

方法作一說明。

圖 9A 至 9C 以及圖 10A 與 10B 顯示該依據第二具體實施例之鐵電記憶體裝置於該製造方法中個別程序步驟之剖面結構。

首先，如圖所示 9A，一皆具有一淺溝隔離結構之隔絕絕緣膜 12 選擇性形成於半導體基板 11。然後，如果 n-型雜質層要被形成，砷離子或磷離子被植入，於此一重度滲透之雜質擴散層被形成以作為記憶體單元電晶體之源集區域或排洩區域。然後，舉例來說，該中介層絕緣膜 13 被以 CVD 方法沉積於該半導體基板 11 與該隔絕絕緣膜 12 之整個表面。其後，利用印刷或蝕刻方法形成一接觸孔於該已沉積之中介層絕緣膜 13 中；該接觸孔係用以露出該個別已重度滲透之雜質擴散層 11a。接著，舉例來說，該接觸栓 14 藉由 CVD 填充多晶矽或鎢於已形成之接觸孔。在此階段，一藉由 CMP 方法之平面化步驟被執行於一用以形成該接觸栓之導電膜與該中介層絕緣膜 13。之後，舉例來說，以濺鍍之沉積方法形成一厚度約 50 nm 以鈦氮化物組成之反應防止膜成形膜 20A 於該中介層絕緣膜 13 與該接觸栓 14 之整個表面之上。之後，舉例來說，鉑以濺鍍方法沉積至一約 250 nm 之厚度於該中介層絕緣膜 13 與該接觸栓 14 之整個表面之上。該電極主體成形膜 21A 之材料可能為銥或鈦，而非鉑。該材料亦可能為一至少含有銥，鈦，與鉑其中之一之合金或者銥或鈦之一氧化物。

接著，如圖 9B 所示，該電極主體成形膜 21A 與該反應防

五、發明說明 (21)

止膜成形膜20A以印刷與或乾式蝕刻方法加以圖樣化，以連接到每一個該接觸栓14，於是該電極主體膜21係由該電極主體成形膜21A所形成，而該反應防止膜20係由該反應防止膜成形膜20A所形成，因此該以該電極主體膜21與該反應防止膜20所組成之下部電極22於焉形成。其後，一具有約100 nm厚度、以一矽氮化物組成之保護膜成形膜被以，舉例來說CVD方法，沉積於該中介層絕緣膜13與該下部電極22之整個表面之上。該已沉積之保護膜成形膜被回覆蝕刻以於該下部電極22之側面上形成該以保護膜成形膜所組成之保護膜23。

捨去藉著回覆蝕刻程序而從該保護膜成形膜形成該類似邊牆一般之保護膜23，該保護膜23也可能藉由對該電極主體成形膜21A與該反應防止膜成形膜20A執行乾式蝕刻而形成；該乾式蝕刻係使用氫與氯之一氣體混合物。此允許該以蝕刻之一副產物組成之保護膜23之形成，其並具有與該下部電極22相同之成分，以便該下部電極22與該保護膜23間之附著力得以改良，並且步驟之數目得以如願減少。

接著，如圖9C所示，該埋入絕緣膜成形膜16A藉由，舉例來說，CVD，沉積至一約400 nm之厚度於該中介層絕緣膜13、該下部電極22以及該保護膜23之整個表面上；該埋入絕緣膜成形膜16A係以二氧化矽，氮化矽，或其同類所組成。

接著，如圖10A所示，該平面化步驟藉由CMP執行於該埋入絕緣膜成形膜16A直到該下部電極15曝露出來，藉此而該

五、發明說明 (22)

埋入絕緣膜16形成自該埋入絕緣膜成形膜16A。然後，藉由正面地利用上述腐蝕現象，過拋光被執行於該已曝露之下部電極22與該埋入絕緣膜16直到每一個該下部電極22之膜厚度成為約250 nm。

如前之說明，因為每一個該下部電極22之電極主體膜21具有一平面結構，其中從該下部電極的上表面之上的一任意位置到離此最近之末端部分之距離約為0.6 μm 或更少，則該電極主體膜21與該埋入絕緣膜16能藉由該腐蝕現象而同時地拋光。此避免所謂之拋光殘遺，該拋光殘遺係為該埋入絕緣膜16於該下部電極22上表面上之殘留部分；此並且避免一凹陷於該下部電極22上表面之週邊部分中形成。

進一步地，該位於下部電極22側面之保護膜之提供避免了該反應阻止膜20之個別側面與該電極主體膜21之曝露於外，此當然阻止該下部電極22由於拋光墊而自其膜剝離。即使該下部電極22之上表面具有一難以被CMP裝置所拋光之凹陷部分，該殘留於凹陷部分中之埋入絕緣膜16當能藉由執行一濕式或乾式回覆蝕刻(etch-back)所去除；該回覆蝕刻係經過該過拋光步驟之後，執行於該下部電極22與該埋入絕緣膜16之整個表面之上。

接著，如圖10B所示，該以一鐵電材料所組成之電容器絕緣膜成形膜17A以旋轉塗佈方法形成於該下部電極22與該埋入絕緣膜16之上。然後，以鉑或其同類所組成之上部電極成形膜18A藉由濺鍍或其同類方法於該電容器絕緣膜成形膜

五、發明說明 (23)

17A上沉積至約50 nm至200 nm之厚度。

其後，該上部電極成形膜18A與該電容器絕緣膜成形膜17A藉由印刷或蝕刻方法加以圖樣化以涵蓋每一個該下部電極22，所以該上部電極18係形成自該上部電極成形膜18A，並且該電容器絕緣膜17係形成自該電容器絕緣膜成形膜17A，而於其中吾人獲得圖8所示之該鐵電記憶體裝置。雖然該第二具體實施例已經同時將該上部電極成形膜18A與該電容器絕緣膜成形膜17A圖樣化，該上部電極成形膜18A與該電容器絕緣膜成形膜17A也能被分別地圖樣化。

因為該第二具體實施例亦使用了鉑，鉍，鈦，一至少包含他們其中之一之合金，或著鉍或鈦之一氧化物作為該下部電極22之電極主體膜21，即使以一高溫熱處理執行於該以一金屬氧化物鐵電材料組成之電容器絕緣膜17，該下部電極22較不會與包含於金屬氧化物中之氧產生反應。

再者，因為該第二具體實施例已提供該以鈦氮化物或其含鈦同類所組成之反應避免膜20於該接觸栓14與該電極主體膜21之間，該下部電極22之電極主體膜21更得以正面地穩定。

由於前述步驟之結果，每一個該下部電極22具有其以該保護膜23與該埋入絕緣膜16填滿之周邊，其確保了平面化。即使該電容器絕緣膜成形膜17A係藉由旋轉塗佈形成，也因此，它具有一均勻之厚度。此除去該電容器絕緣膜17A之電氣特性由於薄膜形成結構所產生之變化，並提供高可靠

五、發明說明 (24)

度給予一鐵電記憶體裝置。

因為構成該下部電極22之電極主體膜21之鉑或其同類一般並不易加以蝕刻，如果蝕刻係利用一含氫為主要元件之蝕刻氣體加以執行，一蝕刻副產物將形成於該下部電極22之側面上。利用副產物本身作為該保護膜23，該具有導電性之保護膜23能被輕易地形成。因為該副產物難以移除，該下部電極22於該CMP平面化程序期間所發生自其薄膜之剝離現象能正面地得以避免。

該提供於該下部電極22下部之反應阻止膜20不需必然地被提供。該下部電極22也可能只以該電極主體膜21所組成。

四、中文發明摘要(發明之名稱： 鐵電記憶體裝置及其製造方法)

本鐵電記憶體裝置具有複數個電容器元件，每一電容器形成於一半導體基板上，並且由一下部電極、一位於下部電極上以鐵電材料製成之電容器絕緣膜、以及一形成於電容器絕緣膜上之上部電極所組成。每一個下部電極係埋於一埋入絕緣膜(burying insulating film)之中以具有一平面化之上表面，該下部電極之上表面對應於該埋入絕緣膜之上表面而言係為平面化的；該下部電極並具有一平面結構，以致從該下部電極上表面之上之一任意位置到離此最近之末端部分之距離為0.6 μm 或更少。

英文發明摘要(發明之名稱： FERROELECTRIC MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME)

The ferroelectric memory device has a plurality of capacitor elements each formed on a semiconductor substrate and composed of a lower electrode, a capacitor insulating film made of a ferroelectric material formed on the lower electrode, and an upper electrode formed on the capacitor insulating film. Each of the lower electrodes is buried in a burying insulating film to have an upper surface planarized relative to the upper surface of the burying insulating film and has a plane configuration such that the distance from an arbitrary position on the upper surface of the lower electrode to the nearest end portion thereof is 0.6 μm or less.

六、申請專利範圍

1. 一種鐵電記憶體裝置，其包含：

複數之電容器元件，其形成於一半導體基板上，並以下部電極、一形成於該下部電極上且以一鐵電材料製成之電容器絕緣膜以及一形成於該電容器絕緣膜上之上部電極組成；

每一該下部電極係埋於一埋入絕緣膜之中，以具有一平面化之上表面，該下部電極之上表面對應於該埋入絕緣膜之上表面而言係為平面化的，該下部電極並具有一平面結構，以致從該下部電極上表面之上之一任意位置至離此最近之末端部分之距離約為0.6 μm 或更少。

2. 如申請專利範圍第1項之鐵電記憶體裝置，其中一用以保護每一該下部電極之保護膜係形成於該下部電極之側面上。

3. 如申請專利範圍第1項之鐵電記憶體裝置，其中每一該電容器元件具有一接觸栓形成於該下部電極之下並電氣連接至該下部電極。

4. 如申請專利範圍第3項之鐵電記憶體裝置，其中一虛設記憶體單元係放置於一記憶體單元放置區域之週邊部分之內，其虛設記憶體單元具有一虛設電容器元件，其虛設電容器元件包含一下部電極，其下部電極不為電氣動作，其記憶體單元放置區域放置有該電容器元件；以及

一接觸栓形成於該虛設電容器元件之下部電極之下，其係連接至該虛設電容器元件之下部電極並且具有幾乎與每一該電容器元件之接觸栓相同之結構與材料。

六、申請專利範圍

5. 如申請專利範圍第3項之鐵電記憶體裝置，其中該接觸栓之總面積相對於該記憶體單元放置區域之面積之一比率數值約為0.3或更少。
6. 如申請專利範圍第1項之鐵電記憶體裝置，其中該下部電極係以鉑，銦，鈦，一至少包含鉑、銦、與鈦其中之一之合金，或者銦或鈦之一氧化物所製成。
7. 一種製造一鐵電記憶體裝置之方法，其包含：
 - 一 第一步驟，其為於一半導體基板上形成一下部電極成形膜並且將該已成形之下部電極成形膜加以圖樣化，自此以形成複數之下部電極，其每一該下部電極具有一特定之外部大小以致於一凹陷不因一腐蝕現象所形成；
 - 一 第二步驟，其為沉積一埋入絕緣膜於半導體基板之整個表面上，以致於該下部電極為該埋入絕緣膜所覆蓋；
 - 一 第三步驟，其為對該埋入絕緣膜執行化學機械拋光，直到該下部電極曝露出來；
 - 一 第四步驟，其為對該一已曝露出之下部電極與該埋入絕緣膜執行過拋光，以使該下部電極與該埋入絕緣膜之個別上表面平面化；
 - 一 第五步驟，其為於該已平面化之下部電極與埋入絕緣膜之上，形成一以鐵電材料製成之電容器絕緣膜成形膜；
 - 一 第六步驟，其為形成一上部電極成形膜於該電容器絕緣膜成形膜上；

六、申請專利範圍

一第七步驟，其為將該電容器絕緣膜成形膜加以圖樣化，從而自此形成之電容器絕緣膜，其電容器絕緣膜係個別對應於該下部電極；以及

一第八步驟，其為將該上部電極成形膜加以圖樣化從而自此形成之上部電極，其上部電極係對應於個別該電容器絕緣膜。

8. 如申請專利範圍第7項之方法，其第五步驟中該電容器絕緣膜成形膜係以旋轉塗佈形成。

9. 如申請專利範圍第7項之方法，於第一步驟之前，進一步包含一步驟為：

一接觸栓之形成步驟，其形成於該個別下部電極之下，其接觸栓利用化學機械拋光被電氣連接至該下部電極，並於其中

一接觸栓係用於一不為電氣動作之虛設單元，其接觸栓係放置於一記憶體單元放置區域之週邊部分之內，其記憶體單元放置區域之內放置有該接觸栓。

10. 如申請專利範圍第7項之方法，於第一步驟與第二步驟之間進一步包含一步驟為：

一保護膜之形成步驟，其保護膜係用以於該下部電極之個別側面上保護該下部電極。

11. 如申請專利範圍第10項之方法，其中該保護膜係以沉積一保護膜成形膜於該半導體基板與該下部電極之整個表面之上，並以回覆蝕刻該已沉積之保護膜成形膜之方法而形成。

六、申請專利範圍

12. 如申請專利範圍第10項之方法，其中該保護膜係從一生成物所形成，其生成物係產生於該下部電極成形膜之圖樣化之期間。
13. 如申請專利範圍第7項之方法，於第四步驟與第五步驟之間進一步包含一步驟為：
執行蝕刻於該已形成之下部電極之個別上表面，其係利用一蝕刻劑，其蝕刻劑係用於該埋入絕緣膜。
14. 如申請專利範圍第7項之方法，於該第一步驟中之下部電極成形膜係以鉑，銦，鈦，一至少含有鉑、銦、與鈦其中之一之合金，或者銦或鈦之一氧化物所製成。

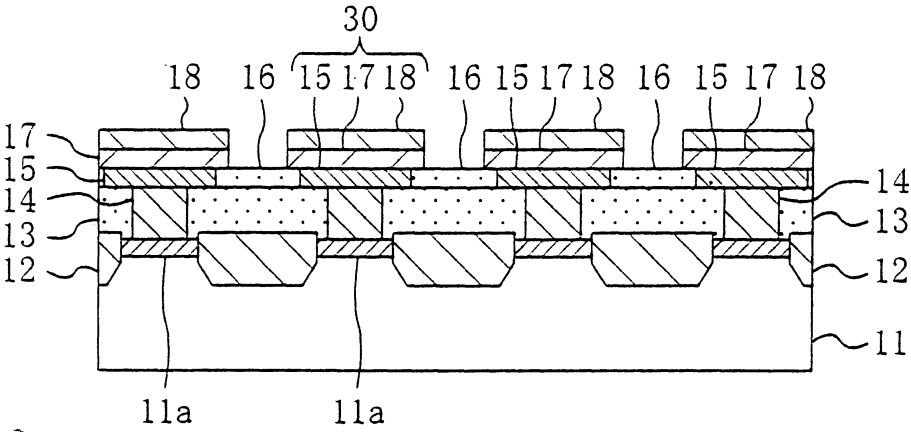


圖 1

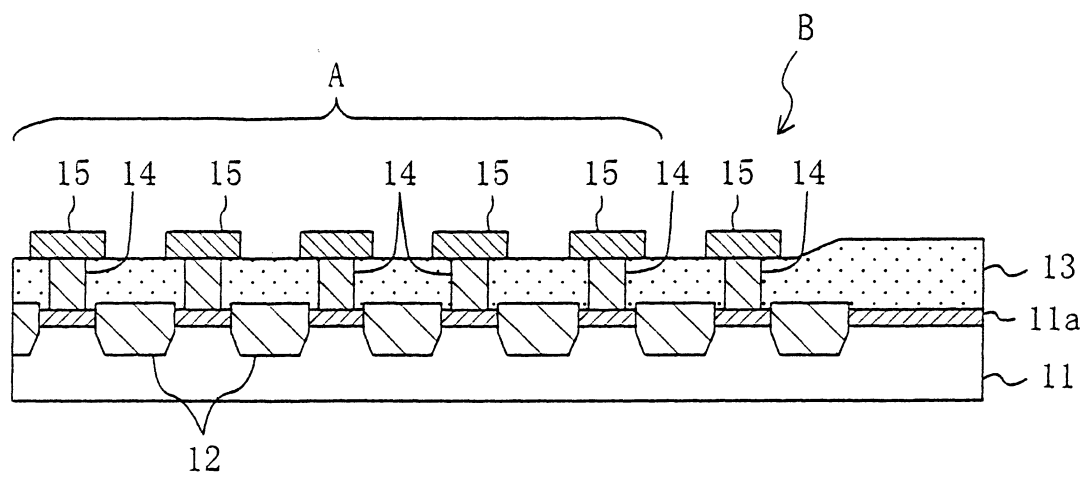


圖 2

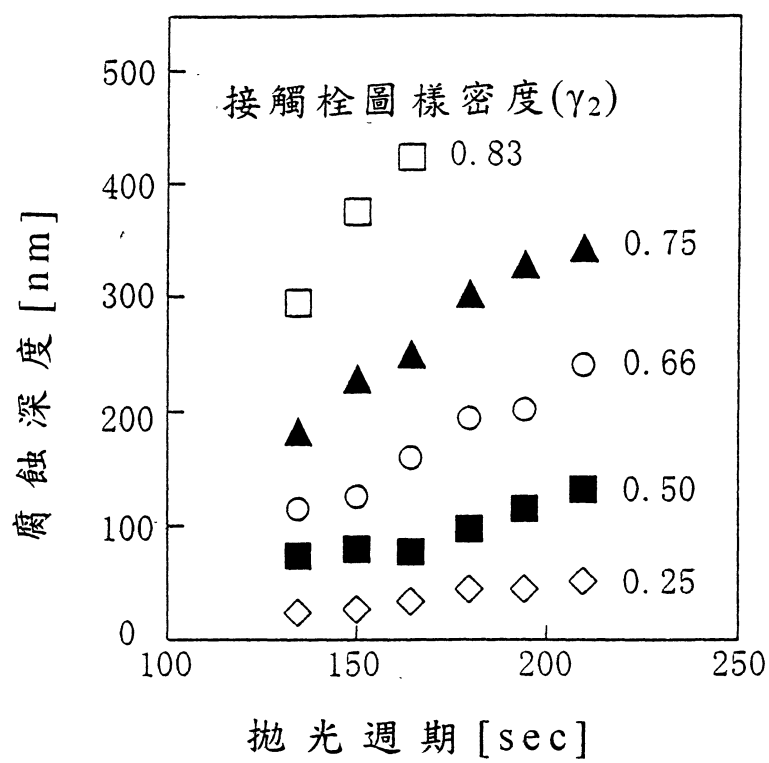


圖 3

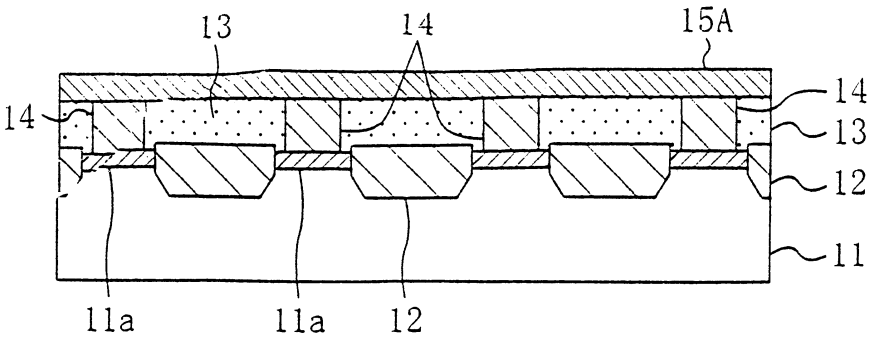


圖 4A

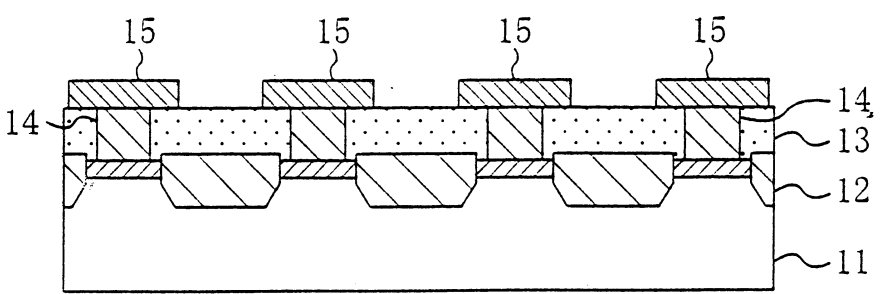


圖 4B

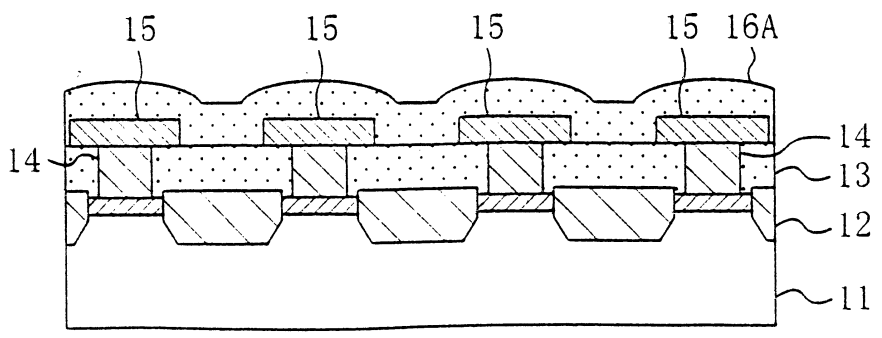


圖 4C

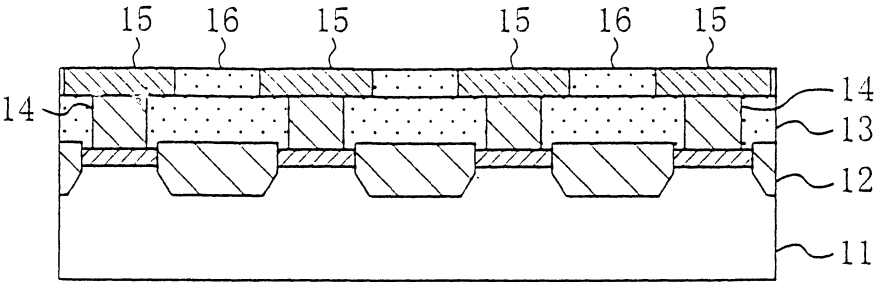


圖 5A

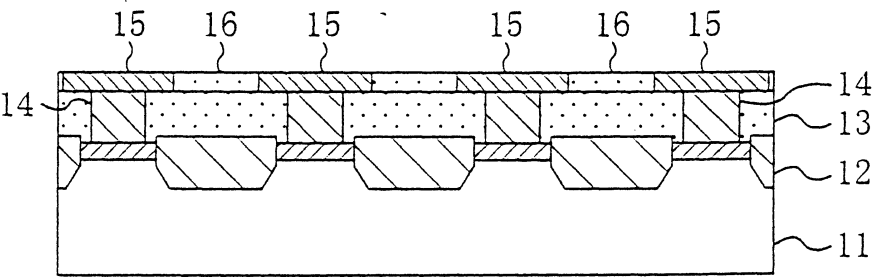


圖 5B

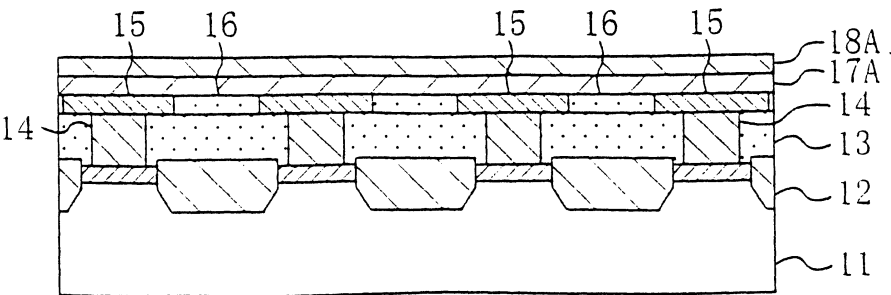


圖 5C

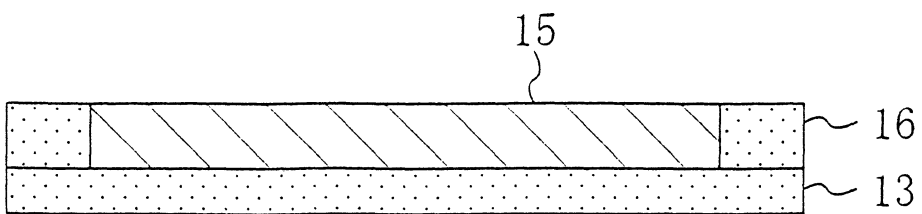


圖 6A

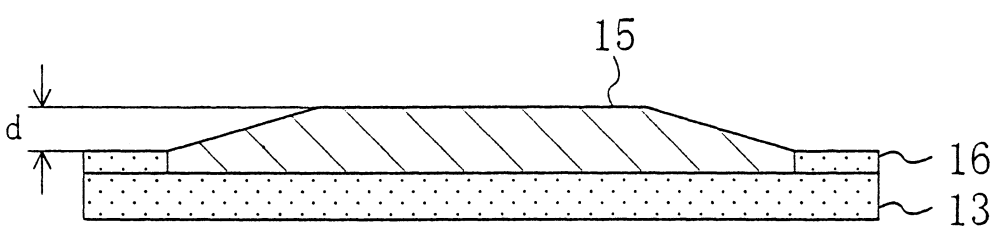


圖 6B

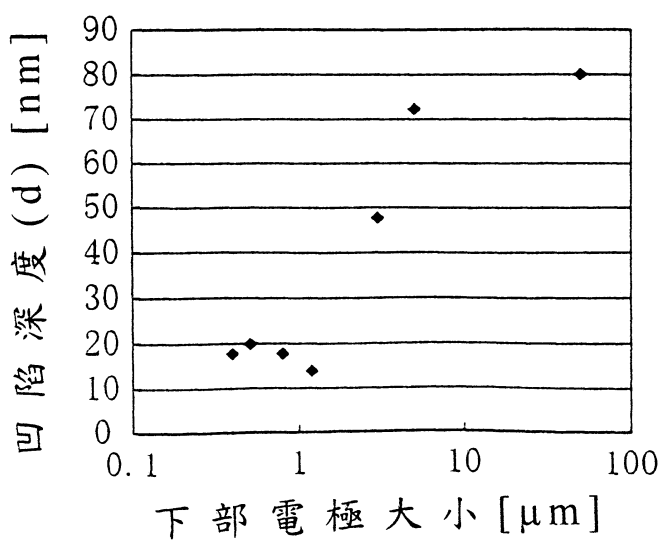


圖 6C

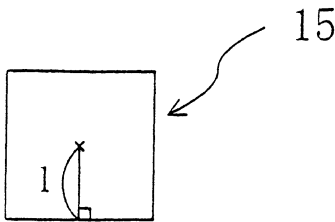


圖 7A

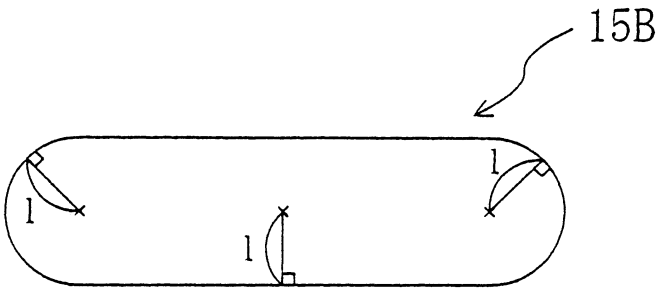


圖 7B

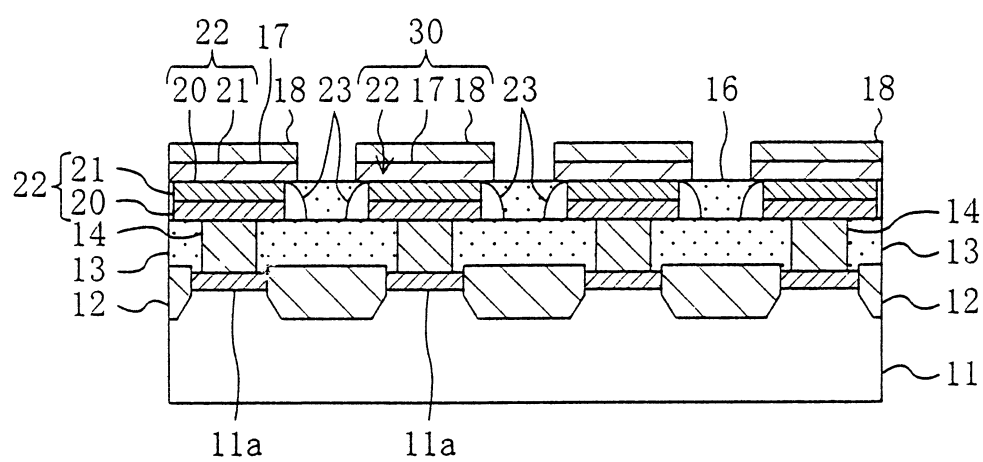


圖 8

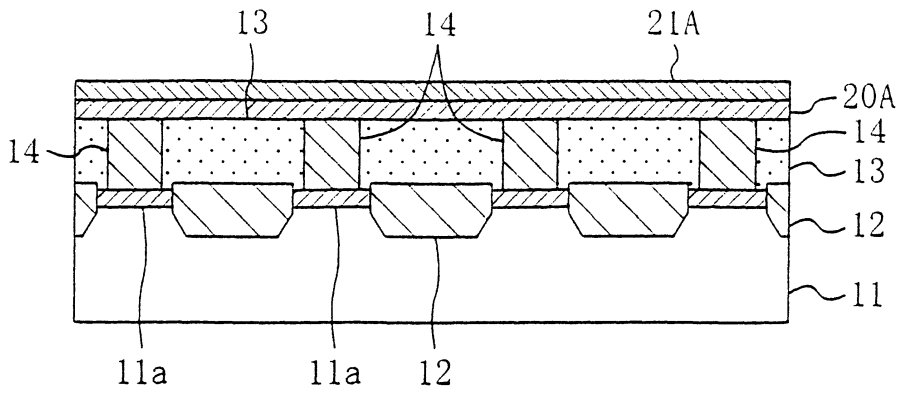


圖 9A

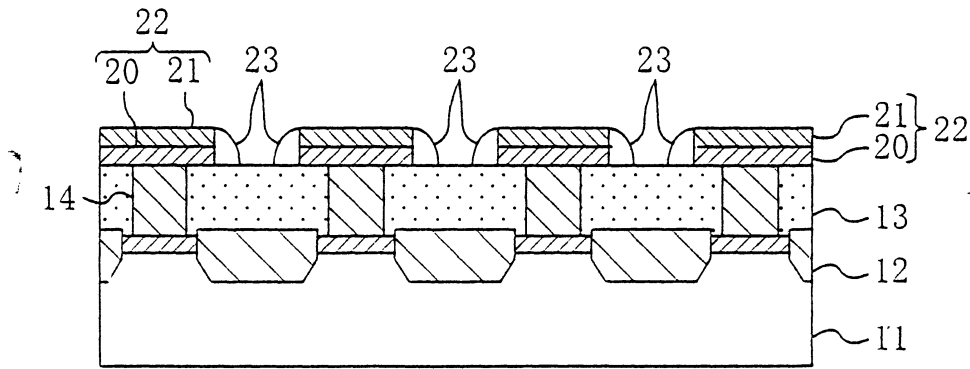


圖 9B

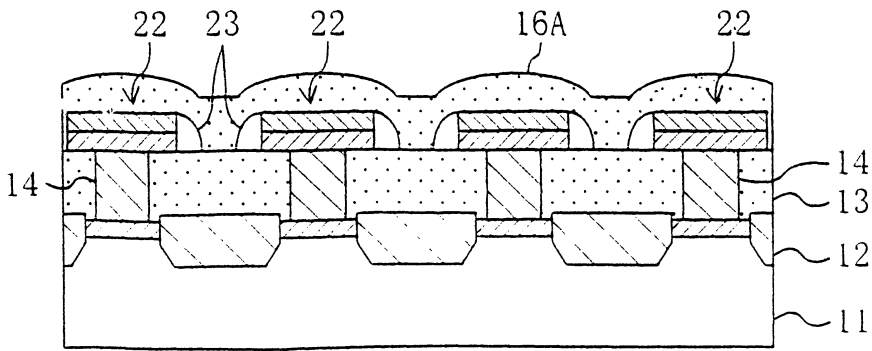


圖 9C

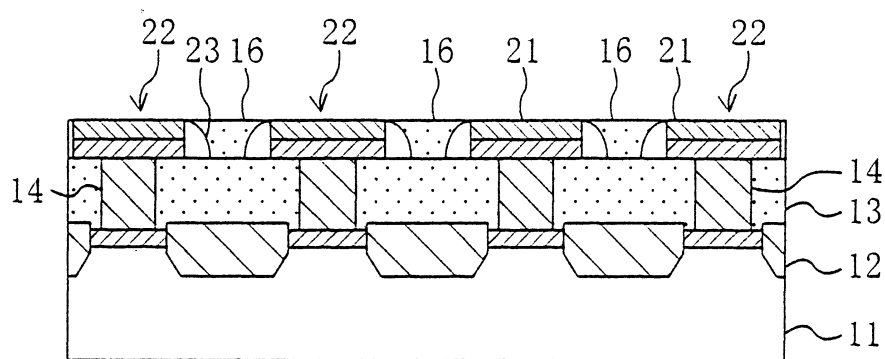


圖 10A

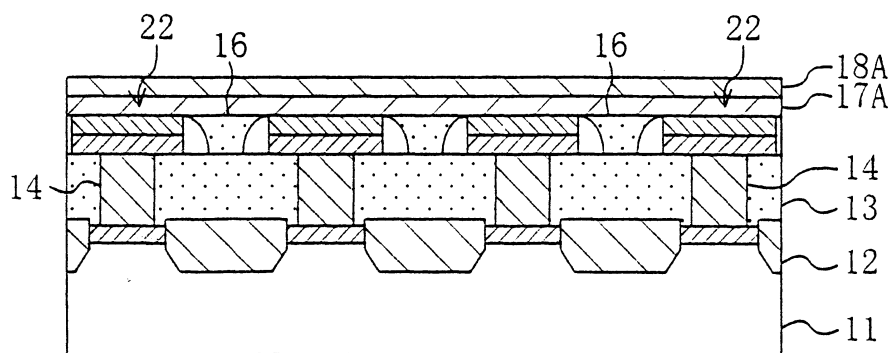


圖 10B

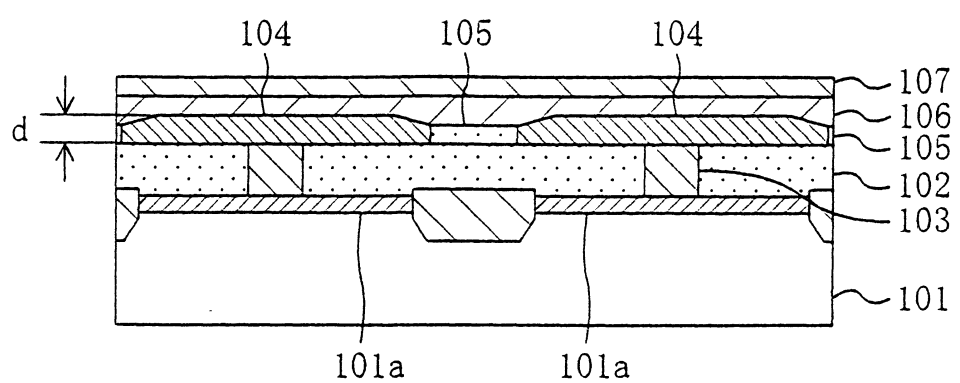


圖 11A
先前技藝

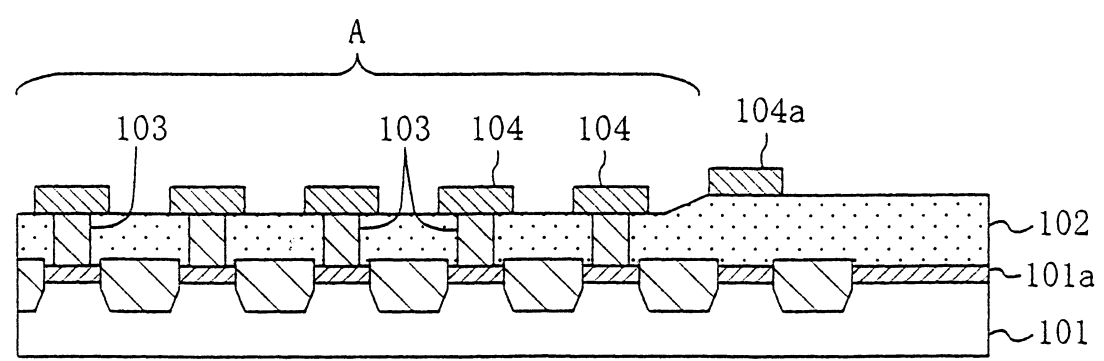


圖 11B
先前技藝