



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월03일

(11) 등록번호 10-1565641

(24) 등록일자 2015년10월28일

(51) 국제특허분류(Int. Cl.)
 H01G 4/12 (2006.01) H01G 2/06 (2006.01)
 H01G 4/30 (2006.01)

(21) 출원번호 10-2013-0042452

(22) 출원일자 2013년04월17일

심사청구일자 2013년04월17일

(65) 공개번호 10-2014-0124657

(43) 공개일자 2014년10월27일

(56) 선행기술조사문헌

JP05074644 A*

JP09260184 A*

JP2007258279 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자

이우준

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

오대복

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

(뒷면에 계속)

(74) 대리인

특허법인씨엔에스

전체 청구항 수 : 총 8 항

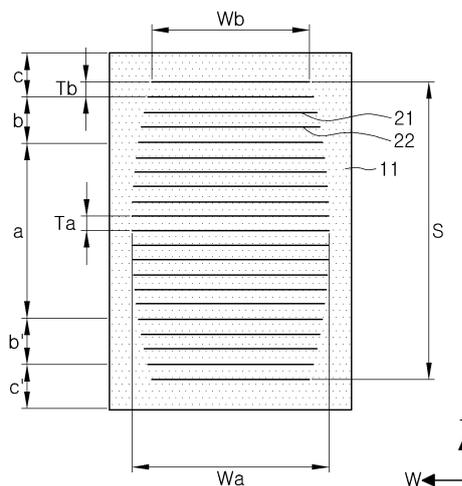
심사관 : 전한철

(54) 발명의 명칭 적층 세라믹 전자부품 및 그 실장 기판

(57) 요약

본 발명은 적층 세라믹 전자부품 및 그 실장 기판에 관한 것으로, 유전체층을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극;을 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 용량 형성부인 액티브층 및 상기 액티브층의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층을 포함하며, 상기 액티브층을 상기 제1 및 제2 내부전극의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역의 내부전극의 폭을 W_a , 상부 및 하부 영역의 내부전극의 폭을 W_b 라 하면, $0.920 \leq W_b/W_a \leq 0.998$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

대표도 - 도2



(72) 발명자

최재열

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

김위헌

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

김상혁

경기 수원시 영통구 매영로 150, (매탄동, 삼성
전기)

명세서

청구범위

청구항 1

유전체층을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체; 및
 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 적층되고, 상기 세라믹 본체의 두께 방향으로 적층되는 제1 및 제2 내부전극;을 포함하며,
 상기 세라믹 본체는 정전 용량 형성에 기여하는 용량 형성부인 액티브층 및 상기 액티브층의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층을 포함하며, 상기 액티브층을 상기 제1 및 제2 내부전극의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역의 내부전극의 폭을 Wa, 상부 및 하부 영역의 내부전극의 폭을 Wb라 하면, $0.920 \leq Wb/Wa \leq 0.998$ 을 만족하고,
 상기 중앙부 영역의 유전체층의 두께를 Ta, 상기 상부 및 하부 영역의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족하는 적층 세라믹 전자부품.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 유전체층의 평균 두께를 td라 하면, $0.1 \mu m \leq td \leq 0.6 \mu m$ 를 만족하는 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,
 상기 제1 및 제2 내부전극의 두께는 $0.6 \mu m$ 이하인 적층 세라믹 전자부품.

청구항 5

삭제

청구항 6

삭제

청구항 7

유전체층을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체; 및
 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 적층되고, 상기 세라믹 본체의 두께 방향으로 적층되는 제1 및 제2 내부전극;을 포함하며,
 상기 세라믹 본체는 정전 용량 형성에 기여하는 용량 형성부인 액티브층 및 상기 액티브층의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층을 포함하며, 상기 액티브층을 상기 제1 및 제2 내부전극의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역의 내부전극의 폭을 Wa, 상부 및 하부 영역의 내부전극의 폭을 Wb라 하면, $0.920 \leq Wb/Wa \leq 0.998$ 을 만족하고, 상기 3개 영역 중 중앙부 영역의 유전체층의 두께를 Ta, 상부 및 하부 영역의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족하는 적층 세라믹

전자부품.

청구항 8

제7항에 있어서,
상기 유전체층의 평균 두께를 td 라 하면, $0.1\mu m \leq td \leq 0.6\mu m$ 를 만족하는 적층 세라믹 전자부품.

청구항 9

제7항에 있어서,
상기 제1 및 제2 내부전극의 두께는 $0.6\mu m$ 이하인 적층 세라믹 전자부품.

청구항 10

제7항에 있어서,
상기 유전체층의 적층수는 500층 이상인 것을 특징으로 하는 적층 세라믹 전자부품.

청구항 11

삭제

청구항 12

삭제

청구항 13

상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및
상기 인쇄회로기판 위에 설치된 제1항, 제3항, 제4항 및 제7항 내지 제10항 중 어느 한 항의 적층 세라믹 전자부품;을 포함하는 적층 세라믹 전자부품의 실장 기판.

발명의 설명

기술분야

[0001] 본 발명은 적층 세라믹 커패시터 및 적층 세라믹 커패시터의 회로 기판 실장 구조에 관한 것이다.

배경기술

[0002] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다.

[0003] 이에 따라 유전체와 내부전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께는 얇아지면서 적층수가 증가하는 적층 세라믹 전자 부품들이 제조되고 있다.

[0004] 상기 적층 세라믹 전자부품의 소형화가 가능하고, 유전체와 내부전극의 박막화가 가능하면서 고용량화 구현을 위해 적층수를 증가시킬 수 있게 되었다.

[0005] 상기 유전체층의 두께와 내부전극의 두께는 얇아지면서 적층수가 증가함에 따라 높은 용량 구현은 가능하나, 적층수 증가로 인한 단차 문제가 발생하여 신뢰성이 악화되는 문제가 있다.

[0006] 특히, 세라믹 본체의 압착시 스트레스가 큰 커버층 근처에서는 쇼트가 빈번히 발생하여 신뢰성이 저하되는 문제점이 있다.

[0007] 적층 세라믹 전자부품이 적층수 증가에 따라 고용량을 구현하면서도 단차에 의한 신뢰성 저하를 막을 수 있는 연구는 여전히 필요한 실정이다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본공개특허공보 2005-129802

발명의 내용

해결하려는 과제

[0009] 본 발명은 적층 세라믹 커패시터 및 적층 세라믹 커패시터의 회로 기관 실장 구조에 관한 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시형태는 유전체층을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극;을 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 용량 형성부인 액티브층 및 상기 액티브층의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층을 포함하며, 상기 액티브층을 상기 제1 및 제2 내부전극의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역의 내부전극의 폭을 Wa, 상부 및 하부 영역의 내부전극의 폭을 Wb라 하면, $0.920 \leq Wb/Wa \leq 0.998$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

[0011] 상기 중앙부 영역의 유전체층의 두께를 Ta, 상기 상부 및 하부 영역의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족할 수 있다.

[0012] 상기 유전체층의 평균 두께를 td라 하면, $0.1 \mu\text{m} \leq td \leq 0.6 \mu\text{m}$ 를 만족할 수 있다.

[0013] 상기 제1 및 제2 내부전극의 두께는 $0.6 \mu\text{m}$ 이하일 수 있다.

[0014] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 두께 방향으로 적층될 수 있다.

[0015] 본 발명의 다른 실시형태에 따르면, 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 폭 방향으로 적층될 수 있다.

[0016] 본 발명의 다른 실시형태는 유전체층을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전

극;을 포함하며, 상기 세라믹 본체는 정전 용량 형성에 기여하는 용량 형성부인 액티브층 및 상기 액티브층의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층을 포함하며, 상기 액티브층을 상기 제1 및 제2 내부전극의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역의 유전체층의 두께를 Ta, 상부 및 하부 영역의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

[0017] 상기 유전체층의 평균 두께를 td라 하면, $0.1\mu\text{m} \leq td \leq 0.6\mu\text{m}$ 를 만족할 수 있다.

[0018] 상기 제1 및 제2 내부전극의 두께는 $0.6\mu\text{m}$ 이하일 수 있다.

[0019] 상기 유전체층의 적층수는 500층 이상인 것을 특징으로 할 수 있다.

[0020] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 두께 방향으로 적층될 수 있다.

[0021] 본 발명의 다른 실시형태에 따르면, 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 폭 방향으로 적층될 수 있다.

[0022] 본 발명의 또 다른 실시형태는 상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및 상기 인쇄회로기판 위에 설치된 제1항 내지 제12항 중 어느 한 항의 적층 세라믹 전자부품;을 포함하는 적층 세라믹 전자부품의 실장 기판을 제공한다.

발명의 효과

[0023] 본 발명에 따르면 정전용량의 대용량화를 구현하면서 신뢰성이 우수한 대용량 적층 세라믹 전자부품의 구현이 가능하다.

[0024] 구체적으로, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 상하 커버층에 인접한 액티브층의 상부 및 하부 영역의 유전체층의 두께는 증가시키고, 내부전극의 중첩되는 면적을 줄여 단차로 인한 쇼트 불량을 막아 신뢰성이 우수한 효과가 있다.

[0025] 또한, 액티브층의 중앙부 영역의 유전체층의 두께는 얇게 하고, 내부전극의 중첩되는 면적을 증가시켜 정전용량의 대용량화를 구현할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 도시한 사시도이다.

도 2는 도 1의 적층 세라믹 커패시터를 폭 방향으로 절단하여 도시한 단면도이다.

도 3은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 도시한 사시도이다.

도 4는 도 3의 적층 세라믹 커패시터를 폭 방향으로 절단하여 도시한 단면도이다.

도 5는 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.
- [0029] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 도시한 사시도이다.
- [0030] 도 2는 도 1의 적층 세라믹 커패시터를 폭 방향으로 절단하여 도시한 단면도이다.
- [0031] 도 1 및 도 2를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 유전체층(11)을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(11)을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극(21, 22);을 포함하며, 상기 세라믹 본체(10)는 정전 용량 형성에 기여하는 용량 형성부인 액티브층(S) 및 상기 액티브층(S)의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층(c, c')을 포함하며, 상기 액티브층(S)을 상기 제1 및 제2 내부전극(21, 22)의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역(a)의 내부전극의 폭을 Wa, 상부 및 하부 영역(b, b')의 내부전극의 폭을 Wb라 하면, $0.920 \leq Wb/Wa \leq 0.998$ 을 만족할 수 있다.
- [0032] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0033] 상기 세라믹 본체(10)는 특별히 제한되지 않으며, 예를 들어 육면체 형상을 가질 수 있다.
- [0034] 한편, 본 실시 형태의 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0035] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 유전체층(11)을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(11)을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극(21, 22);을 포함할 수 있다.
- [0036] 상기 제1 및 제2 내부전극(21, 22)은 특별히 제한되지 않으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag) 합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0037] 상기 유전체층(11)은 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨(BaTiO₃)계 또는 티탄산스트론튬(SrTiO₃)계 분말을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

- [0038] 한편, 상기 제1 및 제2 내부 전극(21, 22)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 유전체층(11) 상에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성될 수 있다.
- [0039] 또한, 상기 제1 및 제2 내부 전극(21, 22)은 유전체층(11)의 적층 방향을 따라 양 단면을 통해 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(11)에 의해 서로 전기적으로 절연될 수 있다.
- [0040] 즉, 제1 및 제2 내부 전극(21, 22)은 세라믹 본체(10)의 양 단면을 통해 번갈아 노출되는 부분을 통해 제1 및 제2 외부 전극(31, 32)과 각각 전기적으로 연결될 수 있다.
- [0041] 따라서, 제1 및 제2 외부 전극(31, 32)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(21, 22) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(1)의 정전 용량은 제1 및 제2 내부 전극(21, 22)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0042] 정전 용량 형성을 위해 제1 및 제2 외부전극(31, 32)이 상기 세라믹 본체(10)의 외측에 형성될 수 있으며, 상기 제1 및 제2 내부전극(21, 22)과 전기적으로 연결될 수 있다.
- [0043] 상기 제1 및 제2 외부전극(31, 32)은 내부전극과 동일한 재료의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등으로 형성될 수 있다.
- [0044] 상기 제1 및 제2 외부전극(31, 32)은 상기 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0045] 상기 세라믹 본체(10)는 복수의 유전체층(11)을 적층한 다음 소성하여 형성되며, 이러한 세라믹 본체(10)의 형상, 치수 및 유전체층(11)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0046] 또한, 상기 세라믹 본체(10)를 형성하는 복수의 유전체층(11)은 소결된 상태로서, 인접하는 유전체층(11) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0047] 이러한 상기 세라믹 본체(10)는 정전 용량 형성에 기여하는 용량 형성부인 액티브층(S) 및 상기 액티브층(S)의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층(c, c')을 포함할 수 있다.
- [0048] 상기 액티브층(S)은 유전체층(11)을 사이에 두고 복수의 제1 및 제2 내부 전극(21, 22)을 반복적으로 적층하여 형성될 수 있다.
- [0049] 상기 상부 및 하부 커버층(c, c')은 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(11)과 동일한 재료 및 구성을 가질 수 있다.
- [0050] 상기 상부 및 하부 커버층(c, c')은 단일 유전체층 또는 2 개 이상의 유전체층을 액티브층(S)의 상하면에 각각 상하 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부

전극(21, 22)의 손상을 방지하는 역할을 수행할 수 있다.

- [0051] 한편, 상기 세라믹 본체(10)의 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족할 수 있다.
- [0052] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(1)는 고용량 구현을 위하여 적층수를 증가시킨 형태로서, 상기 세라믹 본체(10)의 폭(W)에 비하여 두께(T)가 더 큰 형태인 것을 특징으로 한다.
- [0053] 일반적인 적층 세라믹 커패시터의 경우, 폭과 두께는 거의 동일한 크기의 사이즈로 제작되어 왔다.
- [0054] 그러나, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 소형화가 구현될 수 있어, 기판에 실장시 충분한 공간 확보가 가능하므로 고용량 적층 세라믹 커패시터를 구현하기 위하여 적층수를 증가시킬 수 있다.
- [0055] 상기와 같이 적층수가 증가함에 따라 상기 세라믹 본체에서 적층방향이 두께 방향이므로, 상기 세라믹 본체의 두께(T)와 폭(W)의 관계가 $T/W > 1.0$ 을 만족할 수 있다.
- [0056] 본 발명의 일 실시형태에 따르면, 상기 유전체층(11)의 평균 두께(td)는 적층 세라믹 커패시터(1)의 용량 설계에 맞추어 임의로 변경할 수 있으나, 소성 후 0.1 내지 0.6 μm 일 수 있다.
- [0057] 상기 유전체층(11)의 평균 두께(td)는 도 2와 같이 세라믹 본체(10)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0058] 예를 들어, 도 2와 같이 세라믹 본체(10)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 추출된 임의의 유전체층에 대해서, 폭 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0059] 상기 등간격인 30개의 지점은 제1 및 제2 내부전극(21, 22)이 증착되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0060] 또한, 이러한 평균값 측정을 10개 이상의 유전체층으로 확장하여 평균값을 측정하면, 유전체층의 평균 두께를 더욱 일반화할 수 있다.
- [0061] 본 발명의 일 실시형태에 따르면, 상기 액티브층(S)을 상기 제1 및 제2 내부전극(21, 22)의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역(a)의 내부전극의 폭을 Wa, 상부 및 하부 영역(b, b')의 내부전극의 폭을 Wb라 하면, $0.920 \leq Wb/Wa \leq 0.998$ 을 만족할 수 있다.
- [0062] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(1)는 고용량 구현을 위하여 적층수를 증가시킨 형태로서, 상기 세라믹 본체(10)의 폭(W)에 비하여 두께(T)가 더 큰 형태인 것을 특징으로 하므로, 적층수 증가에 따라 단차 문제가 발생할 수 있다.
- [0063] 특히, 세라믹 본체(10)의 압착시 스트레스가 큰 커버층(c, c') 근처에서는 쇼트가 빈번히 발생하여 신뢰성이 저하되는 문제점이 있다.
- [0064] 본 발명의 일 실시형태에서는 상기 중앙부 영역(a)의 내부전극의 폭(Wa)과 상기 상부 및 하부 영역(b, b')의 내

내부전극의 폭(Wb)이 $0.920 \leq Wb/Wa \leq 0.998$ 을 만족하도록 조절함으로써, 유전체층의 적층수 증가에 따른 단차 문제를 해결하여 신뢰성이 우수한 고용량 적층 세라믹 전자부품을 구현할 수 있다.

- [0065] 즉, 상기 커버층(c, c') 근처인 상기 액티브층의 상부 및 하부 영역(b, b')의 내부전극의 폭(Wb)을 중앙부 영역(a)의 내부전극의 폭(Wa)에 비하여 줄임으로써, 신뢰성이 우수한 고용량 적층 세라믹 전자부품을 구현할 수 있다.
- [0066] 상기 중앙부 영역(a)의 내부전극의 폭(Wa) 대비 상기 상부 및 하부 영역(b, b')의 내부전극의 폭(Wb)의 비(Wb/Wa)가 0.920 미만의 경우에는 정전 용량의 저하로 인하여 고용량 적층 세라믹 커패시터를 구현할 수 없다.
- [0067] 한편, 상기 중앙부 영역(a)의 내부전극의 폭(Wa) 대비 상기 상부 및 하부 영역(b, b')의 내부전극의 폭(Wb)의 비(Wb/Wa)가 0.998을 초과하는 경우에는 쇼트 불량률이 발생하여 신뢰성에 문제가 생길 수 있다.
- [0068] 상기 상부 및 하부 영역(b, b')의 두께는 특별히 제한되지 않으며, 예를 들어 상기 제1 및 제2 내부전극(21, 22)의 적층 방향으로 상기 액티브층(S) 전체 두께 대비 1 내지 20%를 만족할 수 있다.
- [0069] 상기 상부 및 하부 영역(b, b')의 두께를 상기 액티브층(S) 전체 두께 대비 1 내지 20%를 만족하도록 함으로써, 신뢰성이 우수한 고용량 적층 세라믹 전자부품을 구현할 수 있다.
- [0070] 상기 상부 및 하부 영역(b, b')의 두께가 상기 액티브층(S) 전체 두께 대비 1% 미만의 경우에는 단차에 따른 쇼트 발생 가능성이 높아 신뢰성 향상의 효과가 없을 수 있다.
- [0071] 상기 상부 및 하부 영역(b, b')의 두께가 상기 액티브층(S) 전체 두께 대비 20%를 초과하는 경우에는 내부전극 간 중첩 면적의 감소로 인하여 정전 용량 저하에 따라 고용량 적층 세라믹 커패시터 구현이 어려울 수 있다.
- [0072] 본 발명의 일 실시형태에 따르면, 상기의 특징에 추가하여 상기 중앙부 영역(a)의 유전체층의 두께를 Ta, 상기 상부 및 하부 영역(b, b')의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족할 수 있다.
- [0073] 상기와 같이, 상기 중앙부 영역(a)의 유전체층의 두께(Ta)와 상기 상부 및 하부 영역(b, b')의 유전체층의 두께(Tb)가 $1.01 \leq Tb/Ta \leq 1.15$ 을 만족하도록 조절함으로써, 신뢰성이 보다 우수한 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0074] 즉, 상기 커버층(c, c') 근처인 상기 액티브층의 상부 및 하부 영역(b, b')의 내부전극의 두께(Tb)를 중앙부 영역(a)의 내부전극의 두께(Ta)에 비하여 증가시킴으로써, 세라믹 본체(10)의 압착시 스트레스가 큰 커버층(c, c') 근처에서 쇼트 발생을 막아 신뢰성을 보다 향상시킬 수 있다.
- [0075] 상기 중앙부 영역(a)의 유전체층의 두께(Ta) 대비 상기 상부 및 하부 영역(b, b')의 유전체층의 두께(Tb)의 비(Tb/Ta)가 1.01 미만이거나 1.15를 초과하는 경우에는 신뢰성이 보다 우수한 고용량 적층 세라믹 커패시터를 구현할 수 없다.
- [0076] 상기 제1 및 제2 내부전극(21, 22)의 소성후 평균 두께는 정전용량을 형성할 수 있다면 특별히 제한은 없으며, 예를 들어, 0.6 μm 이하일 수 있다.

- [0077] 상기 제1 및 제2 내부전극(21, 22)의 평균 두께는 도 2와 같이 세라믹 본체(10)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0078] 예를 들어, 도 2와 같이 세라믹 본체(10)의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 추출된 임의의 내부전극에 대해서, 폭 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0079] 상기 등간격인 30개의 지점은 제1 및 제2 내부전극(21, 22)이 증착되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0080] 또한, 이러한 평균값 측정을 10개 이상의 내부전극으로 확장하여 평균값을 측정하면, 내부전극의 평균 두께를 더욱 일반화할 수 있다.
- [0081] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 유전체층(11)을 포함하며, 폭을 W 및 두께를 T라 할 때, $T/W > 1.0$ 을 만족하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(11)을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극(21, 22);을 포함하며, 상기 세라믹 본체(10)는 정전 용량 형성에 기여하는 용량 형성부인 액티브층(S) 및 상기 액티브층(S)의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층(c, c')을 포함하며, 상기 액티브층(S)을 상기 제1 및 제2 내부전극(21, 22)의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역(a)의 유전체층의 두께를 Ta, 상부 및 하부 영역(b, b')의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족할 수 있다.
- [0082] 상기 유전체층(11)의 적층수는 특별히 제한되지 않으나, 예를 들어 500층 이상인 것을 특징으로 할 수 있다.
- [0083] 상기와 같이 유전체층(11)의 적층수가 500층 이상이 되도록 함으로써, 상기 세라믹 본체의 두께(T)가 폭(W)보다 큰 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0084] 그 외, 상기 적층 세라믹 전자부품의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 특징과 동일하므로, 여기서는 생략하도록 한다.
- [0085] 도 3은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 일부를 절개하여 개략적으로 도시한 사시도이다.
- [0086] 도 4는 도 3의 적층 세라믹 커패시터를 폭 방향으로 절단하여 도시한 단면도이다.
- [0087] 도 3 및 도 4를 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 유전체층(111)을 포함하며, 폭을 W 및 두께를 T라 할 때, $T/W > 1.0$ 을 만족하는 세라믹 본체(110); 및 상기 세라믹 본체(110) 내에서 상기 유전체층(111)을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극(121, 122);을 포함하며, 상기 세라믹 본체(110)는 정전 용량 형성에 기여하는 용량 형성부인 액티브층(S) 및 상기 액티브층(S)의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층(c, c')을 포함하며, 상기 액티브층(S)을 상기 제1 및 제2 내부전극(121, 122)의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역(a)의 내부전극의 폭을 Wa, 상부 및 하부 영역(b, b')의 내부전극의 폭을 Wb라 하면, $0.920 \leq Wb/Wa \leq 0.998$ 을 만족할 수 있다.
- [0088] 이하에서는 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0089] 상기 세라믹 본체(110)는 특별히 제한되지 않으며, 예를 들어 육면체 형상을 가질 수 있다.

- [0090] 한편, 본 실시 형태의 적층 세라믹 커패시터(100)에 있어서, '길이 방향'은 도 3의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '폭 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0091] 즉, 도 3 및 도 4에서와 같이, 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터(100)는 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터와는 달리 적층 방향이 상기 세라믹 본체(110)의 폭 방향인 것을 특징으로 한다.
- [0092] 상기 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터(100)는 후술하는 바와 같이 기판에 실장할 경우 내부전극이 기판에 수직한 형태로 배치되는 수직 실장형태를 가질 수 있다.
- [0093] 한편, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 유전체층(111)을 포함하며, 폭을 W 및 두께를 T라 할때, $T/W > 1.0$ 을 만족하는 세라믹 본체(110); 및 상기 세라믹 본체(110) 내에서 상기 유전체층(111)을 사이에 두고 서로 대향하도록 적층되는 제1 및 제2 내부전극(121, 122);을 포함하며, 상기 세라믹 본체(110)는 정전 용량 형성에 기여하는 용량 형성부인 액티브층(S) 및 상기 액티브층(S)의 상하면 중 적어도 일면에 제공되는 용량 비형성부인 커버층(c, c')을 포함하며, 상기 액티브층(S)을 상기 제1 및 제2 내부전극(121, 122)의 적층 방향으로 3개 영역으로 나눌 때, 상기 3개 영역 중 중앙부 영역(a)의 유전체층의 두께를 Ta, 상부 및 하부 영역(b, b')의 유전체층의 두께를 Tb라 하면, $1.01 \leq Tb/Ta \leq 1.15$ 을 만족할 수 있다.
- [0094] 상기 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품 역시 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터와는 달리 적층 방향이 상기 세라믹 본체(110)의 폭 방향인 것을 특징으로 한다.
- [0095] 상기 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 후술하는 바와 같이 기판에 실장할 경우 내부전극이 기판에 수직한 형태로 배치되는 수직 실장형태를 가질 수 있다.
- [0096] 그 외 상기의 다른 실시형태에 따른 적층 세라믹 커패시터의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 특징과 동일하므로, 여기서는 생략하도록 한다.
- [0097] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.
- [0098] 본 실시예는 0.6 μm 이하의 평균 두께를 갖는 유전체층(1)을 적용한 적층 세라믹 커패시터에 대해, 상기 액티브층을 상기 제1 및 제2 내부전극의 적층 방향으로 3개 영역으로 나누고, 각 영역별 내부전극의 폭과 유전체층의 두께에 따른 정전 용량 백분율과 신뢰성 향상 여부를 시험하기 위해 수행되었다.
- [0099] 본 실시예에 따른 적층 세라믹 커패시터는 하기와 같은 단계로 제작되었다.
- [0100] 우선, 평균 입경이 0.1 μm 인 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 1.05 μm 및 0.95 μm 의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체층(1)을 형성하게 된다.
- [0101] 다음으로, 니켈 입자 평균 크기가 0.1 내지 0.2 μm 이며, 40 내지 50 중량부의 니켈 분말을 포함하는 내부전극

용 도전성 페이스트를 마련하였다.

- [0102] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 500층 이상 적층하여 적층체를 만들었다.
- [0103] 이후 압착, 절단하여 0603(길이×폭) 규격으로서, 두께/폭가 1.0을 초과하는 칩을 만들며, 상기 칩들을 H₂ 0.1% 이하의 환원 분위기의 온도 1050~1200℃에서 소성하였다.
- [0104] 다음으로, 외부전극 형성 및 도금층 형성 등의 공정을 거쳐 적층 세라믹 커패시터로 제작하였다.
- [0105] 비교예는 액티브층의 각 영역별 내부전극의 폭과 유전체층의 두께를 본 발명의 수치범위와 다르게 제작한 것을 제외하고는 상기 실시예에 의한 방법과 동일하게 제작하였다.
- [0106] 아래의 표 1은 액티브층의 각 영역별 내부전극의 폭과 유전체층의 두께에 따른 고온 가속 수명 및 정전 용량 백분율(%)을 비교한 표이다.
- [0107] 상기 고온 가속 수명 테스트는 신뢰성 평가 항목으로서, 130℃, 1.5 Vr 조건하에서 수행되었으며, 불량율이 5% 미만의 경우를 ◎, 불량율이 5% 내지 10%인 경우를 ○ 및 불량율이 10% 이상인 경우를 ×로 표시하였다.
- [0108] 또한, 상기 정전 용량 백분율(%)은 목표값 대비 구현된 실제 정전용량의 백분율을 의미하며, 88% 이상의 경우를 양호한 것으로 판단하였다.

표 1

샘플 번호	Wb/Wa	Tb/Ta	고온가속수명	용량백분율 (%)
*1	0.850	0.93	◎	76
*2	0.850	1.01	◎	81
*3	0.850	1.10	◎	84
*4	0.850	1.21	○	83
*5	0.920	0.90	◎	82
6	0.920	1.01	◎	88
7	0.920	1.11	◎	93
*8	0.920	1.22	×	99
*9	0.998	0.92	◎	86
10	0.998	1.00	◎	91
11	0.998	1.13	◎	96
*12	0.998	1.19	×	99
*13	1.030	0.91	○	88
*14	1.030	1.01	×	93
*15	1.030	1.09	×	96
*16	1.030	1.23	×	100

[0110] * : 비교예

- [0111] 상기 [표 1]을 참조하면, 비교예인 샘플 1 내지 5, 8, 9 및 12 내지 16은 액티브층의 중앙부 영역(a)의 내부전극의 폭(Wa) 대비 상부 및 하부 영역(b, b')의 내부전극의 폭(Wb)의 비(Wb/Wa)와 중앙부 영역(a)의 유전체층의 두께(Ta) 대비 상부 및 하부 영역(b, b')의 유전체층의 두께(Tb)의 비(Tb/Ta)가 본 발명의 수치범위를 벗어나는 것으로서, 신뢰성 및 정전 용량 확보에 문제가 있음을 알 수 있다.
- [0112] 반면, 실시예인 샘플 6, 7, 10 및 11은 본 발명의 수치범위를 만족하는 경우로서, 신뢰성이 우수하며, 정전용량도 높아 신뢰성이 우수한 고용량 적층 세라믹 커패시터의 구현이 가능함을 알 수 있다.
- [0113] **적층 세라믹 커패시터의 실장 기판**
- [0114] 도 5는 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.
- [0115] 도 5를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(1)의 실장 기판(200)은 적층 세라믹 커패시터(1)가 수평하도록 또는 수직하도록 실장되는 인쇄회로기판(210)과, 인쇄회로기판(210)의 상면에 서로 이격되게 형성된 제1 및 제2 전극 패드(221, 222)를 포함한다.
- [0116] 이때, 적층 세라믹 커패시터(1)의 제1 및 제2 외부 전극(31, 32)이 각각 제1 및 제2 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더링(230)에 의해 인쇄회로기판(210)과 전기적으로 연결될 수 있다.
- [0117] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

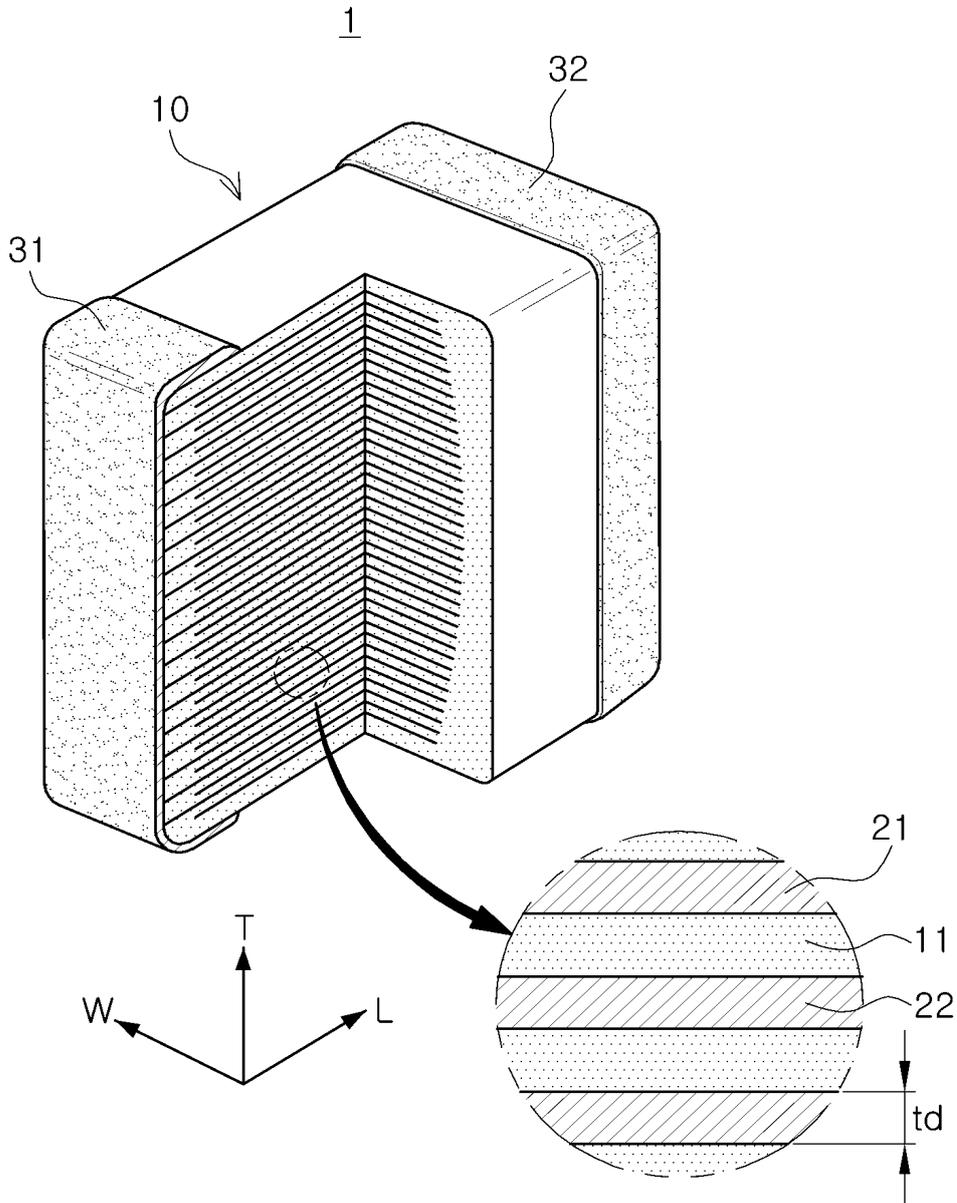
부호의 설명

- [0118] 1, 100: 적층 세라믹 커패시터 10, 110: 세라믹 본체
- 11, 111: 유전체 층 21, 22, 121, 122: 제1 및 제2 내부전극
- 31, 32, 131, 132: 외부 전극
- 200 ; 실장 기판
- 210 ; 인쇄회로기판 221, 222 ; 제1 및 제2 전극 패드
- 230 ; 솔더링
- S : 액티브층
- a : 액티브층의 중앙부 영역
- b, b' : 액티브층의 상부 및 하부 영역
- c, c' : 커버층
- Wa : 중앙부 영역의 유전체층의 폭
- Wb : 상부 및 하부 영역의 유전체층의 폭
- td : 유전체층의 평균 두께
- Ta : 중앙부 영역의 유전체층의 두께

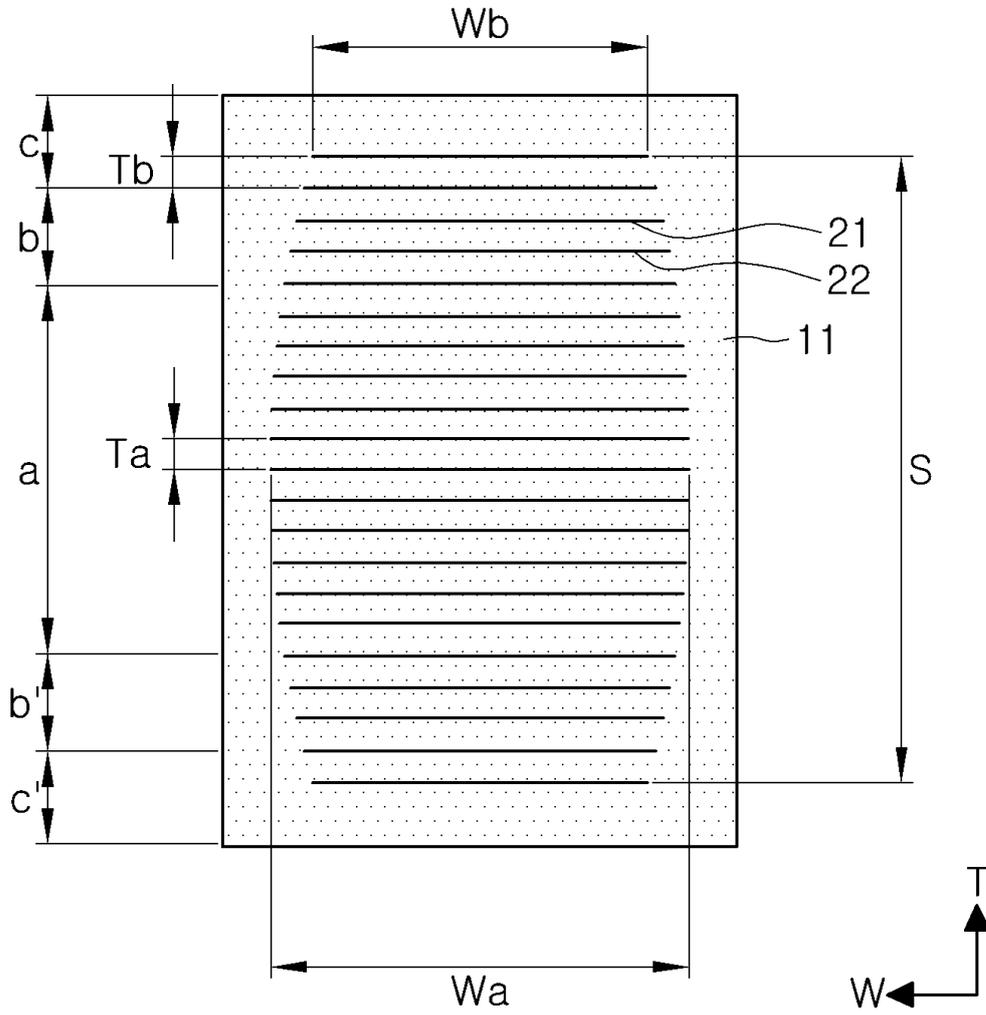
Tb : 상부 및 하부 영역의 유전체층의 두께

도면

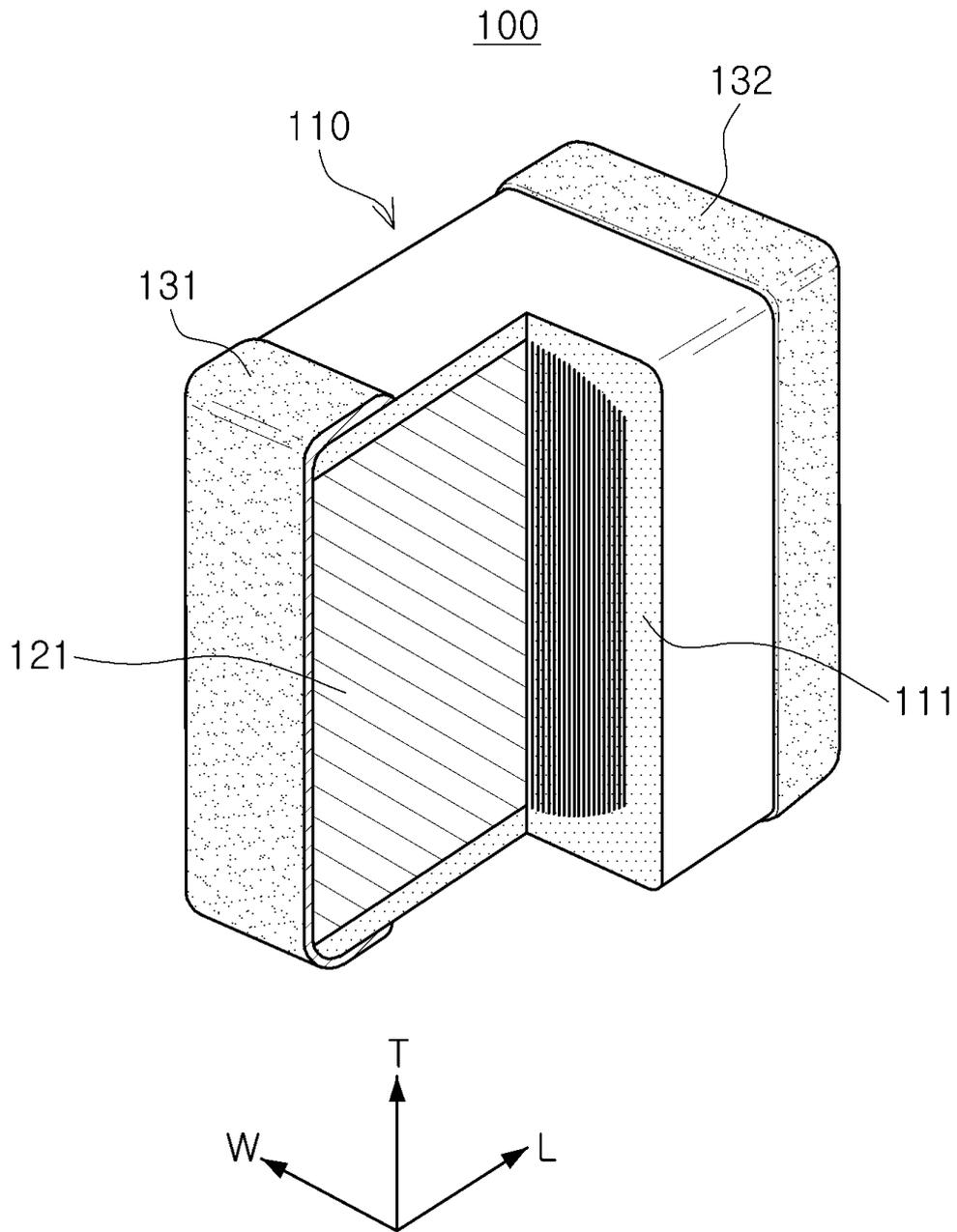
도면1



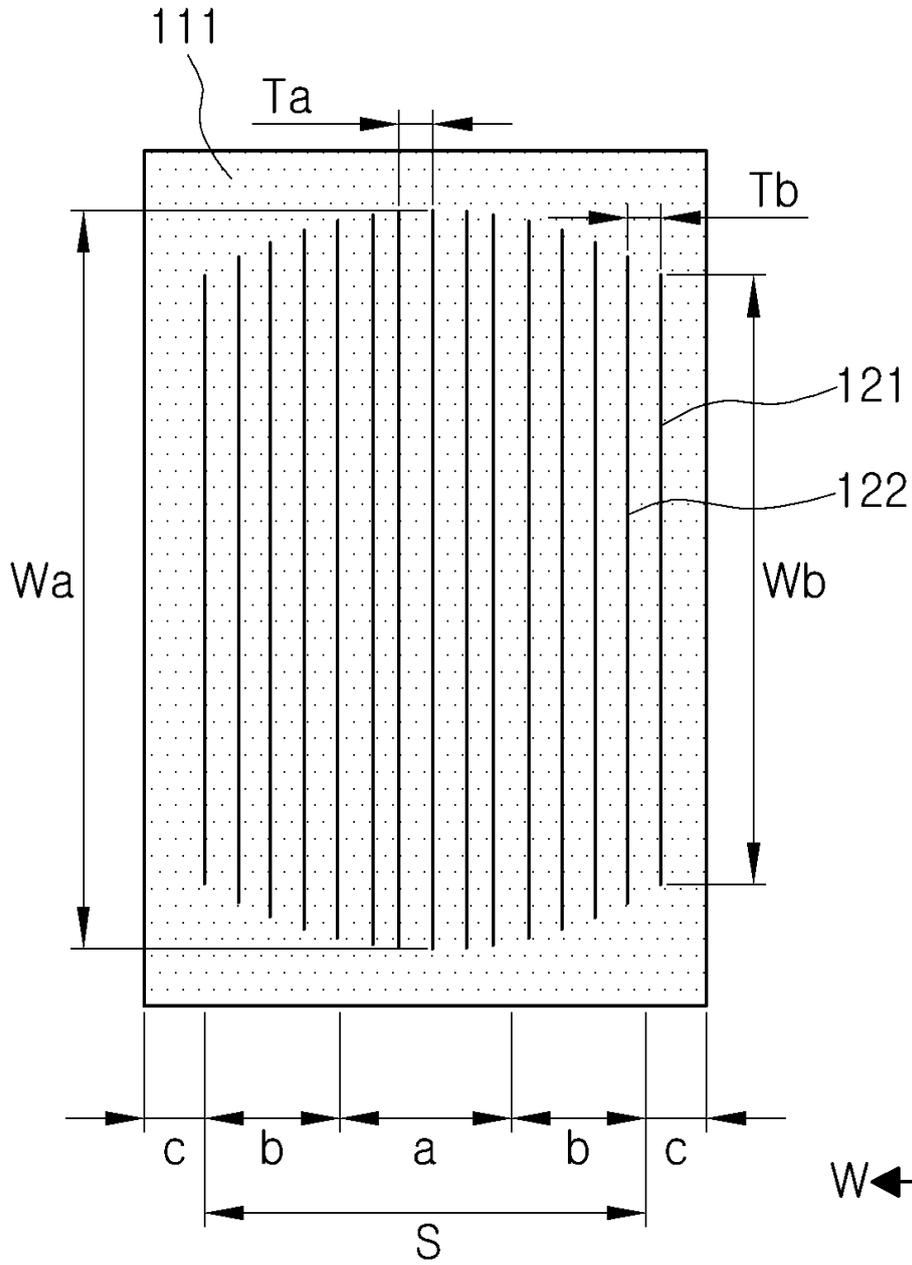
도면2



도면3



도면4



도면5

