

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 4 月 15 日(15.04.2010)



(10) 国際公開番号
WO 2010/041302 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2008/068184
- (22) 国際出願日: 2008 年 10 月 6 日(06.10.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 室岡 賢一 (MUROOKA, Kenichi) [JP/JP].
- (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

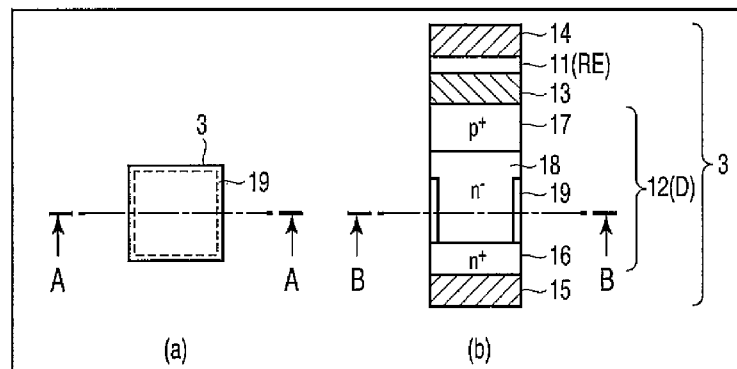
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: VARIABLE RESISTANCE MEMORY

(54) 発明の名称: 抵抗変化メモリ

[図4]



(57) Abstract: Disclosed is a variable resistance memory having a memory cell (3) which is composed of a variable resistance element (11) and a diode (12) connected in series. The diode (12) is composed of a first semiconductor region (16) of a first conductivity type, a second semiconductor region (18) of the first conductivity type which is lower in the atomic density of the first conductivity type impurities than the first semiconductor region (16), and a third semiconductor region (17) of a second conductivity type that is opposite to the first conductivity type. The diode (12) further comprises, at an end of the second semiconductor region (18), a fourth semiconductor region (19) of the first conductivity type which is higher in the atomic density of the first conductivity type impurities than the second semiconductor region (18).

(57) 要約: 本発明の例に係わる抵抗変化メモリは、直列接続された抵抗変化素子 11 とダイオード 12 とから構成されるメモリセル 3 を有する。ダイオード 12 は、第一導電型の第一半導体領域 16、第一半導体領域 16 よりも第一導電型の不純物の原子密度が低い第一導電型の第二半導体領域 18、及び、第一導電型とは逆の第二導電型の第三半導体領域 17 から構成される。さらに、ダイオード 12 は、第二半導体領域 18 の端部に、第一導電型の不純物の原子密度が第二半導体領域 18 のそれよりも高い第一導電型の第四半導体領域 19 を有する。

WO 2010/041302 A1

明 細 書

抵抗変化メモリ

技術分野

[0001] 本発明は、抵抗変化素子を利用した抵抗変化メモリに関する。

背景技術

[0002] 近年、半導体装置の集積度が高くなることに伴い、これを構成するLSI素子の回路パターンは、ますます微細化していく。このパターンの微細化には、単に線幅が細くなるだけではなく、パターンの寸法精度や位置精度の向上も要請される。

[0003] メモリと呼ばれる記憶装置に関しても例外ではなく、高精度の加工技術を駆使して形成されたセルにおいて、記憶に必要となる一定の電荷を、より狭い領域で保持することが要請され続けている。

[0004] 従来より、DRAM、SRAM、フラッシュメモリといった各種の半導体メモリが製造されているが、これらは、全てMOSFETをメモリセルに使用しているため、パターンの微細化に伴い、微細化の比率を上回る比率での寸法精度の向上が要請されている。

[0005] このため、これらのパターンを形成するリソグラフィ技術にも、大きな負荷が課せられており、現在の量産コストの多くの部分を占めているリソグラフィ工程に係わるコストの上昇、即ち、製品コストの上昇要因となっている(例えば、応用物理 第69巻 第10号 pp1233-1240, 2000年,「半導体メモリ;DRAM」、応用物理 第69巻 第12号 pp1462-1466, 2000年,「フラッシュメモリ, 最近の話題」を参照)。

[0006] 一方、近年、このような課題を克服する技術として、ダイオードに代表される非オーミック素子と抵抗変化素子とによりメモリセルが構成されるReRAM(Resistive Random Access Memory)と呼ばれるメモリが提案されている。

[0007] ReRAMは、記憶に電荷の蓄積を用いず、MOSFETをメモリセルに使用することなく構成することが可能であることから、従来のトレンドを上回る高集積化を図ることが可能であると期待されている。

[0008] ところで、ReRAMのメモリセルに用いるダイオードに関しては、順方向に流れる電

流の許容値及び逆方向に流れるリーク電流の許容値は、それぞれ、抵抗変化素子の特性に基づいた一定基準を満たす必要がある。しかし、高集積化が進み、メモリセルが微細化されると、この一定基準を満たすために、技術的に多くの課題を解決しなければならない。

[0009] 例えば、セルサイズ(平面形状を正方形と仮定した場合のサイズ)が数十nm×数十nmの場合、低抵抗状態から高抵抗状態に遷移させるリセット動作において、1 μ A以上の大電流が必要となる。この基準を満たすため、ダイオードのn⁻型半導体領域(カソード)内のn型不純物の原子密度を増やして順方向に流れる電流の許容値を増やすと、同時にキャリア散乱が増加するために損失が増大する。

[0010] 一方、ダイオードを選択素子として機能させるためには、このようなリセット動作を低損失で行うことが好ましい。しかし、リセット動作時に大電流を低損失でダイオードに流すためには、ダイオードのn⁻型半導体領域内のn型不純物の原子密度を減らして順方向に流れる電流のキャリア散乱を減少させる必要がある。

[0011] つまり、ダイオードのn⁻型半導体領域のn型不純物の原子密度に関しては、順方向に流れる電流の許容値とキャリア散乱による損失とがトレードオフの関係にあり、両者を同時に改善することが難しくなっている。

発明の開示

[0012] 本発明では、順方向に流れる電流の許容値とキャリア散乱による損失とを同時に改善することが可能な抵抗変化メモリのメモリセルを構成するダイオードの構造を提案する。

[0013] 本発明の例に係わる抵抗変化メモリは、第一方向に延びる複数本の行線と、前記第一方向に交差する第二方向に延びる複数本の列線と、前記複数本の行線と前記複数本の列線との交差部に配置され、それぞれ直列接続された抵抗変化素子とダイオードとから構成される複数のメモリセルと、前記複数本の行線のうちの一本を選択する第一デコーダと、前記複数本の列線のうちの一本を選択する第二デコーダと、書き込み時に、前記第一デコーダにより選択される一本の行線と前記第二デコーダにより選択される一本の列線との間に供給する電圧パルスを生成する電圧パルス生成回路とを備える。前記ダイオードは、前記複数本の列線側から前記複数本の行線側

に向って、第一導電型の第一半導体領域、第一導電型の不純物の原子密度が前記第一半導体領域のそれよりも低い第一導電型の第二半導体領域、及び、前記第一導電型とは逆の第二導電型の第三半導体領域から構成される。さらに、前記ダイオードは、前記複数本の列線側から前記複数本の行線側に向かう方向に直交する方向の前記第二半導体領域の端部に、第一導電型の不純物の原子密度が前記第二半導体領域のそれよりも高い第一導電型の第四半導体領域を有する。

[0014] 本発明によれば、抵抗変化メモリのメモリセルを構成するダイオードの順方向に流れる電流の許容値とキャリア散乱による損失とを同時に改善することができる。

図面の簡単な説明

[0015] [図1]図1は、抵抗変化メモリの全体図である。

[図2]図2は、抵抗変化メモリの部分図である。

[図3]図3は、抵抗変化メモリの動作を説明する図である。

[図4]図4は、メモリセルを示す図である。

[図5]図5は、不純物濃度分布を示す図である。

[図6]図6は、メモリセルアレイを示す図である。

[図7]図7は、製造方法の一工程を示す図である。

[図8]図8は、製造方法の一工程を示す図である。

[図9]図9は、製造方法の一工程を示す図である。

[図10]図10は、製造方法の一工程を示す図である。

[図11]図11は、製造方法の一工程を示す図である。

[図12]図12は、製造方法の一工程を示す図である。

[図13]図13は、製造方法の一工程を示す図である。

[図14]図14は、製造方法の一工程を示す図である。

[図15]図15は、製造方法の一工程を示す図である。

[図16]図16は、製造方法の一工程を示す図である。

[図17]図17は、製造方法の一工程を示す図である。

[図18]図18は、製造方法の一工程を示す図である。

[図19]図19は、製造方法の一工程を示す図である。

[図20]図20は、製造方法の一工程を示す図である。

[図21]図21は、適用例を示す図である。

発明を実施するための最良の形態

[0016] 以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

[0017] 1. 概要

本発明は、互いに交差する行線と列線との交差部にメモリセルが配置されるいわゆるクロスポイント型抵抗変化メモリを対象とする。このような抵抗変化メモリでは、読み出し／書き込み時に発生する回り込み電流(sneak current)に起因するディスターブやセンス感度の低下などの問題を防止するために、抵抗変化素子に直列に非オーミック素子であるダイオード接続することが一般的に行われる。

[0018] ところで、メモリセルのサイズが縮小されても、抵抗変化素子の抵抗値を変化させるための電流値の単位面積あたりの大きさは大きくなるので、この大電流がダイオードにも流れることになる。このため、ダイオードのカソードとしての n^- 型半導体領域内の n 型不純物の原子密度を増やして順方向に流れる電流の許容値を増やす必要がある。

[0019] しかし、 n^- 型半導体領域内の n 型不純物の原子密度を増やすと、同時にキャリア散乱が増加するために電流損失が増大する。

[0020] 本発明では、このようなトレードオフを改善するために、まず、ダイオードのキャリア走行領域としての n^- 型半導体領域(第二半導体領域)については、電流損失を少なくすることを優先して、 n 型不純物の原子密度を決定する。即ち、 n^- 型半導体領域内の n 型不純物の原子密度を減らし、順方向に流れる電流のキャリア散乱を減少させる。

[0021] また、順方向に流れる電流の許容値については、列線から行線に向かう方向(積層方向)に直交する方向の n^- 型半導体領域の端部に、第一導電型の不純物の原子密度が n^- 型半導体領域のそれよりも高いキャリア供給領域としての n 型半導体領域(第四半導体領域)を設けることで向上させる。

[0022] このように、列線から行線に向かう方向に直交する方向の n^- 型半導体領域(キャリア

走行領域)の端部に、第一導電型の不純物の原子密度が n^- 型半導体領域のそれよりも高い n 型半導体領域(キャリア供給領域)を設けることにより、ダイオードの順方向に流れる電流の許容値とキャリア散乱による損失とのトレードオフが改善される。

[0023] ここで、本明細書では行線、列線及びセルサイズを以下のように定義する。

[0024] 行線とは、メモリセルを構成するダイオードのアノード側に接続される導電線のことであり、列線とは、メモリセルを構成するダイオードのカソード側に接続される導電線のことである。また、セルサイズとは、メモリセルの平面形状(半導体基板の表面に平行な面での形状)のサイズのことである。

[0025] 2. 実施形態

(1) 全体図

図1は、本発明の第一実施形態に係わる抵抗変化メモリを示している。

[0026] メモリセルアレイ31の第一方向の一端側には、第一デコーダ32が配置され、メモリセルアレイ31の第一方向に交差する第二方向の一端側には、第二デコーダ33が配置される。複数の行線 $RL1 \sim RLn$ (n は2以上の自然数)は、第一デコーダ32から第一方向に向かって延びる。複数の列線 $CL1 \sim CLm$ (m は2以上の自然数)は、第二デコーダ33から第二方向に向かって延びる。

[0027] アドレス信号は、読み出し／書き込み／消去時に、アドレスバッファ34に入力される。アドレス信号の一部は、アドレスバッファ34から第一デコーダ32に入力され、アドレス信号の他の一部は、アドレスバッファ34から第二デコーダ33に入力される。

[0028] 第一デコーダ32は、アドレス信号に基づいて、複数の行線 $RL1 \sim RLn$ のうち的一本を選択する。また、第二デコーダ33は、アドレス信号に基づいて、複数の列線 $CL1 \sim CLm$ のうち的一本を選択する。

[0029] 制御回路35は、書き込み(セット)時に、電圧パルスの生成を許可する制御信号CNTを出力する。

[0030] 電圧パルス生成回路36は、制御信号CNTを受けると、所定の大きさ(電圧値)及び所定の幅(持続時間)を有する電圧パルスを生成する。

[0031] 電圧パルス生成回路36により生成された電圧パルスは、第一デコーダ32を経由して、複数の行線 $RL1 \sim RLn$ のうち選択された一本の行線に供給される。また、電圧

パルス生成回路36により生成された電圧パルスは、第二デコーダ33を経由して、複数の列線CL1～CLmのうち非選択の複数本の列線に供給される。

[0032] この時、非選択の複数本の行線及び選択された一本の列線は、固定電圧、例えば、接地電圧に設定される。

[0033] (2) 部分図

図2は、図1の抵抗変化メモリ内のメモリセルアレイ、第一デコーダ及び第二デコーダの回路例を示している。

[0034] この例では、説明を簡単にするため、行線の本数を四本とし、列線の本数を四本とする。

[0035] メモリセルアレイ31内において、四本の行線RL1, RL2, RL3, RL4は、第一方向に伸び、四本の列線CL1, CL2, CL3, CL4は、第二方向に伸びる。メモリセルは、行線RL1, RL2, RL3, RL4と列線CL1, CL2, CL3, CL4との交差部にそれぞれ配置される。

[0036] メモリセルは、直列接続された抵抗変化素子REとダイオードDから構成される。

[0037] 四本の行線RL1, RL2, RL3, RL4の各々は、第一方向に伸び、ダイオードDのアノード側に配置される抵抗変化素子REに接続される。四本の列線CL1, CL2, CL3, CL4の各々は、第一方向に交差する第二方向に伸び、ダイオードDのカソード側に接続される。

[0038] 抵抗変化素子REは、少なくとも二つの抵抗値、例えば、低抵抗状態と高抵抗状態の二つの抵抗値を遷移する素子であり、 $\text{ZnMn}_{2/4}\text{O}_4$ 、 NiO 、 TiO_2 、 SrZrO_3 、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ のグループから選択される一つの材料から構成される。

[0039] このようなメモリセルアレイ31では、行線RL1, RL2, RL3, RL4及び列線CL1, CL2, CL3, CL4は、単なるラインアンドスペースのパターンであり、これら上下の導電線の合わせずれを考慮する必要はない。

[0040] 従って、メモリセルアレイ31内の位置合せ精度を極めて緩くすることが可能であり、製造を容易に行うことができる。

[0041] 第一デコーダ32は、スイッチ回路RSW1, RSW2, RSW3, RSW4及びアンド回路RAD1, RAD2, RAD3, RAD4から構成される。

- [0042] スイッチ回路RSW1, RSW2, RSW3, RSW4及びアンド回路RAD1, RAD2, RAD3, RAD4は、例えば、CMOS回路から構成される。
- [0043] アドレス信号RA1, RA2が共に“L”のとき、アンド回路RAD1の出力信号が“H”になり、スイッチ回路RSW1により、行線RL1がパルス整形回路37に電氣的に接続される。この時、アンド回路RAD2, RAD3, RAD4の出力信号は、“L”であり、スイッチ回路RSW2, RSW3, RSW4により、行線RL2, RL3, RL4が固定電圧(ここでは、接地電圧)に固定される。
- [0044] アドレス信号RA1が“H”、アドレス信号RA2が“L”のとき、アンド回路RAD2の出力信号が“H”になり、スイッチ回路RSW2により、行線RL2がパルス整形回路37に電氣的に接続される。この時、アンド回路RAD1, RAD3, RAD4の出力信号は、“L”であり、スイッチ回路RSW1, RSW3, RSW4により、行線RL1, RL3, RL4が固定電圧に固定される。
- [0045] アドレス信号RA1が“L”、アドレス信号RA2が“H”のとき、アンド回路RAD3の出力信号が“H”になり、スイッチ回路RSW3により、行線RL3がパルス整形回路37に電氣的に接続される。この時、アンド回路RAD1, RAD2, RAD4の出力信号は、“L”であり、スイッチ回路RSW1, RSW2, RSW4により、行線RL1, RL2, RL4が固定電圧に固定される。
- [0046] アドレス信号RA1, RA2が共に“H”のとき、アンド回路RAD4の出力信号が“H”になり、スイッチ回路RSW4により、行線RL4がパルス整形回路37に電氣的に接続される。この時、アンド回路RAD1, RAD2, RAD3の出力信号は、“L”であり、スイッチ回路RSW1, RSW2, RSW3により、行線RL1, RL2, RL3が固定電圧に固定される。
- [0047] 第二デコーダ33は、スイッチ回路CSW1, CSW2, CSW3, CSW4及びアンド回路CAD1, CAD2, CAD3, CAD4から構成される。
- [0048] スイッチ回路CSW1, CSW2, CSW3, CSW4及びアンド回路CAD1, CAD2, CAD3, CAD4は、例えば、CMOS回路から構成される。
- [0049] アドレス信号CA1, CA2が共に“L”のとき、アンド回路CAD1の出力信号が“H”になり、スイッチ回路CSW1により、列線CL1が固定電圧(ここでは、接地電圧)に固定

される。この時、アンド回路CAD2, CAD3, CAD4の出力信号は、“L”であり、スイッチ回路CSW2, CSW3, CSW4により、列線CL2, CL3, CL4がパルス整形回路37に電氣的に接続される。

[0050] アドレス信号CA1が“H”、アドレス信号CA2が“L”のとき、アンド回路CAD2の出力信号が“H”になり、スイッチ回路CSW2により、列線CL2が固定電圧に固定される。この時、アンド回路CAD1, CAD3, CAD4の出力信号は、“L”であり、スイッチ回路CSW1, CSW3, CSW4により、列線CL1, CL3, CL4がパルス整形回路37に電氣的に接続される。

[0051] アドレス信号CA1が“L”、アドレス信号CA2が“H”のとき、アンド回路CAD3の出力信号が“H”になり、スイッチ回路CSW3により、列線CL3が固定電圧に固定される。この時、アンド回路CAD1, CAD2, CAD4の出力信号は、“L”であり、スイッチ回路CSW1, CSW2, CSW4により、列線CL1, CL2, CL4がパルス整形回路37に電氣的に接続される。

[0052] アドレス信号CA1, CA2が共に“H”のとき、アンド回路CAD4の出力信号が“H”になり、スイッチ回路CSW4により、列線CL4が固定電圧に固定される。この時、アンド回路CAD1, CAD2, CAD3の出力信号は、“L”であり、スイッチ回路CSW1, CSW2, CSW3により、列線CL1, CL2, CL3がパルス整形回路37に電氣的に接続される。

[0053] (3) 動作

図1及び図2のクロスポイント型抵抗変化メモリの動作について説明する。

[0054] 抵抗変化素子は、ある一定値以上の電圧が印加されたときに、高抵抗状態から低抵抗状態への遷移(セット)が発生する性質を有し、ある一定値以上の電流が流れたときに、低抵抗状態から高抵抗状態への遷移(リセット)が発生する性質を有する。

[0055] ここで、行線RL3と列線CL2との交差部に配置されるメモリセルに対して書き込みを実行する場合を考える。書き込みとは、抵抗変化素子を高抵抗状態から低抵抗状態へ遷移させること、即ち、セット動作を意味するものとする。

[0056] この場合、メモリセルアレイの電圧関係は、図3に示すようになる。

[0057] 選択された一つのメモリセルM(sel)以外の残りの全てのメモリセルは、非選択のメ

メモリセルとなる。

- [0058] 選択された一本の行線RL3及び非選択の三本の列線CL1, CL3, CL4に電圧パルス+Vを印加し、非選択の三本の行線RL1, RL2, RL4及び選択された一本の列線CL2を固定電圧(例えば、接地電圧)に固定する。
- [0059] 選択されたメモリセルM(sel)では、ダイオードDが順バイアス状態になり、抵抗変化素子REには、ある一定値以上の電圧が印加され、かつ、十分に大きな電流が流れる。従って、抵抗変化素子REは、高抵抗状態から低抵抗状態に遷移する。
- [0060] また、選択された一本の行線RL3と非選択の三本の列線CL1, CL3, CL4との交差部に配置される非選択のメモリセルでは、これら行線RL3及び列線CL1, CL3, CL4にそれぞれ電圧パルス+Vが印加される。従って、抵抗変化素子に電圧が印加されることはなく、抵抗変化素子の状態は、変化しない。
- [0061] 同様に、非選択の三本の行線RL1, RL2, RL4と選択された一本の列線CL2との交差部に配置される非選択のメモリセルでは、これら行線RL1, RL2, RL4及び列線CL2にそれぞれ固定電圧が印加されるため、抵抗変化素子の状態は、変化しない。
- [0062] さらに、非選択の三本の行線RL1, RL2, RL4と非選択の三本の列線CL1, CL3, CL4との交差部に配置される非選択のメモリセルでは、非選択の三本の行線RL1, RL2, RL4に固定電圧、非選択の三本の列線CL1, CL3, CL4に電圧パルス+Vが印加される。しかし、ダイオードが逆バイアス状態になるため、ダイオードは、コンデンサに等価となり、非選択の三本の行線RL1, RL2, RL4と非選択の三本の列線CL1, CL3, CL4との間に発生する電圧のうちのほとんどがダイオードに印加される。従って、抵抗変化素子には、ある一定値未満の電圧が印加され、抵抗変化素子の状態は、変化しない。
- [0063] 尚、電圧パルスの電圧値(最大値)+Vと固定電圧の電圧値との関係は、電圧パルス+Vが固定電圧よりも高い関係にあれば、両者の値に制限はない。通常は、電圧パルス+Vをプラス電圧に設定するため、このときは、固定電圧は、接地電圧(0V)とするのが好ましい。
- [0064] 書き込み(セット動作)に必要な電圧をVsetとし、消去(リセット動作)に必要な電圧

をVresetとし、読み出しに必要な電圧をVreadとすると、これら電圧の関係は、 $V_{read} < V_{reset} < V_{set}$ となる。

[0065] クロスポイント型抵抗変化メモリでは、以上のような原理により、セル間干渉を防止しつつ、選択されたメモリセルM(sel)のみに対して、読み出し／書き込み／消去を実行する。

[0066] (4) メモリセル構造

図4は、メモリセル構造の例を示している。

[0067] 同図(a)は、メモリセルの平面形状であり、同図(b)は、メモリセルの断面構造である。

[0068] メモリセル3は、抵抗変化素子11(RE)とダイオード12(D)とから構成される。抵抗変化素子11(RE)とダイオード12(D)との間には、金属電極13が配置される。抵抗変化素子11(RE)の一端には、金属電極14が配置され、ダイオード12(D)の一端には、金属電極15が配置される。

[0069] 抵抗変化素子11は、例えば、厚さ約10nmの ZnMn_2O_4 であり、金属電極13, 14, 15は、例えば、TiNである。TiNは、導電材料としての機能に加え、原子の相互拡散を防止するバリアメタルとしての機能を有する。

[0070] 金属電極14は、行線に接続され、金属電極15は、列線に接続される。行線及び列線は、例えば、WとTiNの積層構造から構成される。

[0071] 本発明の最大の特徴は、ダイオード12(D)の構造にある。

[0072] ここで、通常用いられている記法に従い、半導体の導電型を「p」及び「n」で表し、半導体中の不純物濃度の大小を「+」及び「-」で表すと、ダイオード12(D)の構造は、例えば、 $p^+ / n^- / n^+$ と記述できる。但し、「/」は、界面を表し、「/」の左側が行線側(例えば、上側)、「/」の右側が列線側(例えば、下側)とする。

[0073] 具体的には、ダイオード12(D)は、列線側から行線側に向って、 n^+ 型半導体領域16、n型の不純物の原子密度が n^+ 型半導体領域16のそれよりも低い n^- 型半導体領域18、及び、n型とは逆の p^+ 型半導体領域17から構成される。

[0074] さらに、本発明では、ダイオード12(D)は、列線側から行線側に向かう方向に直交する方向の n^- 型半導体領域18の端部に、n型の不純物の原子密度が n^- 型半導体

領域18のそれよりも高いn型半導体領域19を有する。

[0075] 尚、n型半導体領域19のn型の不純物の原子密度は、 n^+ 型半導体領域16のそれよりも低いことが好ましい。また、n型半導体領域19は、列線側から行線側に向かう方向に直交する方向の n^- 型半導体領域18の端部の n^+ 型半導体領域16側の半分に配置されるのが好ましい。

[0076] このように、本発明では、列線側から行線側に向かう方向に直交する方向の n^- 型半導体領域18の端部に新たにn型半導体領域19を有する。このため、図4(b)のB-B線に沿う断面での不純物濃度分布をグラフ化すると、図5に示すようになる。同図において、横軸は、位置を表し、縦軸は、不純物濃度Nを表している。

[0077] このような構造を採用した理由について以下に説明する。

[0078] 抵抗変化素子を用いたReRAMでは、セルサイズが数十nmになると、低抵抗状態から高抵抗状態に遷移させるリセット動作において、1セル当たり、 $1\sim 10\mu A$ 、又は、 $10\mu A$ を超える大電流を必要とする。

[0079] ダイオードを選択素子として機能させる場合、このような大電流を低損失で流すことが好ましい。しかし、従来のように、 n^- 型半導体領域内の不純物濃度が均一であることを前提とすると、その不純物濃度が高い場合には、許容電流が増える一方、キャリア散乱の増加により損失が増大する。また、 n^- 型半導体領域内の不純物濃度が低い場合には、キャリア散乱の減少により損失が減少する一方、許容電流が減少する。

[0080] 本発明では、 n^- 型半導体領域に関して、列線から行線に向かう方向、即ち、 $p^+/n^-/n^+$ 積層方向と直交する方向に不純物濃度分布を持たせることにより、このようなトレードオフの問題を解決する。

[0081] 即ち、ダイオードの中央部を占める n^- 型半導体領域18では、不純物濃度を低くすることにより、キャリア散乱を小さくし、電流損失を小さくする。従って、キャリアは、主として、キャリア走行領域としての n^- 型半導体領域18を走行する。

[0082] そして、不純物濃度を低くした結果として不足するキャリア数を補うために、キャリア走行領域としての n^- 型半導体領域18に隣接して、キャリア供給領域としてのn型半導体領域19を設ける。n型半導体領域19は、キャリア走行方向と直交する方向に配置する。

- [0083] ここで、キャリアは、不純物濃度の勾配に応じて自然拡散する。
- [0084] 従って、セルサイズを数十nm以下とすると、キャリア供給領域としてのn型半導体領域19から拡散したキャリアは、キャリア走行領域としてのn⁻型半導体領域18の全域に到達することが可能である。つまり、キャリア走行領域では、十分なキャリア数で散乱を抑制した条件で電気伝導させることが可能となる。
- [0085] その結果、十分な許容電流を低損失で実現することの可能なダイオードを提供することができる。
- [0086] 具体的には、ダイオードをシリコンから構成する場合、キャリア走行領域としてのn⁻型半導体領域18内のn型不純物(例えば、リン)の不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 程度(平均値)とし、キャリア供給領域としてのn型半導体領域19内のn型不純物(例えば、リン)の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度(平均値)とする。
- [0087] また、p⁺型半導体領域17内のp型不純物(例えば、ホウ素)の不純物濃度は、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度(平均値)とし、n⁺型半導体領域16内のn型不純物(例えば、リン)の不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度(平均値)とする。
- [0088] さらに、キャリア走行領域としてのn⁻型半導体領域18のp⁺/n⁻/n⁺積層方向と直交する方向の幅(例えば、平面形状を正方形とした場合の各辺に平行な方向の幅)は、約16nmとし、キャリア供給領域としてのn型半導体領域19の同方向の幅は、約3nm(左右に二つあるため合計6nm)とする。
- [0089] 尚、半導体領域中の不純物原子分布は、半導体を構成する原子の結晶格子位置を単位として定義する必要は無く、2～3nm程度の大きさの領域内での平均した不純物原子数が意味を持つ。これは以下のような物理的な考察に基づく。ダイオードに流れるキャリアは、半導体領域に形成される電氣的なポテンシャル場に従う。そして、不純物原子の作るポテンシャル場の実効的な広がり、第一近似では、いわゆるボーア半径を用いて定義することが可能である。
- [0090] このボーア半径は、水素原子のボーア半径 $a_0 = 0.0528 \text{ nm}$ を基準として、比誘電率 ϵ_r と有効質量比 m_e/m を用いて、 $[\epsilon_r / (m_e/m)] \times a_0$ で与えられる。半導体としてシリコンを用いた場合、比誘電率 ϵ_r は、11.7、有効質量比 m_e/m は、0.2～0.3程度であることが知られているので、ボーア半径は、2～3nmとなる。

- [0091] 従って、上述の通り、2～3nmの範囲で平均した不純物原子数が決まれば、ダイオードに流れる電流が決まることになり、キャリア走行領域及びキャリア供給領域の不純物濃度としては、それぞれの領域内での2～3nmの範囲での平均的な濃度で定義すればよく、境界は、2～3nmの幅を持った領域と考えて構わない。
- [0092] 本実施形態では、キャリア走行領域及びキャリア供給領域の導電型をn型としたが、これに代えて、p型としても構わない。この場合、これに合わせてダイオードの両端に存在する半導体領域の導電型も変更する。
- [0093] 即ち、本発明が対象とするダイオードの構造は、 $p^+/n^-/n^+$ に限られず、これ以外にも、例えば、 $p^+/p^-/n^+$ 、 $n^+/n^-/p^+$ 、 $n^+/p^-/p^+$ といった構造を有していてもよい。
- [0094] さらに、実施形態では、キャリア供給領域は、キャリア走行領域を取り囲むように配置されているが、これに代えて、キャリア走行領域を挟み込む構造、キャリア走行領域の一端側のみに配置する構造、キャリア走行領域の中心部に設ける構造などとしてもよい。
- [0095] また、ダイオードは、シリコンから構成されるPN接合ダイオード、SiGe合金から構成されるPN接合ダイオードなどを用いることができる。また、メモリセルの平面形状は、正方形、長方形、円形、楕円形などの形状にすることが可能である。
- [0096] (5) メモリセルアレイ構造
- 図6は、メモリセルアレイ構造の例を示している。
- [0097] 行線1は、メモリセル3の直上に配置され、列線2は、メモリセル3の直下に配置される。行線1及び列線2共に、例えば、WとTiNの積層構造から構成される。
- [0098] 行線1のピッチ及び列線2のピッチは、例えば、それぞれ約44nmである。即ち、行線1の幅及び列線2の幅は、それぞれ約22nmとし、行線1間のスペース及び列線2間のスペースは、それぞれ約22nmとする。また、メモリセル3の平面形状のセルサイズは、約22nm×約22nmとする。
- [0099] このような構造によれば、行線1及び列線2は、単なるラインアンドスペースのパターンであり、行線1又は列線2が延びる方向に直交する方向のずれを考慮する必要はない。従って、メモリセルアレイ内の位置合せ精度を極めて緩くすることが可能であり

、製造を容易に行うことができる。

[0100] (6) 製造方法

図4乃至図6のメモリセル及びメモリセルアレイの製造方法について説明する。

[0101] まず、図7に示すように、通常のCMOSプロセスを用いて、厚さ約 $720\mu\text{m}$ のシリコン基板101の主表面上にCMOS回路を有するCMOSエリア102を形成する。CMOSエリア102は、PチャネルMOSFET、NチャネルMOSFET、複数の配線層、及び、複数の配線層間を接続する接続部を含んでいる。

[0102] CMOSエリア102を形成した後、TEOSを主原料とするCVD法を用いて、CMOSエリア102上に、 SiO_2 から構成される厚さ約300nmの絶縁膜103を形成する。

[0103] 次に、図8に示すように、スパッタリング法により、絶縁膜103上に、厚さ約10nmのTiNと厚さ約50nmのWとから構成される複合膜104を形成する。また、スパッタリング法により、複合膜104上に、厚さ約10nmのTiNから構成される金属膜(電極)105を形成する。金属膜105は、ダイオード内での不要な不純物拡散を防止するバリアメタルとしての機能を有する。

[0104] 次に、図9に示すように、 SiH_4 を主原料とするLPCVD法を用いて、アモルファスシリコンの成膜を行う。

[0105] 初めに、微量の PH_3 をドーピングすることにより、リンを $1 \times 10^{20} \text{cm}^{-3}$ 程度含む、厚さ約10nmの n^+ 型半導体領域106を形成する。引き続き、原料ガスである SiH_4 と PH_3 の供給を一旦停止し、キャリアガスであるArのみを流すことにより、反応炉内の残留リン濃度を十分に下げ、この後、再び SiH_4 と極微量の PH_3 を供給し、リンを $1 \times 10^{16} \text{cm}^{-3}$ 程度含む、厚さ約80nmの n^- 型半導体領域107を形成する。

[0106] そして、再び、原料ガスである SiH_4 と PH_3 の供給を一旦停止し、キャリアガスであるArのみを流すことにより、反応炉内の残留リン濃度を十分に下げつつ、炉内の温度を 75°C 引き下げる。そして、温度が安定した段階で、 SiH_4 と微量の BCl_3 を供給し、ホウ素を $1 \times 10^{21} \text{cm}^{-3}$ 程度含む、厚さ約10nmの p^+ 型半導体領域108を形成する。

[0107] ここで、炉内の温度(成膜温度)を引き下げたのは、ホウ素の存在が SiH_4 の反応を促進するためであり、これにより膜厚制御を容易にする。ホウ素の濃度がリンの濃度よりも高いのは、 p^+ 型半導体領域108が n^+ 型半導体領域106よりも抵抗値を引き下げ

難いという現象を補うためである。

[0108] 尚、ここで示した n^+ 型半導体領域106、 n^- 型半導体領域107、及び、 p^+ 型半導体領域108の厚さは、それぞれ、後の熱工程、特に、アモルファスシリコンの結晶化と不純物の活性化を目的とした高温処理において不純物の拡散が引き起こされることを考慮して決定する。

[0109] 即ち、全ての製造工程を経た最終段階では、 n^+ 型半導体領域106及び p^+ 型半導体領域108の厚さは、約20nm増加し、 n^- 型半導体領域107の厚さは、約40nm減少する。上述の厚さは、これらの効果を予め考慮して設定されたものである。

[0110] 次に、図10に示すように、スパッタリング法により、 p^+ 型半導体領域108上に、厚さ約10nmのTiNから構成される金属膜(電極)109、厚さ約10nmの $ZnMn_2O_4$ から構成される抵抗変化材料110、及び、厚さ約10nmのTiNから構成される金属膜(電極)111を連続して形成する。

[0111] 金属膜109、111は、抵抗変化材料110の電極となると共に、不純物拡散を防止するバリアメタルとして機能する。

[0112] 次に、図11に示すように、TEOSを主原料とするCVD法により、金属膜111上に、 SiO_2 から構成される厚さ約150nmの絶縁膜112を形成する。

[0113] 次に、図12に示すように、インプリントリソグラフィーの技術を用いて、紙面に垂直な方向に延びるピッチ約44nmのレジストパターンを形成する。また、このレジストパターンをマスクとして、 CHF_3 及びCOガスを用いた反応性イオンエッチングにより、絶縁膜112をパターニングする。この後、レジストパターンを除去する。

[0114] そして、絶縁膜112をマスクとして、 Cl_2 、Ar及びCoガスを用いた反応性イオンエッチングにより、金属膜111、抵抗変化材料110、金属膜109、 p^+ 型半導体領域108、 n^- 型半導体領域107、 n^+ 型半導体領域106、及び、金属膜105を順次パターニングする。

[0115] また、 CHF_3 及び SF_6 ガスを用いた反応性イオンエッチングにより、TiNとWとから構成される複合膜104をパターニングする。

[0116] この段階で、複合膜104は、紙面に垂直な方向に延びる列線となる。

[0117] 次に、図13に示すように、CVD法により、リンを大量に含む酸化シリコンから構成さ

れるPSG膜113を形成する。PSG膜113は、絶縁膜112の間の溝を完全に満たす。この時の成膜温度は、PSG膜113内のリンが半導体領域106, 107, 108内や抵抗変化材料110内へ拡散するのを防止するために約450℃で行う。

[0118] 次に、図14に示すように、 CHF_3 及びCOガスを用いた反応性イオンエッチングを行い、PSG膜113を所定位置までエッチバックする。

[0119] ここで、所定位置とは、PSG膜113の上面が、 n^- 型半導体領域107の下面よりも高く、 n^- 型半導体領域107の上面よりも低い位置とする。

[0120] この時、絶縁膜112の上部もエッチングされるが、PSG膜113のエッチングレートが絶縁膜112のそれよりも大きくなるようにエッチング条件を設定すれば、絶縁膜112が消失することはない。

[0121] 次に、図15に示すように、600℃で熱処理を行い、PSG膜113から n^- 型半導体領域106へリンを固相拡散させる。

[0122] この固相拡散によるリンの到達範囲は、十分に短いため、 n^- 型半導体領域106の側面下部のみ(紙面左右方向の二箇所の側面下部のみ)に $1 \times 10^{18} \text{cm}^{-3}$ 程度のリンを含む n 型半導体領域114が形成される。

[0123] 即ち、 n 型半導体領域114は、後述する複合膜(行線)が延びる方向(第一方向)における二つの端部にそれぞれ形成される。

[0124] この後、再び、 CHF_3 及びCOガスを用いた反応性イオンエッチングを行い、絶縁膜112の間の溝内に残ったPSG膜113を完全に除去すると、図16に示すような構造が得られる。

[0125] 次に、図17に示すように、TEOSを主原料とするCVD法により、 SiO_2 から構成される絶縁膜115を形成する。絶縁膜115は、絶縁膜112の間の溝を完全に満たす。また、図18に示すように、CMP法により、金属膜111をストッパーとして、絶縁膜112, 115を研磨する。その結果、絶縁膜115の上面は、平坦化され、金属膜111の上面とほぼ同じ位置となる。

[0126] 次に、図19に示すように、スパッタリング法により、金属膜111上及び絶縁膜115上に、厚さ約10nmのTiNと厚さ約50nmのWから構成される複合膜116を形成する。続いて、TEOSを主原料とするCVD法により、 SiO_2 から構成される絶縁膜117を形

成する。

[0127] この後、インプリントリソグラフィーの技術を用いて、紙面左右方向に延びるピッチ約44nmのレジストパターンを形成する。また、このレジストパターンをマスクとして、 CHF_3 及びCOガスを用いた反応性イオンエッチングにより、絶縁膜117をパターンニングする。この後、レジストパターンを除去する。

[0128] そして、絶縁膜117をマスクとして、 CHF_3 及び SF_6 ガスを用いた反応性イオンエッチングにより、TiNとWとから構成される複合膜116をパターンニングする。

[0129] この段階で、複合膜116は、紙面左右方向に延びる行線となる。

[0130] 続けて、 Cl_2 、Ar及びCoガスを用いた反応性イオンエッチングにより、金属膜111、抵抗変化材料110、金属膜109、 p^+ 型半導体領域108、 n^- 型半導体領域107、 n^+ 型半導体領域106、及び、金属膜105を順次パターンニングする。

[0131] このパターンニングにより、列線としての複合膜104と行線としての複合膜116との交差部に、角柱状のメモリセルが形成される。

[0132] この後、図示しないが、回転塗布可能な酸化シリコン膜を、溝内を埋め込みながらウェハ全面に形成する。続いて、リソグラフィ工程と反応性イオンエッチングにより、CMOSエリア102内のCMOS回路にコンタクトをとるための接続部を形成する。

[0133] 尚、複数のメモリセルアレイを積み重ねる場合には、以上の工程を複数回繰り返せばよい。最後に、約800°C、約5秒の熱処理により、アモルファスシリコンの結晶化と不純物の活性化とを同時に行う。また、パッシベーション膜を形成し、入出力部となる配線接続部を形成した後、検査工程やダイシング工程などのいわゆる後工程を行うと、抵抗変化メモリが完成する。

[0134] この製造方法では、ダイオードの形成に際して、不純物がドーピングされたCVD膜(シリコン膜)を利用したが、これに代えて、不純物がドーピングされていないCVD膜に不純物原子をイオン注入することによりダイオードを形成してもよい。

[0135] また、 n 型不純物としてリンを用いたが、これに代えて、ヒ素を用いてもよい。

[0136] n^- 型半導体領域(キャリア走行領域)に代えて p^- 型半導体領域(キャリア走行領域)を用いる場合には、 p^- 型半導体領域の形成には、 BCl_3 ガスの添加を行い、 p 型半導体領域(キャリア供給領域)の形成には、PSG膜に代えて、ホウ素を含む SiO_2 膜で

あるBSG膜を用いればよい。

[0137] さらに、n型半導体領域114は、図19において、複合膜(行線)116を形成し、メモリセルを形成した後に、固層拡散などの方法により形成することもできる。この場合には、n型半導体領域114は、n⁻型半導体領域106の紙面垂直方向の二箇所の側面下部のみに形成される。

[0138] 即ち、図20に示すように、n型半導体領域114は、複合膜(列線)が延びる方向(第二方向)における二つの端部にそれぞれ形成される。

[0139] また、図15のステップと図20のステップの二つのステップにおいて、それぞれ、n型半導体領域114の形成を行えば、n型半導体領域114は、n⁻型半導体領域106を取り囲む構造となる。

[0140] 3. 適用例

図21は、本発明の適用例としての抵抗変化メモリを示す斜視図である。

[0141] 半導体基板(例えば、シリコン基板)51上に、CMOS回路を含むCMOS層52が形成される。CMOS層52上に、メモリセルを含むメモリセル層53が形成される。

[0142] また、54は、メモリセルアレイエリアを示し、55は、入出力(I/O)エリアを示している。周辺回路は、CMOS層52内に形成される。

[0143] CMOS回路は、メモリセルとの接続部を除き、メモリセル層53内の行線及び列線のピッチよりも広いピッチ、例えば、90nmデザインルールで形成する。メモリセルアレイエリアのサイズは、例えば、22 μ m $\times$ 22 μ mであり、このエリア内に、例えば、512 $\times$ 512のメモリセル(行線と列線の交点)を形成する。

[0144] 一つのメモリセルアレイエリア54は、ブロックと称され、複数のブロックがマトリクス状に配置される。

[0145] CMOS層52とメモリセル層53とは、スルーホールにより互いに接続される。

[0146] このような抵抗変化メモリでは、CMOS層52上にメモリセル層53を形成でき、メモリセル層53は、単層に限られず、複数層にすることができることから、チップ面積の増大を伴わずに大きなメモリ容量を確保できる。

[0147] 入出力エリア55内にはパッドが形成されており、アセンブリ工程において、リードフレームとパッドとの接続が、例えば、ボンディングワイヤにより行われる。

[0148] メモリセルを構成する抵抗変化素子は、 ZnMn_2O_4 、 NiO 、 TiO_2 、 SrZrO_3 、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ のグループから選択される一つの材料から構成される。

[0149] 抵抗変化素子に接する電極としては、 TiN 又は TaN が用いられる。また、抵抗変化素子に接する電極は、 Pt 、 W 、 WN 、 Nb がドーピングされた TiO_2 であってもよい。

[0150] 抵抗変化素子に直列接続されるダイオードは、シリコン単結晶により形成されるPN接合ダイオードであってもよいし、これに代えて、 SiGe 合金のPN接合ダイオード、ショットキーダイオードなどを用いてもよい。

[0151] 例えば、抵抗変化素子が、厚さ15nmの ZnMn_2O_4 から構成される場合、抵抗変化素子の一端は、 TaN からなる電極を介して、 W からなる行線に接続し、他端は、 TiN からなる電極を介して、シリコン基板内のPN接合ダイオードのP層（アノード層）に接続する。PN接合ダイオードのN層（カソード）は、 TiN からなる電極を介して、 W からなる列線に接続する。

[0152] 複数の行線のピッチ及び複数の列線のピッチは、それぞれ、44nm、即ち、線幅22nmのラインと22nmのスペースで構成する。抵抗変化素子の平面サイズは、例えば、22nm×22nmとする。

[0153] 4. むすび

本発明によれば、抵抗変化メモリのメモリセルを構成するダイオードの順方向に流れる電流の許容値とキャリア散乱による損失とを同時に改善することができる。

[0154] 本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

産業上の利用可能性

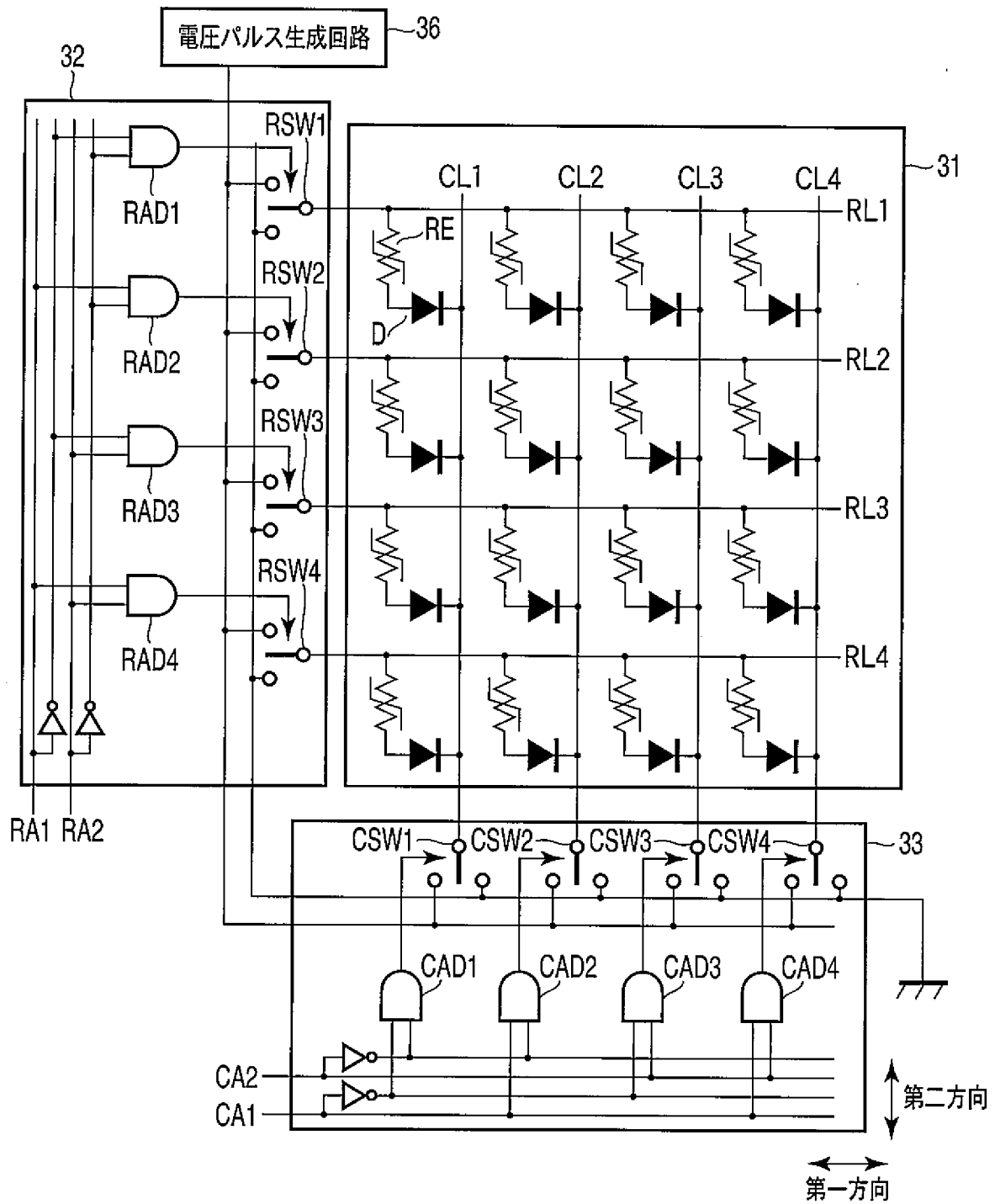
[0155] 本発明は、抵抗変化素子を利用したReRAMなどの抵抗変化メモリに有効である。

請求の範囲

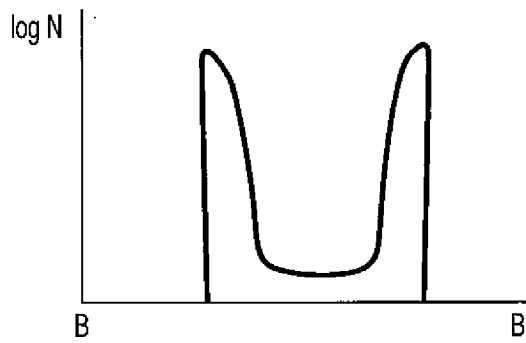
- [1] 第一方向に延びる複数本の行線と、前記第一方向に交差する第二方向に延びる複数本の列線と、前記複数本の行線と前記複数本の列線との交差部に配置され、それぞれ直列接続された抵抗変化素子とダイオードとから構成される複数のメモリセルと、前記複数本の行線のうちの一本を選択する第一デコーダと、前記複数本の列線のうちの一本を選択する第二デコーダと、書き込み時に、前記第一デコーダにより選択される一本の行線と前記第二デコーダにより選択される一本の列線との間に供給する電圧パルスを生成する電圧パルス生成回路とを具備し、
- 前記ダイオードは、前記複数本の列線側から前記複数本の行線側に向って、第一導電型の第一半導体領域、第一導電型の不純物の原子密度が前記第一半導体領域のそれよりも低い第一導電型の第二半導体領域、及び、前記第一導電型とは逆の第二導電型の第三半導体領域から構成され、かつ、
- 前記ダイオードは、前記複数本の列線側から前記複数本の行線側に向かう方向に直交する方向の前記第二半導体領域の端部に、第一導電型の不純物の原子密度が前記第二半導体領域のそれよりも高い第一導電型の第四半導体領域を有することを特徴とする抵抗変化メモリ。
- [2] 前記第四半導体領域の第一導電型の不純物の原子密度は、前記第一半導体領域のそれよりも低いことを特徴とする請求項1に記載の抵抗変化メモリ。
- [3] 前記第四半導体領域は、前記複数本の列線側から前記複数本の行線側に向かう方向に直交する方向の前記第二半導体領域の端部の前記第一半導体領域側の半分に配置されることを特徴とする請求項1に記載の抵抗変化メモリ。
- [4] 前記第四半導体領域は、前記複数本の行線が延びる方向の二つの端部にそれぞれ配置されることを特徴とする請求項1に記載の抵抗変化メモリ。
- [5] 前記第四半導体領域は、前記複数本の列線が延びる方向の二つの端部にそれぞれ配置されることを特徴とする請求項1に記載の抵抗変化メモリ。
- [6] 前記第四半導体領域は、前記第二半導体領域を取り囲んでいることを特徴とする請求項1に記載の抵抗変化メモリ。
- [7] 前記ダイオードは、前記複数本の列線側から前記複数本の行線側に向かう方向に

直交する方向の前記第四半導体領域の幅が100nm以下であることを特徴とする請求項1に記載の抵抗変化メモリ。

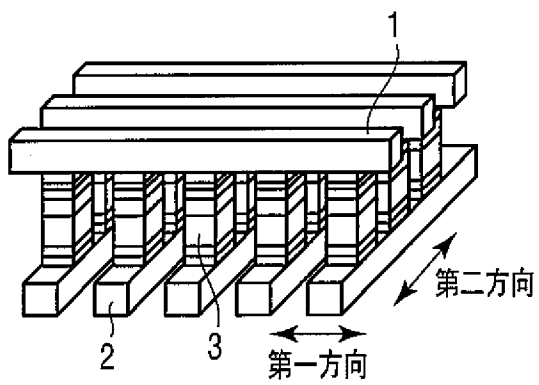
[図2]



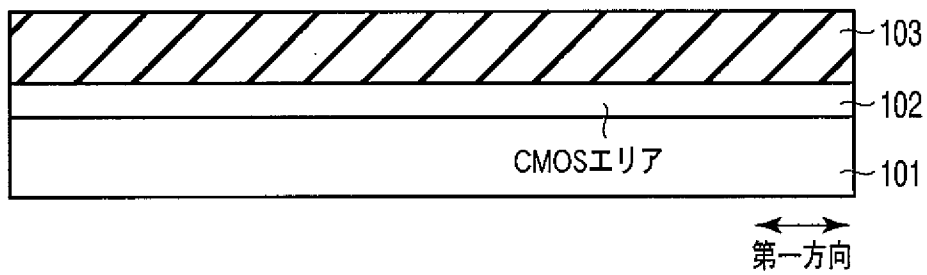
[図5]



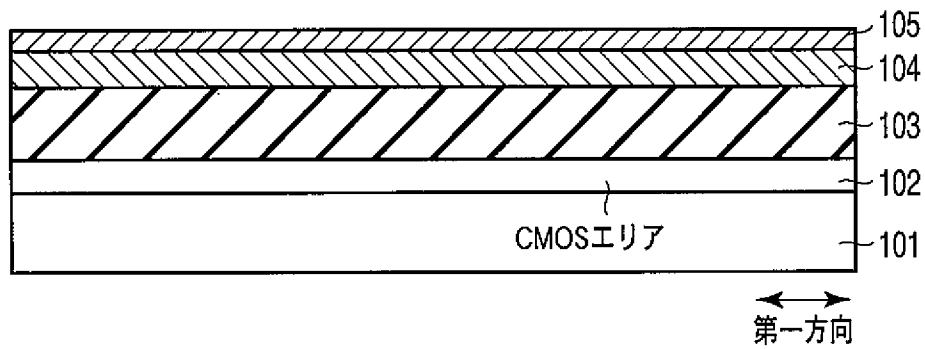
[図6]



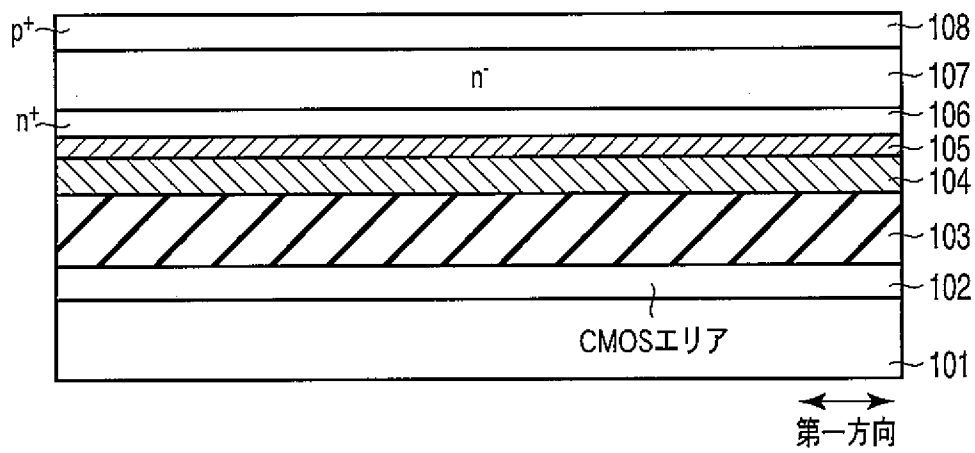
[図7]



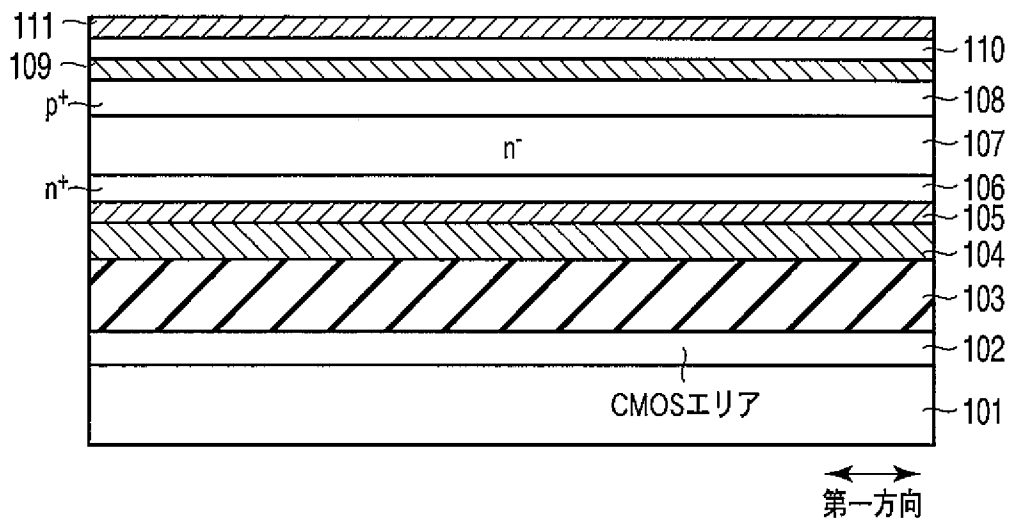
[図8]



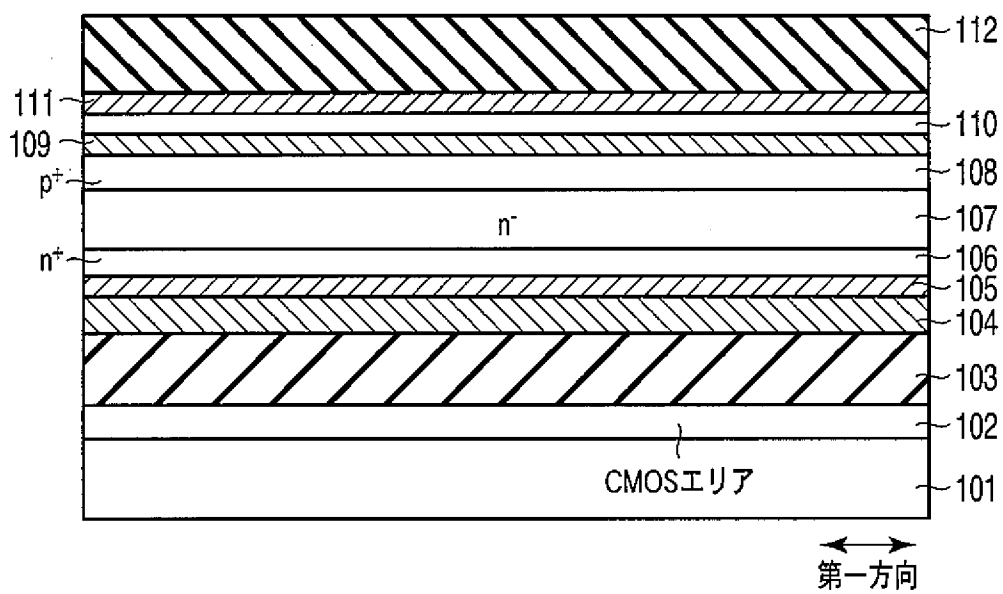
[図9]



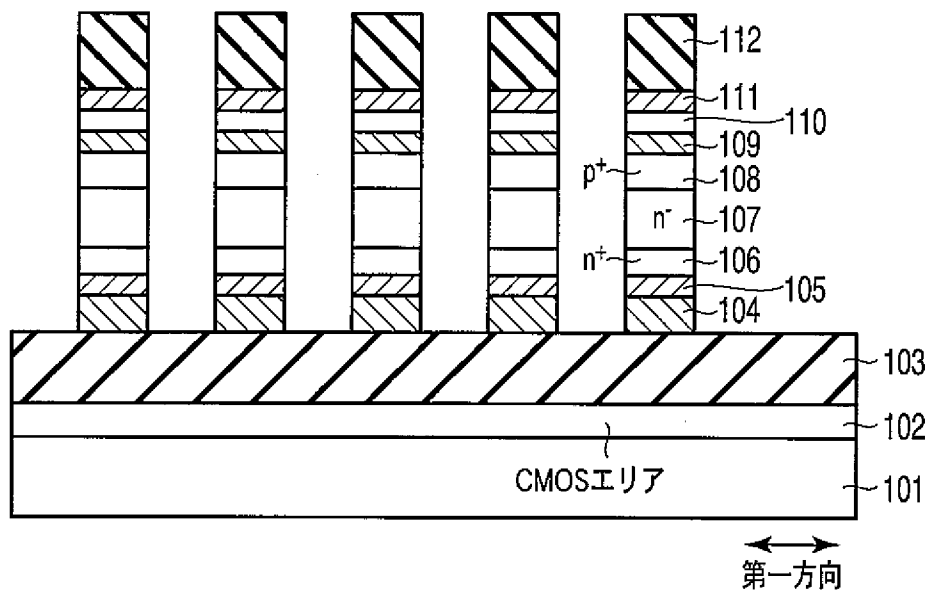
[図10]



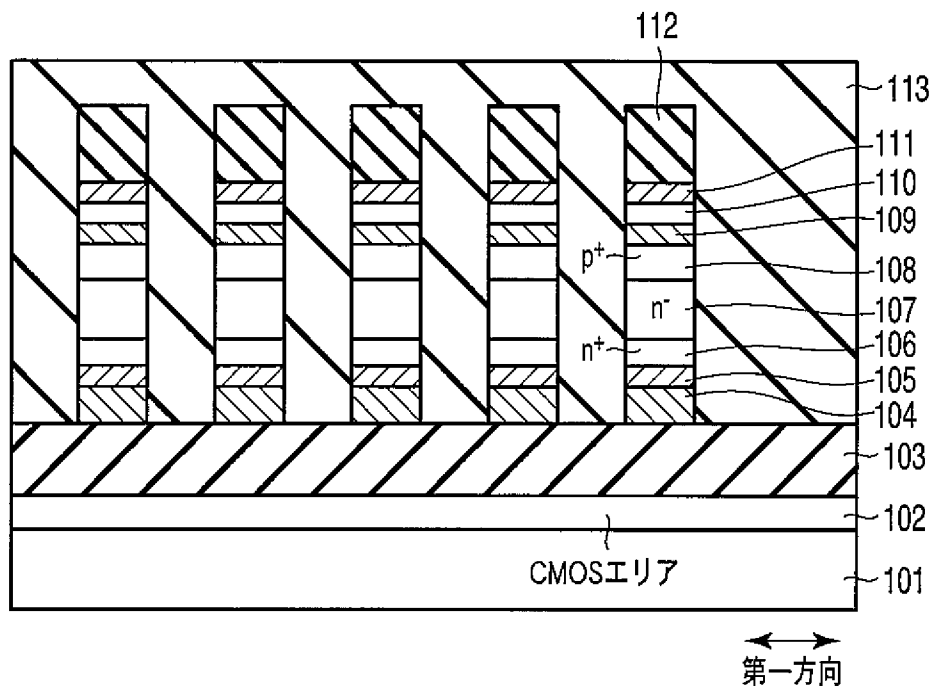
[図11]



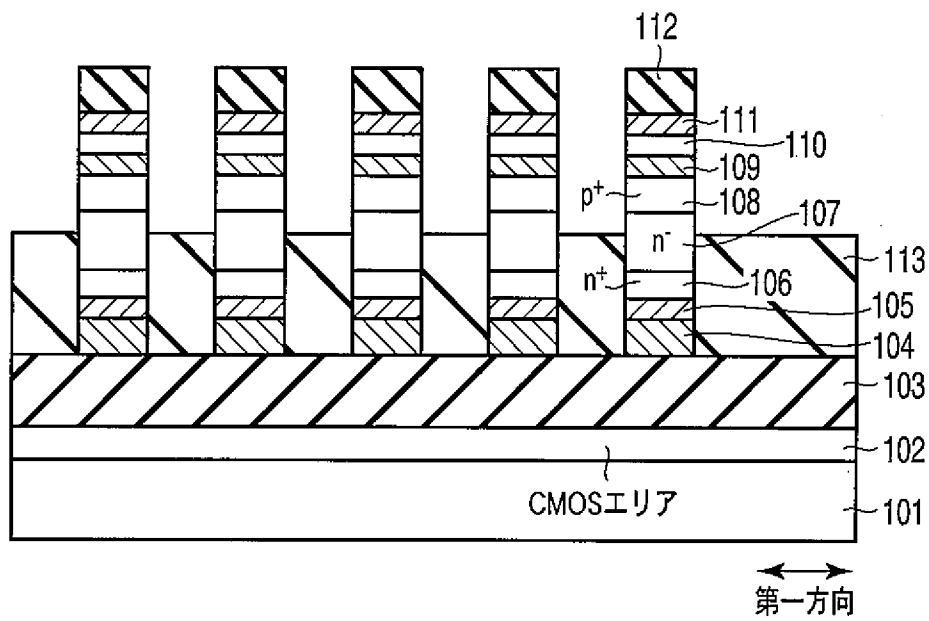
[図12]



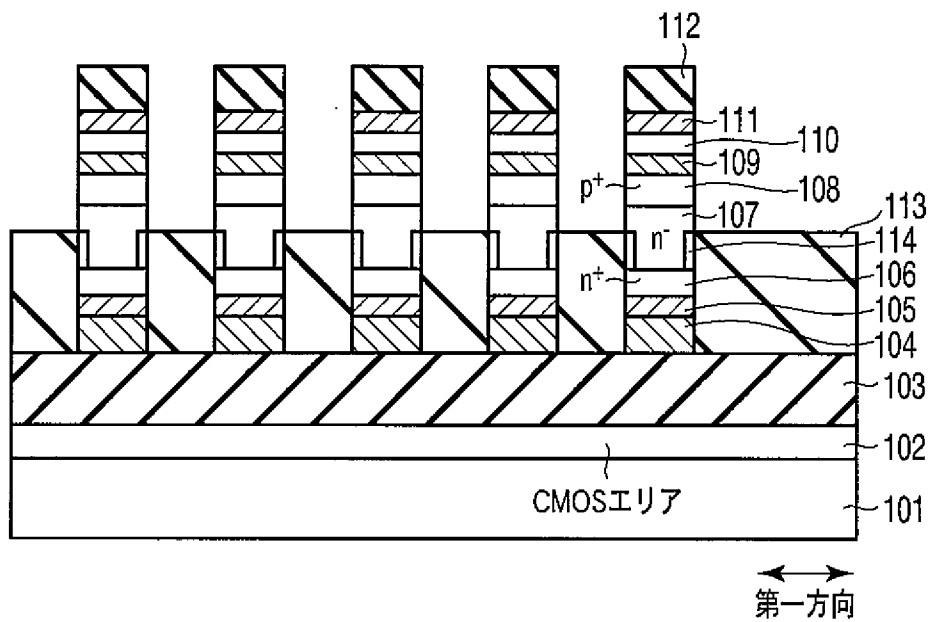
[図13]



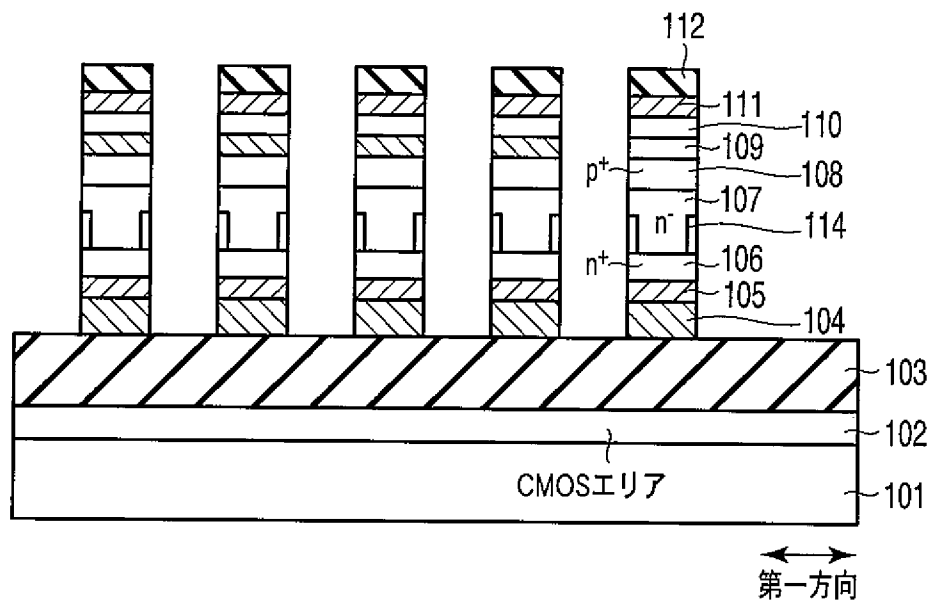
[図14]



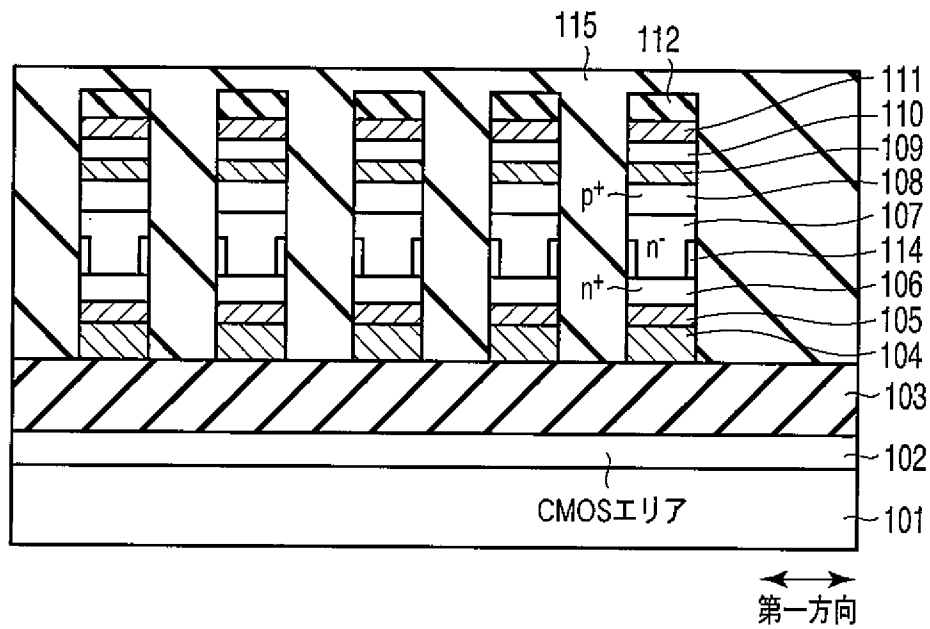
[図15]



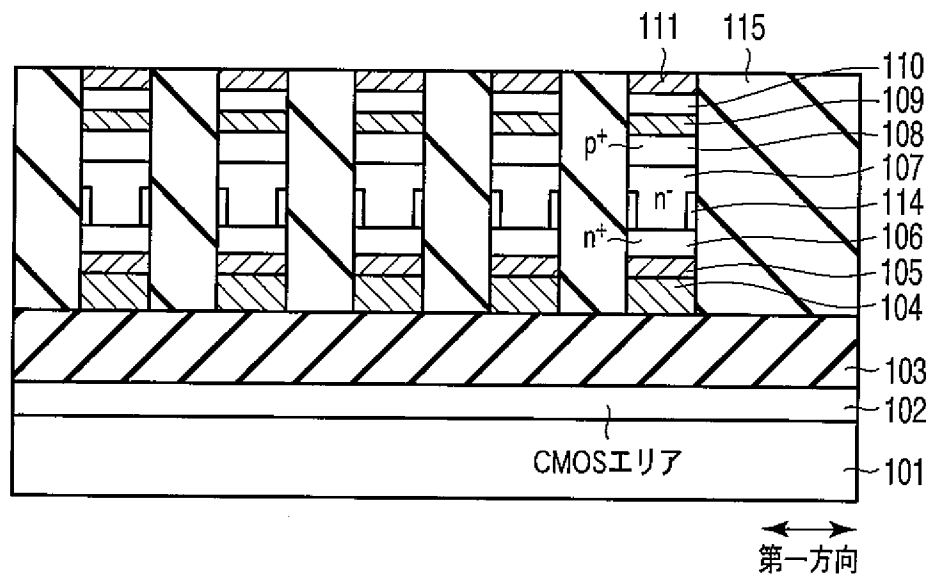
[図16]



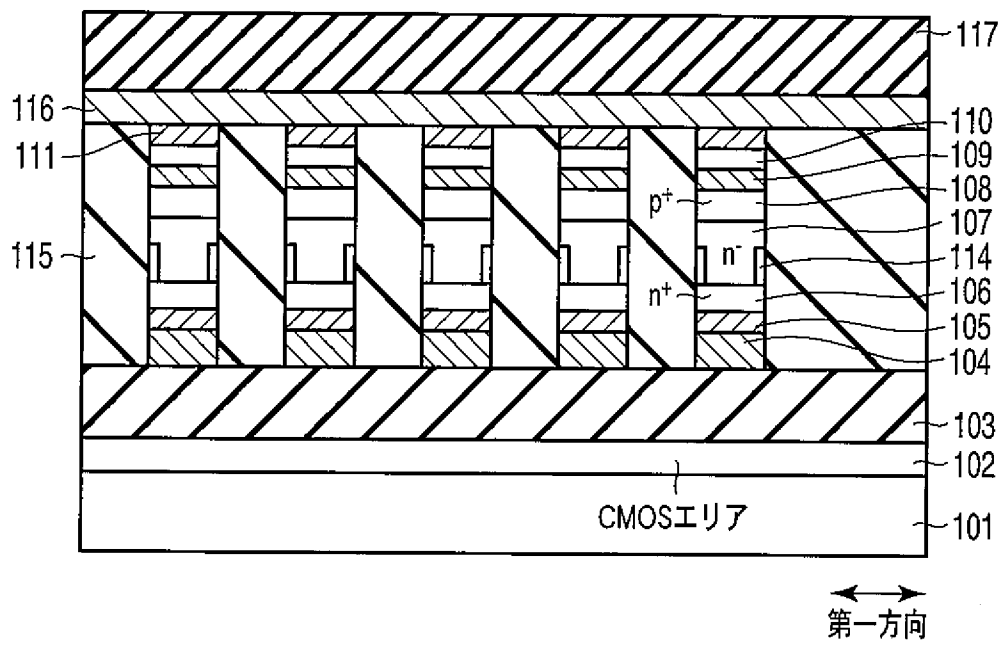
[図17]



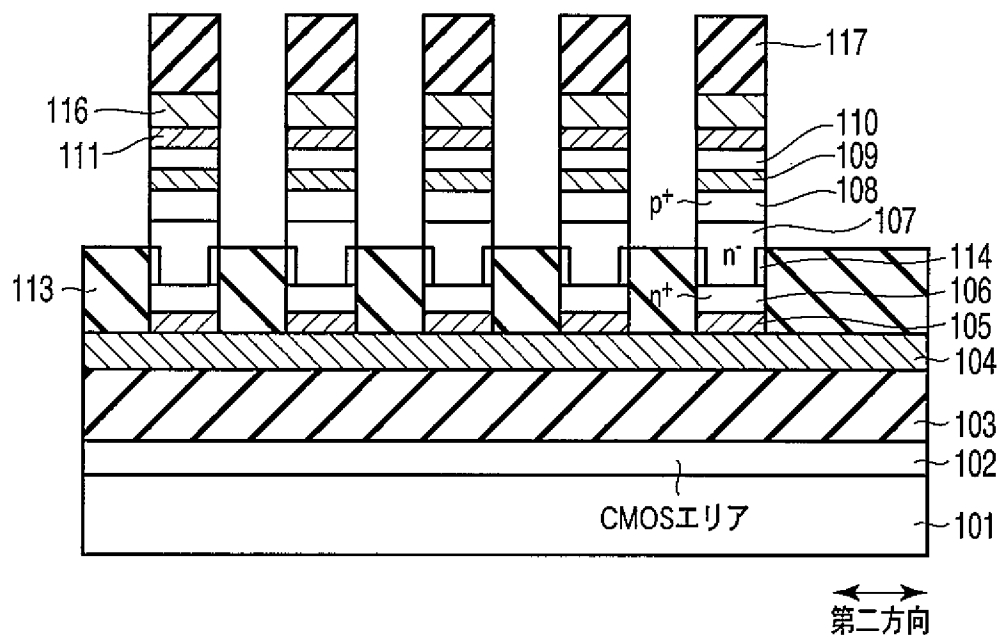
[図18]



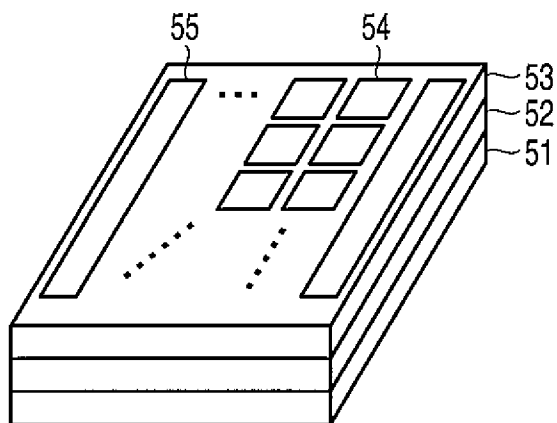
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068184

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/105155 A1 (Matsushita Electric Industrial Co., Ltd.), 04 September, 2008 (04.09.08), Full text; all drawings (Family: none)	1-7
A	JP 2003-152198 A (Fuji Electric Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0050] to [0055]; Fig. 10 & US 2002/0130331 A1 & DE 10207522 A1	1-7
A	JP 2002-184782 A (Sanken Electric Co., Ltd.), 28 June, 2002 (28.06.02), Par. Nos. [0028] to [0037]; Fig. 1 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 December, 2008 (11.12.08)Date of mailing of the international search report
22 December, 2008 (22.12.08)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068184

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 57-2580 A (Mitsubishi Electric Corp.), 07 January, 1982 (07.01.82), Full text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2008/105155 A1 (松下電器産業株式会社) 2008. 09. 04, 全文、全図 (ファミリーなし)	1-7
A	JP 2003-152198 A (富士電機株式会社) 2003. 05. 23, 段落【0050】-【0055】, 図10 & US 2002/0130331 A1 & DE 10207522 A1	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 2 . 2 0 0 8

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

4 M

9 6 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-184782 A (サンケン電気株式会社) 2002. 06. 28, 段落【0028】－【0037】, 図1 (ファミリーなし)	1-7
A	JP 57-2580 A (三菱電機株式会社) 1982. 01. 07, 全文、全図 (ファミリーなし)	1-7