



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년11월05일  
(11) 등록번호 10-0992036  
(24) 등록일자 2010년10월29일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2008-7002394

(22) 출원일자(국제출원일자) 2006년08월22일

심사청구일자 2008년09월29일

(85) 번역문제출일자 2008년01월29일

(65) 공개번호 10-2008-0037666

(43) 공개일자 2008년04월30일

(86) 국제출원번호 PCT/US2006/032974

(87) 국제공개번호 WO 2007/024984

국제공개일자 2007년03월01일

(30) 우선권주장

11/208,985 2005년08월22일 미국(US)

(56) 선행기술조사문현

US05731239 A1\*

\*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 4 항

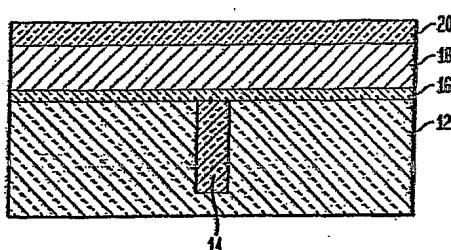
심사관 : 정두한

(54) 응력이 가해진 게이트 금속 실리사이드층을 포함하는 고성능 MOSFET 및 그 제조 방법

### (57) 요 약

본 발명은 소스 영역, 드레인 영역, 채널 영역, 게이트 유전체 층, 게이트 전극 및 하나 이상의 게이트 측벽 스페이서를 포함하는 하나 이상의 전계 효과 트랜지스터를 포함한 반도체 디바이스(FET)에 관한 것이다. FET의 게이트 전극은 고유 응력이 가해진 게이트 금속 실리사이드 층을 포함하며, 이러한 고유 응력이 가해진 게이트 금속 실리사이드 층은 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되며, FET의 채널 영역에 응력을 생성시키도록 배열되어 구성된다. 바람직하게는, 반도체 디바이스는 하나 이상의 p-채널 FET를 포함하며, 보다 바람직하게는, p-채널 FET는 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되며 FET의 p-채널에 압축 응력을 생성시키도록 배열되어 구성되어 있는, 고유 응력이 가해진 게이트 금속 실리사이드 층을 갖는 게이트 전극을 갖고 있다.

대 표 도 - 도1a



## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

반도체 디바이스를 제조하는 방법에 있어서,

후퇴형(recessed) 게이트 전극을 갖는 적어도 하나의 p-FET 전구체 구조, 및 비후퇴형(un-recessed) 게이트 전극을 갖는 적어도 하나의 n-FET 전구체 구조를 형성하는 단계;

상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조 상에 금속 층을 증착(deposit)하는 단계;

상기 금속 층 상에 제1 및 제2 캡핑 층을 증착하는 단계;

상기 적어도 하나의 p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 상기 적어도 하나의 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조를, 승온 온도(elevated temperature)에서 어닐링하는 단계;

적어도 하나의 p-FET 및 적어도 하나의 n-FET를 형성하기 위하여, 반응하지 않은 금속, 상기 제1 캡핑 층 및 상기 제2 캡핑 층을 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조로부터 제거하는 단계를 포함하고,

상기 적어도 하나의 p-FET의 상기 제1 금속 실리사이드 층은, 고유 응력을 받고(intrinsically stressed) 게이트 스페이서들에 의해 측방향으로(laterally) 한정(confine)되며, 상기 적어도 하나의 p-FET의 채널 영역에서 압축 응력을 생성하도록 배열 및 구성되고,

상기 적어도 하나의 n-FET의 상기 제2 금속 실리사이드 층은 하나 이상의 게이트 측벽 스페이서들 위에 돌출하는 것인 반도체 디바이스 제조 방법.

### 청구항 6

반도체 디바이스를 제조하는 방법에 있어서,

후퇴형 게이트 전극을 갖는 적어도 하나의 p-FET, 및 비후퇴형 게이트 전극을 갖는 적어도 하나의 n-FET를 제공하는 단계;

상기 적어도 하나의 p-FET 및 상기 적어도 하나의 n-FET 상에 금속 층을 증착하는 단계;

상기 적어도 하나의 p-FET 및 상기 적어도 하나의 n-FET 양쪽 모두를 피복(cover)하기 위하여 상기 금속 층 상에 제1 캡핑 층을 증착하는 단계;

상기 적어도 하나의 p-FET를 선택적으로 피복하기 위하여, 제1 캡핑 층 상에 패터닝된 제2 캡핑 층을 형성하는 단계;

상기 적어도 하나의 p-FET의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 상기 적어도 하

나의 n-FET의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여 상기 적어도 하나의 p-FET 및 상기 적어도 하나의 n-FET를, 승온 온도에서 어닐링하는 단계;

반응하지 않은 금속, 상기 제1 캡핑 층 및 상기 패터닝된 제2 캡핑 층을 상기 적어도 하나의 p-FET 및 상기 적어도 하나의 n-FET으로부터 제거하는 단계를 포함하고,

상기 적어도 하나의 p-FET의 상기 제1 금속 실리사이드 층은, 고유 응력을 받고 게이트 스페이서들에 의해 측방향으로 한정되며, 상기 적어도 하나의 p-FET의 채널 영역에서 압축 응력을 생성하도록 배열 및 구성되고,

상기 적어도 하나의 n-FET의 상기 제2 금속 실리사이드 층은 하나 이상의 게이트 측벽 스페이서들 위에 돌출하는 것인 반도체 디바이스 제조 방법.

## 청구항 7

반도체 디바이스를 제조하는 방법에 있어서,

후퇴형 게이트 전극을 갖는 적어도 하나의 p-FET 전구체 구조, 및 비후퇴형 게이트 전극을 갖는 적어도 하나의 n-FET 전구체 구조를 제공하는 단계;

상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조 양쪽 모두를 피복하기 위하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조 상에 금속층을 증착하고, 상기 금속 층 상에 제1 캡핑 층을 증착하는 단계;

상기 적어도 하나의 p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 상기 적어도 하나의 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조를, 제1 승온 온도에서 어닐링하는 단계로서, 상기 제1 및 제2 금속 실리사이드 층은 제1 실리사이드 상(phase)을 갖는 것인 제1 어닐링 단계;

반응하지 않은 금속 및 상기 제1 캡핑 층을 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조로부터 제거하는 단계;

상기 적어도 하나의 p-FET 전구체 구조를 선택적으로 피복하기 위하여, 패터닝된 제2 캡핑 층을 형성하는 단계;

상기 제1 및 제2 금속 실리사이드 층을 상기 제1 실리사이드 상으로부터 다른 제2 실리사이드 상으로 변환시키기 위하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조를, 제2 승온 온도에서 어닐링하는 제2 어닐링 단계;

적어도 하나의 p-FET 및 적어도 하나의 n-FET를 형성하기 위하여, 상기 패터닝된 제2 캡핑 층을 제거하는 단계를 포함하고,

상기 적어도 하나의 p-FET의 상기 제1 금속 실리사이드 층은, 고유 응력을 받고 게이트 스페이서들에 의해 측방향으로 한정되며, 상기 적어도 하나의 p-FET의 채널 영역에서 압축 응력을 생성하도록 배열 및 구성되고,

상기 적어도 하나의 n-FET의 상기 제2 금속 실리사이드 층은 하나 이상의 게이트 측벽 스페이서들 위에 돌출하는 것인 반도체 디바이스 제조 방법.

## 청구항 8

반도체 디바이스를 제조하는 방법에 있어서,

후퇴형 게이트 전극을 갖는 적어도 하나의 p-FET 전구체 구조, 및 비후퇴형 게이트 전극을 갖는 적어도 하나의 n-FET 전구체 구조를 제공하는 단계;

상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조 양쪽 모두를 피복하기 위하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조 상에 금속 층을 증착하고, 상기 금속 층 상에 제1 캡핑 층을 증착하는 단계;

상기 적어도 하나의 p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 상기 적어도 하나의 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위

하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조를, 제1 승온 온도에서 어닐링하는 단계로서, 상기 제1 및 제2 금속 실리사이드 층은 제1 실리사이드 상을 갖는 것인 제1 어닐링 단계; 반응하지 않은 금속 및 상기 제1 캡핑 층을 상기 적어도 하나의 p-FET 및 상기 적어도 하나의 n-FET 전구체 구조로부터 제거하는 단계;

상기 적어도 하나의 p-FET 전구체 구조를 선택적으로 피복하기 위하여, 패터닝된 제2 캡핑 층을 형성하는 단계로서, 상기 패터닝된 제2 캡핑 층은 압축 응력을 받는 것인 제2 캡핑 층 형성 단계;

상기 제1 및 제2 금속 실리사이드 층을 제1 실리사이드 상으로부터 다른 제2 실리사이드 상으로 변환시키기 위하여, 상기 적어도 하나의 p-FET 전구체 구조 및 상기 적어도 하나의 n-FET 전구체 구조를, 제2 승온 온도에서 어닐링하는 제2 어닐링 단계;

적어도 하나의 p-FET 및 적어도 하나의 n-FET를 형성하도록, 상기 적어도 하나의 n-FET 전구체 구조를 선택적으로 피복하기 위하여, 패터닝된 제3 캡핑 층을 형성하는 단계로서, 상기 패터닝된 제3 캡핑 층은 인장 응력을 받는(tensilely stressed) 것인 제3 캡핑 층 형성 단계를 포함하고,

상기 적어도 하나의 p-FET의 상기 제1 금속 실리사이드 층은, 고유 응력을 받고 게이트 스페이서들에 의해 측방 향으로 한정되며, 상기 적어도 하나의 p-FET의 채널 영역에서 압축 응력을 생성하도록 배열 및 구성되고,

상기 적어도 하나의 n-FET의 상기 제2 금속 실리사이드 층은 하나 이상의 게이트 측벽 스페이서들 위에 돌출하는 것인 반도체 디바이스 제조 방법.

## 청구항 9

삭제

## 청구항 10

삭제

## 명세서

### 기술 분야

[0001]

본 발명은 일반적으로 하나 이상의 고성능 전계 효과 트랜지스터(FET)를 포함하는 반도체 디바이스에 관한 것이다. 보다 자세하게는, 본 발명은 응력이 가해진 게이트 금속 실리사이드 층을 포함하는 고성능 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET) 및 그러한 고성능 MOSFET을 제조하는 방법에 관한 것이다.

### 배경 기술

[0002]

트랜지스터, 커패시터 등과 같은 집적 회로 소자들은 크기에 있어 현저하게 감소되고 밀도와 근접성에서 있어 현저하게 증가되어 왔으며, 이는 이어서 신호 전파 경로 길이와 신호 전파 경로 시간을 감소시킨다. 그러나, 집적 회로 소자들의 크기가 감소함에 따라 트랜지스터들 및 다른 소자들이 작용하는 재료 특성들 및 물리적 효과가 불가피하게 손상된다.

[0003]

따라서, 이를 소자의 적절한 성능 레벨들을 유지하기 위하여 많은 개선된 설계들이 제공되어 왔다. 예를 들어, 저농도로 도핑된 드레인(LDD) 구조(일반적으로, 확장 주입이라 함), 할로(halo) 주입, 및 그레이디드 불순물 프로파일(graded impurity profile)이 전계 효과 트랜지스터(FET)에 채용되어, 쇼트 채널 및 펀치스루(punch-through) 효과 등을 중화시킨다. 디바이스 스케일에서의 감소는 또한, 동작 마진이 감소될 수 있지만, 디바이스에 대한 손상을 일으키지 않고 적절한 성능을 유지하기 위하여 감소된 전압에서의 동작을 필요로 한다.

[0004]

전계 효과 트랜지스터의 성능에 영향을 주는 주요 인자는 특정 게이트 전압 하에서 도핑된 반도체 채널을 통하여 (전자 또는 정공으로서) 흐를 수 있는 전류 또는 전하의 양을 결정하는 캐리어 이동도이다. FET에서의 감소된 캐리어 이동도는 주어진 트랜지스터의 스위칭 속도/스糗 레이트를 감소시킬 뿐만 아니라 "on" 저항과 "off" 저항 간에 차이를 감소시킨다. "on" 저항과 "off" 저항 간에 차이 감소 효과는 잡음에 대한 민감도를 증가시키고 하향 방향에 있는 트랜지스터 게이트가 구동될 수 있는 갯수 및/또는 속도를 감소시킨다.

[0005]

FET의 채널 영역에서의 기계적 응력은 응력 유형(예를 들어, 인장 응력 또는 압축 응력) 및 캐리어 유형(예를 들어, 전자 또는 정공)에 따라 캐리어 이동도를 상당하게 증가시키거나 감소시킬 수 있는 것으로 보여지고

있다. 통상적으로, 트랜지스터 채널 영역에서의 인장 응력은 채널 전자 이동도를 증가시키지만, 채널 정공 이동도를 감소시키는 반면, 이러한 채널 영역에서의 압축 응력은 채널 정공 이동도를 증가시키지만 채널 전자 이동도를 감소시킨다.

[0006] 이러한 점에서, FET 채널 층의 하부로부터 응력을 부여하기 위한, 밑에 있는(underlying) SiGe 층의 이용 및/또는 FET 채널 층의 측면으로부터 길이 방향(longitudinal) 응력을 부여하기 위한, 얇은 트렌치 절연(STI) 구조체, 게이트 스페이서,  $\text{Si}_3\text{N}_4$  에치 스텝층의 이용과 같은 인장 응력 또는 압축 응력을 FET 채널 영역에 유도하기 위한 수많은 구조 및 재료들이 제안되고 있다.

[0007] 그러나, 당해 기술의 당업자에게 잘 알려진 바와 같이, 증가된 제조 비용 및 처리 복잡성과 함께 수율에 심각한 영향을 주는 배위(dislocation) 결함들의 형상을 포함하여, 밑에 있는 SiGe 층에 대하여 문제들이 있다. STI 접근 방식은 비용적으로 거의 들지 않지만, 게이트와 자체 정렬되지 않고, 외부 저항(RX) 크기 민감도를 갖고 있다. 한편,  $\text{Si}_3\text{N}_4$  에치 스텝 층을 이용함으로써, 근접하게 위치된 2개의 게이트들 간의 공간에 의해 이득이 제한된다. 트랜지스터 스케일로서, 공간이 더 작아지게 되고,  $\text{Si}_3\text{N}_4$ 의 두께가 그에 따라 감소되어야 하기 때문에, 응력 효과가 작아지게 된다.

[0008] 따라서, 감소된 비용 및 감소된 처리 복잡성으로 고성능 FET 디바이스를 형성하기 위하여 상당히 높은 응력을 제공할 수 있는 구조 및 방법에 대한 요구가 계속되고 있다.

### 발명의 상세한 설명

[0009] 본 발명은 고유 응력이 가해진 게이트 금속 실리사이드 층을 바람직하게 재용하여 각각의 MOSFET 구성요소들에 원하는 응력(즉, p-MOSFET 채널에 압축 응력 및 n-MOSFET 채널에 인장 응력)을 인가하는 것이다.

[0010] 일 양태에서, 본 발명은 반도체 기판에 위치되어 있는 반도체 디바이스에 관한 것이다. 반도체 디바이스는 소스 영역, 드레인 영역, 채널 영역, 게이트 유전층, 게이트 전극, 및 하나 이상의 게이트 측벽 스페이서를 포함하는 하나 이상의 전계 효과 트랜지스터(FET)를 포함하며, 게이트 전극은 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있으며 FET의 채널 영역에 응력을 생성하기 위해 배열되어 구성되어 있는, 고유 응력이 가해진 게이트 금속 실리사이드 층을 포함한다.

[0011] 여기에서 이용되는 용어, "고유 응력이 가해진" 또는 "고유 응력"은 압축 또는 인장의 응력 또는 응력의 존재를 의미하며, 구조체를 제조하는 동안에 생성되므로, 따라서, 외력에 의해 구조체에 인가되어 외력에 의해서만 유지될 수 있는 외부 응력에 대조적으로, 외력 없이도 구조체에서 유지될 수 있다.

[0012] 바람직한 실시예에서, FET는 p-채널 FET(p-FET)이다. 보다 바람직하게는, p-FET의 게이트 전극은 p-FET의 채널 영역에 압축 응력을 생성하기 위하여 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되는, 고유 응력이 가해진 (보다 바람직하게는, 인장 응력이 가해진) 게이트 금속 실리사이드 층을 포함한다.

[0013] 또한, 본 발명의 반도체 디바이스는 p-FET 뿐만 아니라 n-채널 FET(n-FET)를 포함할 수 있다. 일 실시예에서, n-FET는 또한 하나 이상의 게이트 측벽 스페이서 상에서 돌출되어 있는 게이트 금속 실리사이드 층을 갖는 게이트 전극을 포함할 수 있다. 이러한 돌출형 게이트 금속 실리사이드는 n-FET의 채널 영역에 응력을 거의 또는 전혀 생성하지 않는다. 대안의 실시예에서, n-FET는 n-FET의 채널 영역에 인장 응력을 생성하기 위하여 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있는 고유 응력이 가해진 (바람직하게는 압축 응력이 가해진) 게이트 금속 실리사이드 층을 갖는 게이트 전극을 포함할 수 있다.

[0014] 여기에서 이용된 용어 "인장 응력이 가해진" 또는 "압축 응력이 가해진"은 통상적으로 달리 특정되어 있지 않으면 압축 또는 인장의 내부 응력에 의해 특징화되는 구조를 의미한다.

[0015] 다른 양태에서, 본 발명은 반도체 디바이스를 제조하는 방법에 관한 것으로, 이 방법은,

[0016] 반도체 기판에 하나 이상의 전계 효과 트랜지스터(FET)를 형성하는 단계로서, 상기 전계 효과 트랜지스터는 소스 영역, 드레인 영역, 채널 영역, 게이트 유전층, 게이트 전극, 및 하나 이상의 게이트 측벽 스페이서를 포함하는 것인 트랜지스터 형성 단계와;

[0017] 게이트 전극의 표면에 고유 응력이 가해진 금속 실리사이드 층을 형성하는 단계로서, 상기 고유 응력이 가해진 금속 실리사이드 층은 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있으며, FET의 채널 영역에 응력을 생성하기 위하여 배열되어 구성된 것인 금속 실리사이드 층 형성 단계를 포함한다.

- [0018] 본 발명의 일 실시예에서, 고유 응력이 가해진 금속 실리사이드 층은 살리사이드화(즉, 자체 정렬형 실리사이드화) 처리에 의해 형성된다. 상술한 바와 같이, FET는 바람직하게, p-FET의 채널 영역에 압축 응력을 생성하기 위하여 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있는 고유 응력이 가해진 게이트 금속 실리사이드 층을 가진 게이트 전극을 갖고 있는 p-FET이다. 보다 자세하게는, 상기 p-FET에 더하여, n-FET가 형성된다. 본 발명의 이 실시예에서, n-FET는 하나 이상의 게이트 측벽 스페이서 상에서 돌출하는 게이트 금속 실리사이드 층을 가진 게이트 전극을 가질 수 있다.
- [0019] p-FET 및 n-FET는,
- [0020] 후퇴형(recessed) 게이트 전극을 갖는 하나 이상의 p-FET 전구체(precursor) 구조와 비후퇴형(un-recessed) 게이트 전극을 갖는 하나 이상의 n-FET 전구체 구조를 형성하는 단계와;
- [0021] p-FET 및 n-FET 전구체 구조 상에 금속 층을 성막하는 단계와;
- [0022] 금속 층 상에 제1 및 제2 캡핑(capping) 층을 성막하는 단계와;
- [0023] p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여 승온된 온도에서 p-FET 및 n-FET 전구체 구조를 어닐링하는 단계와;
- [0024] 상기 p-FET 및 n-FET를 형성하기 위하여 p-FET 및 n-FET 전구체 구조로부터 반응하지 않은 금속, 제1 캡핑 층 및 제2 캡핑 층을 제거하는 단계
- [0025] 예 의해 형성될 수 있다.
- [0026] 다른 방법으로, p-FET 및 n-FET는,
- [0027] 후퇴형 게이트 전극을 갖는 하나 이상의 p-FET 전구체 구조와, 비후퇴형 게이트 전극을 갖는 하나 이상의 n-FET 전구체 구조를 제공하는 단계와;
- [0028] p-FET 및 n-FET 전구체 구조 상에 금속 층을 성막하는 단계와;
- [0029] p-FET 및 n-FET 전구체 구조 양쪽 모두를 피복하기 위하여 금속 층 상에 제1 캡핑 층을 성막하는 단계와;
- [0030] p-FET 전구체 구조를 선택적으로 피복하기 위하여 제1 캡핑 층 상에 패터닝된 제2 캡핑층을 형성하는 단계와;
- [0031] p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여 승온시킨 온도에서 p-FET 및 n-FET 전구체 구조를 어닐링하는 단계와;
- [0032] p-FET 및 n-FET를 형성하기 위하여 p-FET 및 n-FET 전구체 구조로부터 반응하지 않은 금속, 제1 캡핑 층, 패터닝된 제2 캡핑 층을 제거하는 단계
- [0033] 예 의해 형성될 수 있다.
- [0034] 또한, p-FET 및 n-FET는,
- [0035] 후퇴형 게이트 전극을 갖는 하나 이상의 p-FET 전구체 구조와 비후퇴형 게이트 전극을 갖는 하나 이상의 n-FET 전구체 구조를 제공하는 단계와;
- [0036] p-FET 및 n-FET 전구체 구조 양쪽 모두를 피복하기 위하여 p-FET 및 n-FET 전구체 구조 상에 금속 층을 성막하고 금속 층 상에 제1 캡핑 층을 성막하는 단계와;
- [0037] p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여 제1 승온된 온도에서 p-FET and n-FET 전구체 구조를 어닐링하는 단계로서, 상기 제1 및 제2 금속 실리사이드 층은 제1 실리사이드 상태를 갖는 것인 어닐링 단계와;
- [0038] p-FET 및 n-FET 전구체 구조로부터 반응하지 않은 금속과 제1 캡핑 층을 제거하는 단계와;
- [0039] p-FET 전구체 구조를 선택적으로 피복하기 위하여 패터닝된 제2 캡핑 층을 형성하는 단계와;
- [0040] 제1 실리사이드 상태로부터 다른 제2 실리사이드 상태로 제1 및 제2 금속 실리사이드 층을 변환시키기 위하여

제2 승온된 온도에서 p-FET 및 n-FET 전구체 구조를 어닐링하는 단계와;

[0041] p-FET 및 n-FET를 형성하기 위하여 p-FET 전구체 구조로부터 패터닝된 제2 캡핑 층을 제거하는 단계

에 의해 형성될 수 있다.

또한, 추가로, p-FET 및 n-FET는,

후퇴형 게이트 전극을 갖는 하나 이상의 p-FET 전구체 구조와, 비후퇴형 게이트 전극을 갖는 하나 이상의 n-FET 전구체 구조를 제공하는 단계와;

[0045] p-FET 및 n-FET 전구체 구조 양쪽 모두를 피복하기 위하여 p-FET 및 n-FET 전구체 구조 상에 금속 층을 성막하고 금속층 상에 제1 캡핑 층을 성막하는 단계와;

[0046] p-FET 전구체 구조의 후퇴형 게이트 전극의 표면에 제1 금속 실리사이드 층을 형성하고 n-FET 전구체 구조의 비후퇴형 게이트 전극의 표면에 제2 금속 실리사이드 층을 형성하기 위하여 제1 승온된 온도에서 p-FET 및 n-FET 전구체 구조를 어닐링하는 단계로서, 상기 제1 및 제2 금속 실리사이드 층은 제1 실리사이드 상태를 갖는 것인 어닐링 단계와;

[0047] p-FET 및 n-FET 전구체 구조로부터 반응하지 않은 금속과 제1 캡핑 층을 제거하는 단계와;

[0048] p-FET 전구체 구조를 선택적으로 피복하기 위하여 패터닝된 제2 캡핑 층을 형성하는 단계로서, 상기 패터닝된 제2 캡핑 층은 압축 응력이 가해지는 것인 제2 캡핑층의 형성 단계와;

[0049] 제1 및 제2 금속 실리사이드 층을 제1 실리사이드 상태로부터 다른 제2 실리사이드 상태로 변환시키기 위하여 제2 승온된 온도에서 상기 p-FET 및 n-FET 전구체 구조를 어닐링하는 단계와;

[0050] n-FET 전구체 구조를 선택적으로 피복하기 위하여 패터닝된 제3 캡핑 층을 형성하는 단계로서, 상기 패터닝된 제3 캡핑 층은 인장 응력이 가해져서 n-FET 및 p-FET를 형성하는 것인 제3 캡핑 층 형성 단계

에 의해 형성될 수 있다.

[0052] 다른 양태에서, 본 발명은 반도체 기판에 위치되어 있는 반도체 디바이스에 대한 것으로서, 반도체 디바이스는 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있고 p-FET의 채널 영역에 압축 응력을 생성하기 위하여 배열되어 구성되어 있는, 고유 응력이 가해지는 게이트 금속 실리사이드 층을 포함한 하나 이상의 p-채널 전계 효과 트랜지스터(p-FET)와, 하나 이상의 게이트 측벽 스페이서에 상에서 돌출하는 게이트 금속 실리사이드 층을 포함한 하나 이상의 n-채널 전계 효과 트랜지스터(n-FET)를 포함한다.

[0053] 또 다른 양태에서, 본 발명은 반도체 기판에 위치되어 있는 반도체 디바이스에 관한 것으로, 반도체 디바이스는 하나 이상의 게이트 측벽 스페이스에 의해 측방향으로 한정되어 있고 p-FET의 채널 영역에 압축 응력을 생성하기 위하여 배열되어 구성되어 있는, 고유 응력이 가해진 게이트 금속 실리사이드 층을 포함한 하나 이상의 p-채널 전계 효과 트랜지스터(p-FET)와, 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있으며 n-FET의 채널 영역에 인장 응력을 형성하기 위하여 배열되어 구성되어 있는, 압축 응력이 가해진 게이트 금속 실리사이드 층을 포함한 하나 이상의 n-채널 전계 효과 트랜지스터(n-FET)를 포함한다.

[0054] 본 발명의 다른 양태, 특징 및 이점들은 다음의 설명 및 첨부된 청구범위로부터 보다 완전하게 이해될 것이다.

### 실시예

[0059] 다음의 미국 특허 출원 공개 공보는 2003년 2월 27일 공개되고 발명의 명칭이 "SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME"인 미국 특허 출원 공개 번호 제2003/0040158호, 2005년 4월 21일 공개되고 발명의 명칭이 "HIGH PERFORMANCE STRESS-ENHANCED MOSFETS USING SI:C AND SIGE EPITAXIAL SOURCE/DRAIN AND METHOD OF MANUFACTURE"인 미국 특허 출원 공개 번호 제2005/0082616호 및 2005년 5월 5일 공개되고 발명의 명칭이 "STRUCTURE AND METHOD TO IMPROVE CHANNEL MOBILITY BY GATE ELECTRODE STRESS MODIFICATION"인 미국 특허 출원 공개 번호 제2005/0093059호이며, 여기에서는 그 전체를 참조로서 포함하고 있다.

[0060] 상술한 바와 같이, 본 발명은 FET의 채널 영역에 원하는 응력(즉, n-채널에 인장 응력 및 p-채널에 압축 응력)을 생성하기 위하여 고유 응력이 가해진 게이트 금속 실리사이드 층을 이용한다.

[0061] 고유 응력이 가해진 게이트 금속 실리사이드 층은 실리사이드화 처리에 의해 바람직하게 형성되는데, 이 실리사이드화 처리는 부피에서의 수축 또는 팽창을 발생시켜 이어서 고유 인장 응력 또는 고유 압축 응력을 게이트 금

속 실리사이드 층에 생성시킨다. 예를 들어, 코발트 또는 니켈 함유 게이트 금속 층의 살리사이드화 처리는 통상적으로, 게이트 금속 층에 부피에서의 수축을 가져와, 이어서 인장 응력이 가해진 게이트 금속 실리사이드 층을 생성한다. 금속 실리사이드가 ( $\text{Si}_3\text{N}_4$  캡핑 층과 같은) 강성의 캡핑 층 및/또는 하나 이상의 게이트 측벽 스페이서에 의해 캡슐화되어 있는 경우, 높은 인장 응력(약 1 GPa 내지 약 1.5 GPa)이 게이트 금속 실리사이드 층에 형성되어 유지될 수 있다. 그 후, 인장 응력이 가해진 게이트 금속 실리사이드 층은 p-채널 FET에서의 정공 이동도를 증가시키는데 바람직하게 이용될 수 있는 압축 응력을 FET의 밑에 있는 채널 층 내에 생성시킨다. 한편, 팔라듐 함유 게이트 금속 층의 살리사이드화 처리는 통상적으로 게이트 금속 층에서의 부피에서의 확장을 가져오고, 내부에서의 전자 이동도의 증가를 위하여 n-FET의 채널 영역에 인장 응력을 생성하는데 이용될 수 있는 압축 응력이 가해진 게이트 금속 실리사이드 층을 형성한다.

[0062] 다음의 설명에서, 본 발명의 철저한 이해를 제공하기 위하여, 특정 구조, 구성요소, 재료, 크기, 처리 단계들 및 기술과 같은 많은 세부 사항들이 설명된다. 그러나, 당업자는 본 발명이 이들 특정 세부 사항들 없이도 실시될 수 있음을 이해할 것이다. 다른 경우, 잘 알려진 구조 또는 처리 단계는 발명이 모호해지는 것을 피하기 위하여 그 설명을 생략하였다.

[0063] 층, 영역, 또는 기판과 같은 요소들은 다른 요소 "상에" 있는 것으로 언급될 경우, 다른 요소들 상에 직접 있거나 또는 개재되어 있는 요소들이 또한 존재할 수 있 것으로 이해될 수 있다. 대조적으로, 요소가 다른 요소 "상에 직접" 있는 것으로 언급되어 있는 경우, 개재하고 있는 요소가 존재하지 않는다. 또한, 요소가 다른 요소에 "접속된" 또는 "연결된"으로 언급되어 있는 경우, 다른 요소에 직접 접속 또는 연결되거나 개재된 요소가 존재할 수 있는 것으로 이해되어야 한다. 대조적으로, 요소가 "직접 접속된" 또는 "직접 연결된"으로 언급되어 있는 경우, 개재되어 있는 요소는 존재하지 않는다.

[0064] 본 발명은 FET 채널 영역에서의 대응하는 캐리어들(즉, n-채널에서의 전자 및 p-채널에서의 정공)의 이동도를 증가시키도록 FET의 채널 영역에 원하는 응력을 생성하기 위하여 하나 이상의 게이트 측벽 스페이서에 의해 측방향으로 한정되어 있는 고유 응력이 가해진 게이트 금속 실리사이드 층을 갖는 하나 이상의 FET를 포함하는 반도체 디바이스를 제공하고 있다.

[0065] 이하, 첨부한 도면, 도 1a 내지 도 1j를 참조하여, 본 발명의 FET 디바이스 구조 뿐만 아니라 그 디바이스 구조를 제조하기 위한 방법이 보다 자세하게 설명될 것이다. 일정한 비율을 갖고 도시한 것이 아닌 이들 도면에서, 동일 및/또는 대응하는 요소들은 동일한 도면 부호로 인용되어 있다. 또한, 도면에서, 단일의 반도체 기판 상단에 하나의 p-채널 FET 및 하나의 n-채널 FET가 도시되어 있음을 주지해야 한다. 설명이 이러한 실시예로 이루어져 있지만, 본 발명은 반도체 구조의 표면 상에 어떠한 특정 개수의 FET 디바이스의 형성으로 제한되지 않는다.

[0066] 먼저, 도 1a를 참조하여 보면, 도 1a는 내부에 하나 이상의 절연 영역(14)을 포함하는 반도체 기판(12)을 나타낸다.

[0067] 반도체 기판(12)은 이들에 한정되는 것은 아니지만, Si, SiC, SiGe, SiGeC, Ge 합금, GaAs, InAs, InP 뿐만 아니라 다른 III-V족 또는 II-VI족 화합물 반도체를 포함한 어떠한 반도체 재료도 포함할 수 있다. 또한, 반도체 기판(12)은 유기질 반도체 또는 Si/SiGe, 실리콘 온 인슐레이터(SOI) 또는 SiGe-온-인슐레이터(SGOI)와 같은 층형 반도체를 포함할 수 있다. 본 발명의 일부 실시예에서는, 반도체 기판(12)이 Si-함유 반도체 재료로 구성되는, 즉, 실리콘을 포함하는 반도체 재료로 구성되는 것이 바람직하다. 반도체 기판(12)은 도핑되거나 도핑되지 않을 수도 있거나, 또는 내부에 도핑된 그리고 도핑되지 않은 영역을 포함할 수 있다. 반도체 기판(12)은 n-FET에 대한 제1 도핑된(n- 또는 p-) 디바이스 영역(도시 생략)과 p-FET에 대한 제2 도핑된(n- 또는 p-) 디바이스 영역(도시 생략)을 포함할 수 있다. 제1 도핑된 디바이스 영역 및 제2 도핑된 디바이스 영역은 동일하거나 다른 도전형일 수 있거나 및/또는 동일하거나 다른 도핑 농도를 가질 수 있다. 도핑된 디바이스 영역은 통상적으로 "웰"이라고 잘 알려져 있다.

[0068] 하나 이상의 절연 영역(14)이 통상적으로 반도체 기판(12) 내에 형성되어, n-FET에 대한 도핑된 디바이스 영역과 p-FET에 대한 도핑된 디바이스 영역 사이에 절연을 제공한다. 절연 영역(14)은 트렌치 절연 영역 또는 필드 산화물 절연 영역일 수 있다. 트렌치 절연 영역은 당해 기술 분야의 당업자에게 잘 알려진 통상적인 트렌치 절연 처리를 이용하여 형성된다. 예를 들어, 트렌치 절연물을 이용한 트렌치의 리소그래피, 에칭 및 충전 공정이, 트렌치 절연 영역을 형성하는데 이용될 수 있다. 선택적으로, 트렌치 충전 공정 이전에 라이너가 트렌치에 형성될 수 있고, 트렌치 충전 공정 이후에 치밀화(densification) 단계가 수행될 수 있으며, 평탄화 처리가 또한 트렌치 충전 공정에 후속할 수 있다. 필드 산화물은 소위 실리콘의 국부적 산화 처리를 이용하여 형성될 수 있다.

- [0069] 반도체 기판(12) 내에 하나 이상의 절연 영역(14)을 형성한 후, 게이트 유전체 층(16)이 반도체 기판(12)의 전체 표면 상에 형성된다. 게이트 유전체 층(16)은 예를 들어, 산화, 질화, 또는 산질화와 같은 열적 성장 처리에 의해 형성될 수 있다. 다른 방법으로는, 게이트 유전체 층(16)은 예를 들어, 화학적 기상 증착(CVD), 플라즈마 어시스트 CVD, 원자층 증착(ALD), 열증착, 리액티브 스퍼터링, 화학적 용액 성막 등의 성막 처리들과 같은 성막에 의해 형성될 수 있다. 또한, 게이트 유전체 층(16)은 상술한 처리들의 어떠한 조합을 이용하여 형성될 수 있다. 게이트 유전체 층(16)은 이들에 한정되는 것은 아니지만, 산화물, 질화물, 산질화물, 및/또는 금속 실리케이트를 포함한 실리케이트 및 질화된 금속 실리케이트를 포함하는 절연체 재료로 구성된다. 일 실시예에서, 게이트 유전체 층(16)은 예를 들어,  $\text{SiO}_2$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{La}_2\text{O}_3$ ,  $\text{SrTiO}_3$ ,  $\text{LaAlO}_3$ , 및 이들의 혼합물과 같은 산화물로 구성되는 것이 바람직하다. 게이트 유전체 층(16)의 물리적 두께는 변화할 수 있지만, 통상적으로, 게이트 유전체 층(16)은 약 0.5 내지 약 10 nm의 두께를 가지며, 약 0.5 내지 약 3 nm의 두께가 보다 통상적이다.
- [0070] 게이트 유전체 층(16)을 형성한 후, 예를 들어, 물리적 기상 증착, CVD 또는 열증발 증착과 같은 알려진 성막 처리를 이용하여, 게이트 유전체 층(16) 상에 게이트 컨덕터 층(18)이 형성된다. 게이트 컨덕터 층(18)은 이들에 한정되는 것은 아니지만, 실리콘, 폴리실리콘, 또는 금속과 같은 재료를 포함한 어떠한 적절한 재료도 포함할 수 있다. 바람직하게는, 반드시 필수적인 것은 아니지만, 게이트 컨덕터 층(18)은 도핑될 수도 있고 도핑되지 않을 수도 있는 폴리실리콘을 포함한다. 본 발명의 관점에서 성막되는 게이트 컨덕터 층(18)의 두께, 즉, 높이는 채용되는 성막 처리에 따라 변화할 수 있다. 통상적으로, 게이트 컨덕터 층(18)은 약 20 내지 약 180 nm의 수직 두께를 갖고 있으며, 약 40 내지 약 150 nm의 수직 두께인 것이 보다 통상적이다.
- [0071] 게이트 유전체 층(16) 및 게이트 컨덕터 층(18)은 결합하여 게이트 스택을 형성하며, 이 게이트 스택은 MOS 게이트 구조에 통상적으로 포함되는 바와 같이 추가의 구조적인 층들, 예를 들어, 캡 층 및/또는 확산 장벽층(도시 생략)을 포함할 수 있다. 게이트 스택을 형성한 후, 그 위에, 예를 들어, 물리적 기상 증착(PVD), 화학적 기상 증착(CVD), 또는 테트라에틸오소실리케이트계 화학적 기상 증착(CVD TEOS)과 같은 성막 처리를 이용하여 유전체 하드 마스크(20)가 성막된다. 유전체 하드 마스크(20)는 산화물, 질화물, 산질화물 또는 이들의 조합일 수 있다. 바람직하게는, 유전체 하드 마스크(20)는 테트라에틸오소실리케이트계 화학적 기상 증착 처리에 의해 성막되는 실리콘 산화물을 포함한다.
- [0072] 그 후, 도 1b에 도시한 바와 같이, n-FET에 대한 패터닝된 게이트 스택과 p-FET에 대한 패터닝된 게이트 스택인, 2개 이상의 패터닝된 게이트 스택을 제공하도록, 게이트 유전체 층(16), 게이트 컨덕터 층(18) 및 유전체 하드 마스크(20)가 리소그래피 및 에칭을 이용하여 패터닝된다. n-FET에 대한 패터닝된 게이트 스택은 게이트 유전체 층(116), 및 패터닝된 유전체 하드 마스크(120)에 의해 피복된 게이트 컨덕터 또는 게이트 전극(118)을 포함하며, p-FET에 대한 패터닝된 게이트 스택은 게이트 유전체 층(216), 및 패터닝된 유전체 하드 마스크(220)에 의해 피복된 게이트 전극(218)을 포함한다. n-FET 및 p-FET에 대한 패터닝된 게이트 스택들은 디바이스 성능을 개선하기 위하여 동일한 크기, 즉, 길이를 가질 수 있거나 또는 가변가능한 크기를 가질 수 있다. 리소그래피 단계는 유전체 하드 마스크 층(20)의 상단 표면에 포토레지스트(도시 생략)를 도포하는 단계와, 포토레지스트를 원하는 패턴의 방사로 노광하는 단계 및 통상의 레지스트 디벨로퍼를 이용하여 노광된 포토레지스트를 현상하는 단계를 포함한다. 그 후, 포토레지스트에서의 패턴이 하나 이상의 드라이 에칭 단계들을 이용하여 유전체 마스크 층(20), 게이트 컨덕터 층(18) 및 게이트 유전체 층(16)에 전사되어, 패터닝된 게이트 스택을 형성한다. 패터닝된 게이트 스택을 형성하는데 본 발명에 이용될 수 있는 적절한 드라이 에칭 처리들은 이들에 한정되는 것은 아니지만, 리액티브 이온 에칭(RIE), 이온 빔 에칭, 플라즈마 에칭 또는 레이저 애블레이션을 포함한다. 그 후, 패터닝된 포토레지스트가 에칭 완료 이후에 제거되어, 패터닝된 게이트 스택을 노출시킴으로써 완료된다.
- [0073] 그 후, 패터닝된 포토레지스트 막(22)이 p-FET에 대한 패터닝된 게이트 스택 상에 선택적으로 형성된다. 도 1c에 도시한 바와 같이, n-FET에 대한 패터닝된 게이트 스택으로부터 유전체 하드 마스크 층(120)의 선택적 제거를 가능하게 하기 위하여, n-FET에 대한 패터닝된 게이트 스택에 대응하는 영역 및 다른 필요한 영역들이 노출된다. 패터닝된 포토레지스트 막(22)은 n-FET 게이트 스택으로부터의 유전체 하드 마스크 층(120)의 선택적 제거 이후에 제거된다.
- [0074] 그 후, 측벽 게이트 스페이서의 제1 세트(122 및 222)가 n-FET 및 p-FET 패터닝된 게이트 스택의 노출된 측벽들을 따라 형성된 다음, 도 1d에 도시한 바와 같이, n-FET 및 p-FET 소스/드레인 확장 및 할로 주입부(126S, 126D, 128S, 128D, 226S, 226D, 228S, 및 228D)의 형성이 후속한다.

- [0075] 확장 주입부(126S, 126D, 226S, 및 226D)는 자체 정렬 방식으로 이온 주입 단계에 의해 형성될 수 있으며, 여기서, n-FET 및 p-FET 패터닝된 게이트 스택들이 주입 마스크로서 이용된다. 확장 주입부(126S, 126D, 226S, 및 226D)는 n-FET 및 p-FET의 (후속하여 형성되어질) 주요 소스/드레인 층들과 동일한 도전형의 불순물 층이다. 따라서, 소스/드레인 층으로서의 확장 주입부 기능을 여기서는 소스/드레인 확장 주입부라 한다. 소스/드레인 확장 주입부(126S, 126D, 226S, 및 226D)는 후속하는 처리에서의 불순물 이온의 주입 및 확산 동안에 불순물 이온의 스캐터링으로 인하여, 패터닝된 게이트 스택 아래에서 필요한 것 이상으로 확장할 수 있다.
- [0076] 따라서, 소스/드레인 포켓 또는 할로 주입부(128S, 128D, 228S, 및 228D)는 주입 마스크로서 패터닝된 게이트 스택을 이용하여 할로 주입 단계에 의해 형성될 수 있다. 바람직하게는, 반드시 그러한 것은 아니지만, 할로 주입 단계가 수직 방향에 대하여 소정의 경사진 각에서 수행될 수 있다. 할로 주입 종들, 이온 범들의 에너지 레벨, 및/또는 이온 범 노출 기간은 최적의 주입 레벨을 달성하도록 조정될 수 있다.
- [0077] 도 1e는 CVD 및 RIE와 같이 통상적으로 알려진 처리 단계들에 의해, n-FET 및 p-FET 패터닝된 게이트 스택의 측벽을 따라 각각 측벽 게이트 스페이서의 제2 세트(124 및 224)의 후속하는 형성을 나타낸다. 측벽 게이트 스페이서(124 및 224)는 실리콘 질화물, 실리콘 이산화물, 또는 실리콘 산질화물과 같은 어떠한 절연체 재료도 포함할 수 있다.
- [0078] 그 후, 또 다른 이온 주입 단계가 패터닝된 게이트 스택 및 측벽 게이트 스페이서의 제2 세트(124 및 224)를 주입 마스크로서 이용하여 수행되어, 도 1e에 도시한 바와 같이, 자체 정렬 방식으로 n-FET 및 p-FET에 대한 소스 및 드레인 영역(130S, 130D, 230S 및 230D)을 형성할 수 있다. 소스/드레인 영역(130S, 130D, 230S, 및 230D)이 내부에 주입된 도편트 종들을 활성화하도록 후속하여 어닐링될 수 있다. 이온 주입 및 어닐링 단계에 대한 조건들은 당해 기술 분야의 당업자에게 잘 알려져 있다.
- [0079] 미국 특허 출원 공개 제2005/0082616호에 개시된 바와 같이, 소스/드레인 영역(130S, 130D, 230S, 및 230D)은 고유 인장 응력을 갖는 매립형 에피택셜 층들을 대안적으로 포함할 수 있다. 이러한 재료 층의 자연적인 격자 상수가 기판의 기본 격자 상수와 다를 경우, 기판 상의 재료 층의 에피택셜 성장이 이러한 재료 층에 고유 응력을 부여할 수 있는 것으로 알려져 있다. 예를 들어, 탄소의 자연적인 격자 상수는 실리콘의 격자 상수보다 작다. 따라서, 실리콘 기판 상에 에피택셜하게 성장된 Si:C 층은 Si:C 결정 격자의 인장 왜곡(tensile distortion)으로 인한 인장 응력을 포함한다. 유사하게, 게르마늄의 자연적인 격자 상수는 실리콘의 격자 상수보다 크기 때문에, 실리콘 기판 상에 에피택셜하게 성장된 SiGe 층은 SiGe 결정 격자의 압축 왜곡으로 인한 압축 응력을 포함한다.
- [0080] 미국 특허 출원 공개 제2005/0082616호는 n-FET 또는 p-FET 채널에 인장 또는 압축 응력을 제공하기 위하여 n-FET 또는 p-FET의 소스/드레인 영역에 인장 또는 압축 응력을 갖는 매립형 Si:C 또는 SiGe 층들의 이용을 자세하게 개시하고 있다. 예를 들어, p-FET의 소스 및 드레인 영역이 먼저 에칭되고 높은 압축성의 선택적 에피택셜 SiGe 층이 p-FET의 에칭된 영역에 성장되어, 인접하는 p-FET 채널 영역에 압축 응력을 인가한다. 후속하여, n-FET의 소스 및 드레인 영역이 에칭되고, 높은 인장성의 선택적 에피택셜 Si:C 층이 n-FET의 에칭된 영역에 성장되어, 인접하는 n-FET 채널 영역에 인장 응력을 인가한다. 보다 자세한 세부 내용에 대해서는, 그 내용 전체가 여기서 참조로 포함되어 있는 미국 특허 출원 공개 제2005/0082616호를 참조한다.
- [0081] 또한, 소스 및 드레인 영역(130S, 130D, 230S, 및 230D)이 "융기형(raised)" 방식으로 형성될 수 있다. 융기형 소스 및 드레인 영역을 제조하기 위한 처리는 여러 미국 특허, 2002년 7월 16일 특허된 미국 특허 제6,420,766 호 및 2005년 7월 5일 특허된 미국 특허 제6,914,303호에 자세히 개시되어 있으며, 여기서는 그 내용 전체를 참조로서 포함한다.
- [0082] 소스/드레인 영역(130S, 130D, 230S, 및 230D)의 형성 이후에, 유전체 하드 마스크 층(220)이 p-FET 패터닝된 게이트 스택으로부터 제거된다. 이러한 방식으로, 도 1f에 도시한 바와 같이, "비후퇴형" 게이트 전극(118)을 갖는 n-FET 게이트 스택이 형성되며, 즉, 게이트 전극(118)이 게이트 측벽 스페이서(122 및 124)와 실질적으로 동일 평면을 이루는 상단 표면을 갖는 반면, "후퇴형" 게이트 전극(218)을 갖는 p-FET 게이트 스택이 형성되며, 즉, 게이트 전극(218)이 게이트 측벽 스페이서(122 및 124) 내에서 후퇴된 상단 표면을 갖는다.
- [0083] 후속하여, 얇은 금속 층(24)(예를 들어, 약 3-15 nm 두께)이 도 1f의 전체 구조 상에 형성된다. 금속 층(24)은 금속 실리사이드를 형성하도록 실리콘과 반응할 수 있는 어떠한 금속 또는 금속 합금을 포함할 수 있다. 이러한 금속 또는 금속 합금의 예들은 이들에 한정되는 것은 아니지만 Co, Ni, Pd, Ti, Ta, W, Pt, 및 이들의 합금을 포함한다. 일 실시예에서, Ni 및 Co가 바람직한 금속이다. 다른 실시예에서, Pd가 바람직한 금속이다. 금속 층

(24)은 예를 들어, 스파터링, 화학적 기상 증착, 열증발 증착, 화학적 용액 성막, 도금 등을 포함한 어떠한 통상적인 성막 처리도 이용하여 성막될 수 있다. 반도체 기판(12) 또는 게이트 전극(118 및 218)이 실리콘을 포함하고 있지 않은 경우, 소스/드레인 및 게이트 금속 실리사이드 콘택트의 후속하는 형성을 위한 금속 층(24)의 성막 이전에, 패터닝된 실리콘 층(도시 생략)이 n-FET 및 p-FET의 소스/드레인 영역 및 게이트 전극 상에 성장될 수 있다.

[0084] 그 후, 도 1g에 도시한 바와 같이, 제1 캡핑 층(26)이 금속 층(24) 상에 형성된다. 제1 캡핑 층(26)은 TiN과 같은 확산 장벽 재료를 바람직하게 포함한다.

[0085] 도 1h에 도시한 바와 같이, 제2 캡핑 층(28)이 제1 캡핑 층(26) 상에 추가로 형성되어, n-FET 및 p-FET 양쪽 모두를 피복한다. 바람직하게는, 반드시 그러한 것은 아니지만, 제2 캡핑 층(28)이 실리콘 질화물과 같은 유전체 재료를 포함한다.

[0086] 다음, 어닐링 단계가 약 5-50 초 동안 승온된 어닐링 온도에서 수행되며, 여기서, 도 1i에 도시한 바와 같이, 금속 층(24)에서의 금속이 게이트 전극(118 및 218) 및 소스/드레인 영역(130S, 130D, 230S, 및 230D)에서의 노출된 실리콘과 반응하여, 게이트 및 소스/드레인 금속 실리사이드 콘택트(132, 232, 134S, 134D, 234S, 및 234D)를 형성한다. 어닐링 온도는 금속 층(24)에 포함되어 있는 특정 종류의 금속에 의존하여 약 350°C 내지 약 550°C의 범위에 있을 수 있다. 예를 들어, 코발트의 경우, 어닐링 온도는 바람직하게 약 450°C 내지 약 550°C이며, 니켈의 경우, 어닐링 온도는 바람직하게 약 350°C 내지 약 450°C이다. 어닐링 이후, 제1 및 제2 캡핑 층(26 및 28) 뿐만 아니라 다른 영역에서의 반응하지 않은 금속이 n-FET 및 p-FET로부터 제거된다.

[0087] 통상적으로, CoSi<sub>x</sub> 또는 NiSi<sub>x</sub>와 같은 금속 실리사이드의 형성은 부피에서의 감소를 가져와, 이러한 금속 실리사이드에 높은 인장 응력을 생성시킨다. 단일의 Co-함유 또는 Ni-함유 금속 층이 n-FET 및 p-FET 양쪽 모두에서의 금속 실리사이드 콘택트를 형성하는데 이용되는 경우, 인장 응력이 가해지는 게이트 금속 실리사이드 층들이 형성되는데, 이 인장 응력이 가해지는 게이트 금속 실리사이드 층들은 측벽 스페이서에 의해 한정되는 경우 밑에 있는 채널 층으로 응력을 전달하고, 반대되는 압축 응력을 채널 층들에 발생시킨다.

[0088] 압축 응력은 정공 이동도를 증가(p-FET 성능의 증가를 일으킴)시키지만 전자 이동도를 감소(n-FET 성능의 감소를 일으킴)시키는 것으로 알려져 있다. 따라서, 단일의 Co-함유 또는 Ni-함유 금속 층이 이용되는 경우, p-FET 게이트 금속 실리사이드(232)가 도 1i에 도시한 바와 같이 게이트 측벽 스페이서(222 및 224)에 의해 측방향으로 한정되기 때문에, p-FET 게이트 금속 실리사이드(232)가 p-채널에서의 정공 이동도를 증가시키는 밑에 있는 p-채널에서의 반대되는 압축 응력의 생성을 위하여 p-FET의 밑에 있는 채널 층으로 응력을 효과적으로 전달할 수 있는 것이 바람직하다. 그러나, n-FET의 경우, 금속 실리사이드(132)가 위로 돌출하고 있고 게이트 측벽 스페이서(122 및 124)에 의해 측방향으로 한정되지 않기 때문에, n-FET의 밑에 있는 채널 층에 압축 응력이 거의 또는 전혀 발생하지 않는 것이 바람직하다.

[0089] 한편, PdSi<sub>x</sub>와 같은 어떤 금속 실리사이드는 높은 고유 압축 응력을 가져오는 부피에서의 팽창과 함께 형성될 수 있다. 따라서, n-FET 및 p-FET에서의 금속 실리사이드 콘택트들을 형성하기 위하여 상이한 금속 층들이 이용되는 것이 바람직하다. 예를 들어, n-FET에 대하여 압축 응력이 가해진 게이트 금속 실리사이드 층을 형성하고 p-FET에 대하여 인장 응력이 가해진 게이트 금속 실리사이드 층을 형성하기 위하여, 패터닝된 Pd-함유 금속 층(도시 생략)이 n-FET를 선택적으로 피복하도록 형성될 수 있는 한편, 패터닝된 Co-함유 또는 Ni-함유 금속 층(도시 생략)이 p-FET를 선택적으로 피복하도록 형성될 수 있다. 이러한 방식으로, n-FET 및 p-FET의 밑에 있는 채널 층에서의 원하는 응력의 효과적인 생성을 위하여, n-FET 게이트 금속 실리사이드 층 및 p-FET 게이트 금속 실리사이드 층 양쪽 모두가 게이트 측벽 스페이서에 의해 측방향으로 한정될 수 있다.

[0090] 도 1j는 도 1i의 전체 구조 상에 에치 스텝/응력 유도 캡 층(30)의 후속하는 형성을 나타낸다. 에치 스텝/응력 유도 캡 층(30)은 이들에 한정되는 것은 아니지만, 산화물, 질화물, 산질화물, 및/또는 금속 실리케이트 및 질화된 금속 실리케이트를 포함한 실리케이트를 포함한 어떠한 적절한 절연체 재료도 포함할 수 있다. 에치 스텝/응력 유도 캡 층(30)은 실리콘 질화물 또는 실리콘 산질화물과 같은 질화물 또는 산질화물 절연체 재료를 포함하는 것이 바람직하며, 이 에치 스텝/응력 유도 캡 층(30)은 고유 응력이 가해지고 n-FET 및 p-FET의 채널 영역에 대해 원하는 응력을 가하도록 배열되어 구성된다. 이러한 에치-스텝/응력 유도 캡 층(30)은 예를 들어, 저압 화학적 기상 증착(LPCVD), 플라즈마 인핸스드 화학적 기상 증착(PECVD), 또는 고밀도 플라즈마 화학적 기상 증착(HDP CVD), 또는 유전체 성막에 대하여 통상적으로 이용되는 다른 어떤 처리들과 같은 여러 유전체 성막 기술들에 의해 형성될 수 있다.

- [0091] 후속하여, 도 1j에 도시한 바와 같이, 통상의 백 엔드 오프 라인(back-end-of-line) 처리 단계가 수행되어, 레벨간 유전체(ILD; inter-level dielectric; 32)와 금속 콘택트(34 및 36)를 갖는 n-FET 및 p-FET 양쪽 모두를 포함하는 완전한 반도체 디바이스를 형성할 수 있다. ILD(32)는 유전체 산화물 재료 또는 낮은 유전 상수의 절연성 재료를 포함할 수 있다. ILD(32) 및 금속 콘택트(34 및 36)를 제조하는 처리들은 당해 기술 분야에 잘 알려져 있으며, 따라서, 여기에서는 자세히 설명하지 않는다.
- [0092] 도 1a 내지 도 1j에 도시한 처리 단계들이 위에 설명되어 있는 설명에 부합하여, 당해 기술 분야의 당업자에 의해 쉽게 변형될 수 있으며, 이러한 변형이 본 발명의 범위 및 사상 내에 있는 것으로 간주되는 것임을 주지하는 것은 중요하다.
- [0093] 예를 들어, 바람직하게는  $\text{Si}_3\text{N}_4$ 를 포함할 수 있는 제2 캡핑 층(28)은 도 2에 도시한 바와 같이 p-FET를 선택적으로 피복하도록 패터닝될 수 있다. 이러한 방식으로, 후속하는 어닐링 단계 동안에, 제2 캡핑 층(28)이 p-FET의 게이트 금속 실리사이드 층(232)에서의 부피에서의 변화를 선택적으로 한정함으로써, 이에 의해 p-FET 게이트 금속 실리사이드 층(232)에서의 고유 응력을 생성시킨다. 고유 응력이 가해진 p-FET 게이트 금속 실리사이드 층(232)의 형성 이후에, 반응하지 않은 금속, 제1 캡핑 층(26) 및 패터닝된 제2 캡핑 층(28)이 도 1i에 도시된 디바이스 구조를 형성하도록 제거될 수 있으며, 후속하여 상술한 바와 같은 통상의 백-엔드-오브-라인 처리 단계들에 의해 처리될 수 있다.
- [0094] 또 다른 예에 대하여, 금속 층(24)은 Co 또는 Ti와 같은 금속을 포함할 수 있는데, 이러한 금속은 2단 어닐링 처리에 의해  $\text{CoSi}_2$  또는  $\text{TiSi}_2$ 와 같은 금속 실리사이드를 형성하는데 이용될 수 있다. 구체적으로는, 금속 층(24) 및 제1 캡핑 층(26)의 성막 이후에, 제1 어닐링 단계가 채용되어, 높은 저항의 제1 실리사이드 상태의 금속 실리사이드(예를 들어,  $\text{CoSi}$  또는  $\text{TiSi}$ )를 형성한다. 그 후, 제1 캡핑 층(26) 및 반응하지 않은 금속이 디바이스 구조로부터 제거되고, 후속하여, 도 3에 도시한 바와 같이 p-FET를 선택적으로 피복하는 패터닝된 제2 캡핑 층(28)의 성막을 수행한다. 제2 어닐링 단계가 다른 어닐링 온도에서 후속하여 수행되어, 잔여 폴리실리콘을 소모시키고 제1 실리사이드 상태로부터 낮은 저항의 제2 실리사이드 상태로 금속 실리사이드를 변환시킨다(예를 들어,  $\text{CoSi}_2$  또는  $\text{TiSi}_2$ ). 제2 어닐링 단계 동안에, 패터닝된 제2 캡핑 층(28)이 p-FET 게이트 금속 실리사이드 층(232)에서의 부피에서의 변화를 선택적으로 한정함으로써, 이에 의해, p-FET 게이트 금속 실리사이드 층(232)에서의 고유 응력을 생성시킨다. 고유 응력이 가해진 p-FET 게이트 금속 실리사이드 층(232)의 형성 이후, 패터닝된 제2 캡핑 층(28)이 도 1i에 도시한 디바이스 구조로부터 제거될 수 있으며, 후속하여 상술한 바와 같은 통상의 백-엔드-오브-라인 처리 단계들에 의해 처리될 수 있다.
- [0095] 추가적인 예에서, 도 4a에 도시한 바와 같이, 고유 압축 응력을 포함하고 있는 패터닝된 제2 캡핑 층(28A)이 제1 어닐링 단계 이후이지만 제2 어닐링 단계 이전에 p-FET를 선택적으로 피복하도록 제공될 수 있다. 제2 어닐링 단계 동안에, 이러한 압축 응력이 가해진 제2 캡핑 층(28A)은 p-FET 게이트 금속 실리사이드 층(232)에서의 부피에서의 변화를 선택적으로 한정시킬 뿐만 아니라 p-FET 게이트 금속 실리사이드 층(232)에 인장 응력을 가하여, 이에 의해, p-FET 게이트 금속 실리사이드 층(232)에 형성된 인장 응력을 현저하게 증가시킨다. 압축 응력이 가해진 캡핑 층(28A)은 p-FET 게이트 금속 실리사이드 층(232)의 형성 이후에 디바이스 구조에서 계속 유지될 수 있어, p-FET 게이트 금속 실리사이드 층(232)에서의 인장 응력을 계속해서 발생시키고 이어서 원하는 압축 응력을 p-FET의 밑에 있는 채널 영역에 발생시킨다. 바람직하게, 반드시 그러한 것은 아니지만, 도 4b에 도시한 바와 같이, n-FET를 선택적으로 피복하기 위하여 인장 응력이 가해진 캡핑 층(28B)이 압축 응력이 가해진 캡핑 층(28A)과 나란히 추가로 형성될 수 있다. 인장 응력이 가해진 캡핑 층(28B)은 n-FET 게이트 금속 실리사이드 층(132)에 압축 응력을 생성시키는 기능을 하며, 이 압축 응력은 이어서 n-FET의 밑에 있는 채널 영역에 원하는 인장 응력을 생성시킨다.
- [0096] 그러나, 상술한 본 발명의 구조들 및 처리 단계들은 FET 디바이스의 채널 영역에서 이동도의 증가를 일으킬 수 있는 다른 어떠한 잘 알려진 재료, 구조, 또는 처리 단계들과 함께 용이하게 이용될 수 있다. 예를 들어, 게이트 스택, 융기형 소스/드레인 영역, 매립형 웰 영역, 및/또는  $\text{Si:C}$  및/또는  $\text{SiGe}$ 를 포함한, 응력이 가해진 매립형 소스/드레인 영역에 대하여 형성되는 응력이 가해진 라이너가 본 발명에 이용될 수 있다. 이들 구조 또는 특징들은 여기에서 구체적으로 설명되어 있지 않지만, 이들은 여기에 설명되어 있는 설명에 부합하여, 당업자에 의해 개별적으로 또는 조합하여 본 발명에 용이하게 포함될 수 있음을 주지해야 한다. 본 발명의 방법은 이들에 한정되는 것은 아니지만, 상보형 금속 산화물 반도체(CMOS) 트랜지스터 뿐만 아니라, CMOS 트랜지스터들을 포함한 집적 회로, 마이크로 프로세서 및 다른 전자 디바이스들을 포함한 여러 반도체 디바이스 구조를 제조하는데 폭넓게 이용될 수 있으며, 이들은 당해 기술 분야의 당업자에게 잘 알려지고 본 발명의 스트레인드 반도체 온

인슐레이터 구조를 포함하도록 쉽게 변형될 수 있는 것이기 때문에, 이들 제조 방법에 관한 세부 사항은 여기서는 설명하지 않았다.

[0097] 본 발명이 특정 실시예, 특징 및 양태들을 참조하여 설명되어 있지만, 본 발명은 이들에 한정되는 것이 아니며, 오히려 다른 변형, 수정, 적용 및 실시형태에서의 이용으로 확장되며 따라서, 모든 다른 변형, 수정, 적용 및 실시형태가 본 발명의 범주 및 사상 내에 드는 것으로 간주됨을 인정해야 한다.

### 도면의 간단한 설명

[0055] 도 1a 내지 도 1j는 본 발명의 일 실시예에 따라, 인장 응력이 가해지는 "후퇴형" 게이트 금속 실리사이드 층을 갖는 p-FET 및, "비후퇴형" 게이트 금속 실리사이드 층을 갖는 n-FET를 포함하는 예시적인 반도체 디바이스를 형성하기 위한 처리 단계들을 나타낸다.

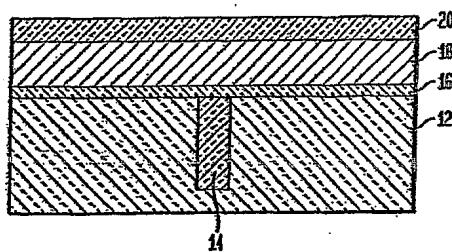
[0056] 도 2는 본 발명의 일 실시예에 따라, 도 1j의 반도체 디바이스 구조를 형성하기 위한 대안의 처리 단계를 나타낸다.

[0057] 도 3은 본 발명의 일 실시예에 따라, 도 1j의 반도체 디바이스 구조를 형성하기 위한 추가 대안의 처리 단계를 나타낸다.

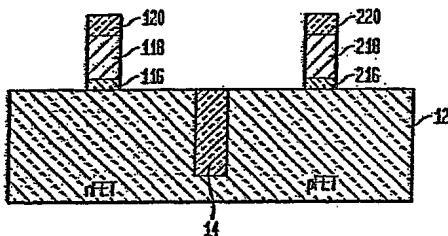
[0058] 도 4a 내지 도 4b는 "후퇴형" 게이트 금속 실리사이드 층을 갖고 있으며 압축 응력이 가해진 캡핑 층에 의해 폐복되어 있는 p-FET 및, "비후퇴형" 게이트 금속 실리사이드 층을 갖고 있으며 인장 응력이 가해진 캡핑 층에 의해 폐복되어 있는 n-FET를 포함하는 예시적인 반도체 디바이스 구조를 형성하기 위한 처리 단계들을 나타낸다.

### 도면

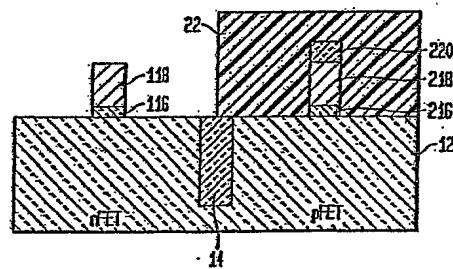
#### 도면1a



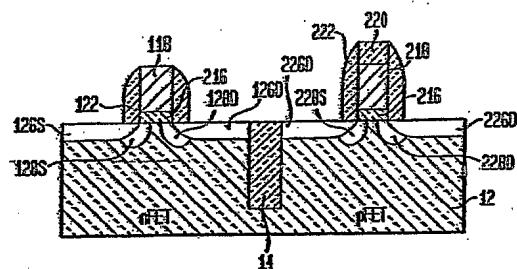
#### 도면1b



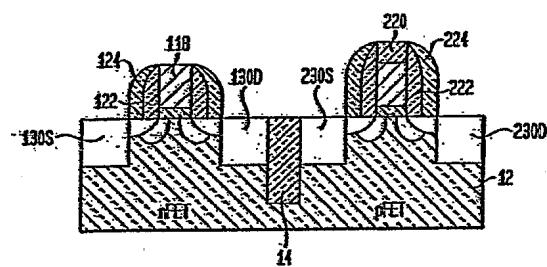
도면1c



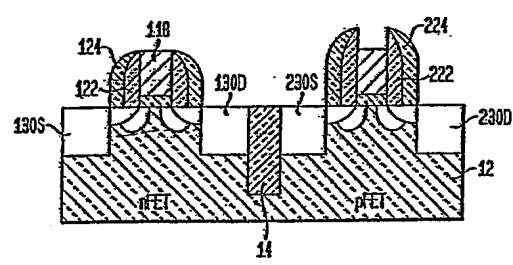
도면1d



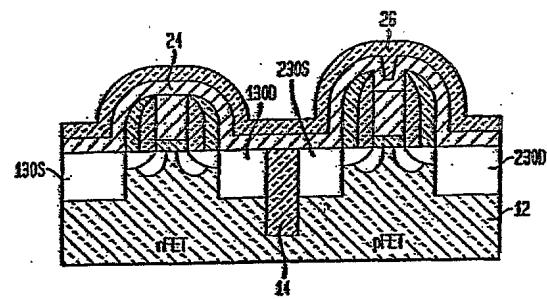
도면1e



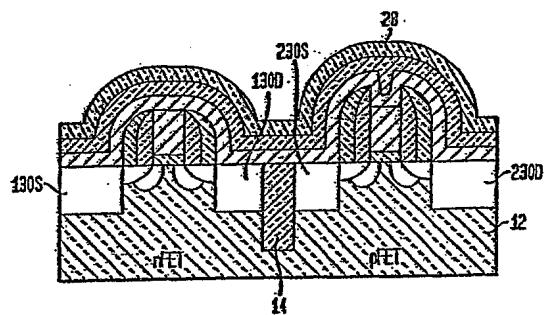
도면1f



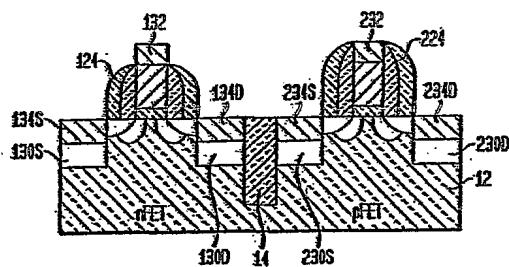
도면1g



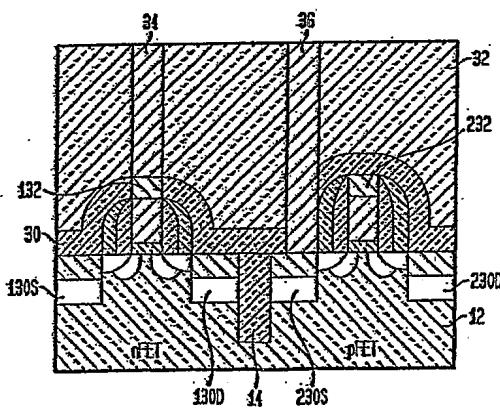
도면1h



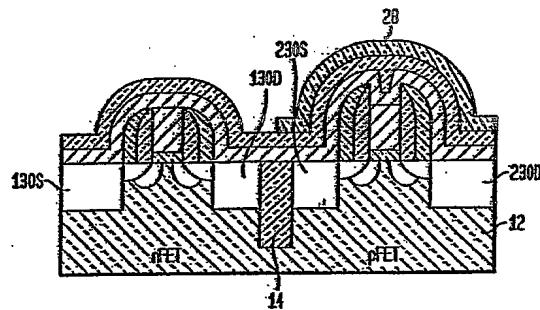
도면1i



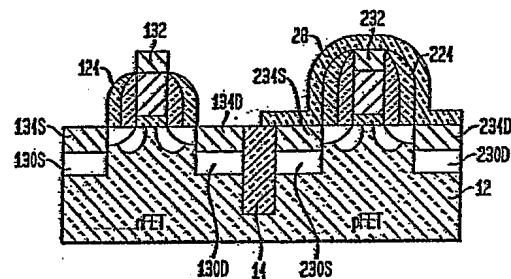
도면1j



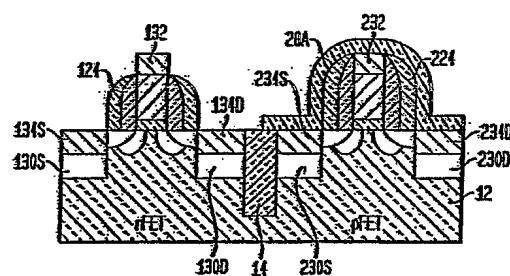
도면2



도면3



도면4a



도면4b

