

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4663224号  
(P4663224)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 R
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 M
HO 1 L 21/3213 (2006.01)	HO 1 L 21/88 C
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 L
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 0 1 R
請求項の数 9 (全 19 頁) 最終頁に続く	

(21) 出願番号 特願2003-326611 (P2003-326611)  
 (22) 出願日 平成15年9月18日(2003.9.18)  
 (65) 公開番号 特開2004-134788 (P2004-134788A)  
 (43) 公開日 平成16年4月30日(2004.4.30)  
 審査請求日 平成18年9月1日(2006.9.1)  
 (31) 優先権主張番号 特願2002-276379 (P2002-276379)  
 (32) 優先日 平成14年9月20日(2002.9.20)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 納 光明  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 ▲辻▼ 弘輔

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

銅の拡散に対するバリア性を有する第1の導電膜をエッチング法により所望の形状とし

所望の形状とした前記第1の導電膜上に、開口部を有するマスクを用いて銅を主成分とする第2の導電膜を形成し、

ドライエッチング法により前記第2の導電膜の幅を細くして、前記第1の導電膜及び前記第2の導電膜の積層膜からなる配線を形成することを特徴とする半導体装置の作製方法。

【請求項2】

絶縁表面上に半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に銅の拡散に対するバリア性を有する第1の導電膜を形成し、

前記第1の導電膜をエッチング法により所望の形状とし、

所望の形状とした前記第1の導電膜上に開口部を有するマスクを用いて銅を主成分とする第2の導電膜を形成し、

ドライエッチング法により前記第2の導電膜の幅を細くして、前記第1の導電膜及び前記第2の導電膜の積層膜からなる配線を形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項 1 または請求項 2 において、前記第 1 の導電膜として、TiN、Ta<sub>2</sub>N<sub>5</sub>、WN、TiC、TaC、または珪素を含む導電膜を用いることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 または請求項 2 において、前記第 1 の導電膜として、TiN、Ta<sub>2</sub>N<sub>5</sub>、WN、TiC、TaC、または珪素を含む導電膜のいずれか一種と Ti を主成分とする材料との積層膜を用いることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 または請求項 2 において、前記第 1 の導電膜として、Ti、Al、Ta、W のいずれか一種又は複数種で形成された導電膜上に、TiN、Ta<sub>2</sub>N<sub>5</sub>、WN、TiC、TaC、または珪素を含む導電膜のいずれか一種からなる導電膜が形成された積層膜を用いることを特徴とする半導体装置の作製方法。

10

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記第 2 の導電膜を覆って、窒化珪素、窒化酸化珪素、窒化アルミニウム、窒化酸化アルミニウム、ダイヤモンドライクカーボン膜、または窒化炭素からなる絶縁膜を形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記第 1 の導電膜の幅は、30 ~ 40 μmであることを特徴とする半導体装置の作製方法。

【請求項 8】

20

請求項 1 乃至 7 のいずれか一において、前記第 2 の導電膜の幅は、5 ~ 20 μmであることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、前記第 2 の導電膜の膜厚は、0.1 ~ 1 μmであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子（代表的にはトランジスタ）をデバイスとして用いた半導体装置の分野における配線形成に関し、配線の低抵抗化に係る技術分野及びその微細化に係る技術分野に属する。

30

【背景技術】

【0002】

近年、絶縁表面上に形成された半導体薄膜（厚さ数百 ~ 数千 nm 程度）を用いて TFT を作製する技術が開発されている。TFT は集積回路（Integrated Circuit; IC）や電気光学装置のような半導体装置に広く応用され、特に液晶表示装置や発光装置等を含む表示装置のスイッチング素子として開発が急がれている。

【0003】

中でも、モニターやテレビ等の表示装置は、用途が拡大し、量産化が進んでいることから、更に、画面サイズの大面積化、高精細化、高開口率化、高信頼性の要求が高まっている。

40

【0004】

ところが、表示装置を駆動させる上で問題となる現象に配線抵抗による電圧降下（IR ドロップともいう）がある。これは同一配線であっても電源からの距離が遠くなるに従って電圧が低下してしまうという現象である。この問題は特に配線長が長くなった場合に顕著であり、表示装置の大画面化にとって大きな障害となっている。

【0005】

すなわち、配線抵抗に起因する電圧降下によって所望の電圧を伝達することが不可能となり、その結果として画素部において画質の均質性を著しく損ねるといった不具合を生じる。こういった問題を配線の両端から電圧を加えるなどの工夫により改善しようとする試

50

みがなされている。しかしながら、配線を長く引きまわすことになるため結局は電圧降下の影響を無視できない。

【0006】

また、同一基板上に駆動回路部（典型的にはゲート駆動回路及びソース駆動回路を含む）を一体形成したモノリシック型の表示装置を形成する場合、駆動回路部と電気信号の入力端子との間を引きまわす配線の配線抵抗が問題となる。配線抵抗は電気信号の遅延を招き、ゲート駆動回路やソース駆動回路の動作速度を低下させてしまう恐れがある。

【0007】

以上のように、配線抵抗に起因する電圧降下や信号の遅延によって画質の均質性を著しく損ねたり、駆動回路部の動作速度が極端に低下したりするといった不具合を生じる。こ

10

【0008】

これに対して、低抵抗な材料を用いることで配線抵抗の低抵抗化を図るという報告がされている（例えば、特許文献1参照。）。しかし、このような場合には、低抵抗な材料として銅を用い、銅配線をダマシン技術により形成するために微細加工が困難であり、また、CMP技術を用いた際におけるパーティクル汚染といった問題を有している。

【0009】

その他、配線抵抗に起因する電圧降下の影響を抑えるために、素子の形成された基板と硬度の大きいプリント配線板（PWB：Printed wiring board）とを導電体（異方導電性フィルムまたはパンプ）により電氣的に接続し、素子形成基板に形成された各種配線（第1の配線群）の抵抗を低減させるといった技術が知られている（例えば、特許文献2参照。）。

20

【0010】

【特許文献1】特開2000-58650号公報

【特許文献2】特開2001-236025号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、上述のような配線抵抗に起因する電圧降下の影響を抑え、表示装置の画質を均質なものとするを目的とする。また、駆動回路部と入出力端子とを電氣的に接続する配線の遅延を抑え、駆動回路部の動作速度を向上させるを目的とする。

30

【課題を解決するための手段】

【0012】

本発明では、上記課題を解決するために半導体装置に用いる配線として、配線抵抗の低抵抗化を実現する銅を含む配線を微細化して用いるとともに、銅の拡散を防ぐバリア性の導電膜（以下、バリア性導電膜）を薄膜トランジスタ（以下、TFTと表記する）との間に設けることによりTFTの半導体層に銅が拡散することなく銅を含む配線を形成することを特徴とする。

【0013】

40

なお、本発明における銅を含む配線とは、少なくとも銅を主成分とする導電膜と、銅の拡散に対するバリア性を有するバリア性導電膜との積層膜からなる配線である。また、三層以上の積層構造を形成する場合には、その間の層に銅を主成分とする導電膜を設けてもよい。但し、銅を主成分とする導電膜とTFTの活性層との間にはバリア性導電膜を有している必要がある。ここで、銅を主成分とする導電膜とは、銅もしくは銅含有率が50重量%、好ましくは90重量パーセント以上の膜をいう。

【0014】

また、銅を主成分とする導電膜は、マスクを用いたDCスパッタリング法もしくは、蒸着法により形成し、さらにドライエッチング法を用いて銅を主成分とする導電膜の線幅を細くするための微細加工することを特徴とする。なお、ここで用いるマスクとは、ステン

50

レス、ニッケル、ガラス、または石英を材料として形成されており、その開口部におけるピッチは $5\ \mu\text{m}$ 以上のものを用いる。また、本発明において、銅を主成分とする導電膜は、 $0.1\sim 1\ \mu\text{m}$ の膜厚で形成するのが好ましい。

【0015】

なお、本発明において銅を含む配線は、ソース線（信号線）、ゲート線（走査線）、電流供給線、および引き回し配線を形成することを特徴とする。

【0016】

また、本発明に用いる銅は、上述したようにTFTの電気的特性にとって好ましくない材料であることから、本発明では、TFTの活性層に銅が侵入しないように少なくとも活性層と銅を主成分とする導電膜との間に銅に対するバリア性を有するバリア性導電膜を設けることを特徴とする。このバリア性導電膜は、窒化タンタル（ $\text{TaN}$ ）、窒化チタン（ $\text{TiN}$ ）又は窒化タングステン（ $\text{WN}$ ）から選ばれた一種或いは複数種の積層膜を用いることができる。

10

【0017】

以上より、本発明の構成は、導電膜を積層してなる配線を有する半導体装置の作製方法であって、絶縁表面上にバリア性を有する第1の導電膜を形成し、前記第1の導電膜をエッチング法により所望の形状とし、前記第1の導電膜上に銅を主成分とする第2の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くすることを特徴とする半導体装置の作製方法である。

【0018】

また、本発明の配線の作製方法により走査線を作製する場合についても本発明に含めるものとする。

20

【0019】

なお、本発明の別の構成は、導電膜を積層してなる配線を有する半導体装置の作製方法であって、絶縁表面上に半導体層を形成し、前記半導体層上に第1の絶縁膜を形成し、前記第1の絶縁膜上にバリア性を有する第1の導電膜を形成し、前記第1の導電膜をエッチング法により所望の形状とし、前記第1の導電膜上に銅を主成分とする第2の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くし、前記第1および前記第2の導電膜からなる第1の配線をマスクとして前記半導体層に不純物元素を添加して不純物領域を形成し、前記第1の配線を覆って第2の絶縁膜を形成し、前記第2の絶縁膜の一部に前記不純物領域に達するコンタクトホールを形成し、前記第2の絶縁膜上に前記不純物領域と電気的に接続された第2の配線を形成することを特徴とする半導体装置の作製方法である。

30

【0020】

なお、上記構成において、前記第2の絶縁膜上にバリア性を有する第3の導電膜をエッチング法により所望の形状とし、前記第3の導電膜上に銅を主成分とする第4の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第4の導電膜の幅を細くすることにより、前記第2の配線を形成することを特徴とする半導体装置の作製方法である。

【0021】

また、本発明の別の構成は、導電膜を積層してなる配線を有する半導体装置の作製方法であって、不純物領域の一部を含む半導体層、および前記半導体層上に第1の絶縁膜を介して形成されたゲート電極上に第2の絶縁膜を形成し、前記第2の絶縁膜の一部に前記不純物領域に達するコンタクトホールを形成し、前記第2の絶縁膜上にバリア性を有する第1の導電膜をエッチング法によりパターン形成し、前記第1の導電膜上に銅を主成分とする第2の導電膜をマスクの開口部を介して形成し、さらにドライエッチング法により前記第2の導電膜の幅を細くすることにより、前記第2の絶縁膜上に前記不純物領域と電気的に接続された配線を形成することを特徴とする半導体装置の作製方法である。

40

【0022】

さらに上記各構成において、前記第2の導電膜を覆って、窒化珪素、窒化酸化珪素、窒

50

化アルミニウム、または窒化酸化アルミニウムのいずれか一からなるバリア性を有する絶縁膜をスパッタリング法により形成することを特徴とする半導体装置の作製方法である。

【0023】

本発明において、銅を含む配線を形成することにより配線抵抗を低減すると共に大電流を流すことができる。そのため、電圧降下や信号波形のなまりを低減することができる。

【0024】

また、本発明においては、銅を含む配線の微細化が可能であることから配線や電極の面積を小さくすることができる。なお、本発明により形成された銅を含む配線を用いる場合には、5インチ以上の中型、大型のパネルを作製し、配線に大電流が流れる場合には特に効果的である。

【発明の効果】

【0025】

本発明を実施することにより、発光装置や液晶表示装置などの半導体装置において、大画面化を実現する際に問題となる配線抵抗により生じる電圧降下や信号遅延を低減し、駆動回路部の動作速度の向上及び画素部における画像の均質性を向上させることができる。

【発明を実施するための最良の形態】

【0026】

本発明の実施形態について以下に説明する。

【0027】

(実施の形態1)

本発明における銅を含む配線の作製方法について、図1を用いて説明する。

【0028】

図1(A)において、基板101上に第1の導電膜102がパターン形成されている。なお、ここで形成される第1の導電膜102の材料としては、後で形成される銅を主成分とする導電膜からの銅の侵入を防ぐためのバリア性を有するTiN、Ta<sub>2</sub>N、WN、TiC、TaC、または珪素を含む導電膜などを用いることができる。さらにこれらの材料と組み合わせてTi、Al、Ta、またはW等の材料を用いることができる。

【0029】

なお、第1の導電膜は、スパッタリング法により形成され、ドライエッチング法によりパターンニングされる。また、このときの第1の導電膜は、30~40μmの線幅で形成する。

【0030】

次に、図1(B)に示すようにマスク103を用いたスパッタリング法により、第2の導電膜104をパターン形成する(図1(C))。なお、ここではマスク103としてメタルマスクを用いる。

【0031】

また、ここで形成される第2の導電膜104は、銅を主成分とする材料により形成され、0.1~1μmの膜厚で形成される。

【0032】

次に、第2の導電膜104上にレジスト105が形成され、レジスト105をマスクとして、ドライエッチング法により微細加工され、106に示す形状を得る(図1(E))。なお、この場合における第2の導電膜104の線幅は、5~20μmとなる。なお、エッチングの方法としては、塩素を含むガスを用いてドライエッチングを行うものとし、エッチング処理室内部を減圧(真空も含む)させ、基板表面を加熱、もしくは光照射することにより行う。

【0033】

なお、ここでは、図示しないが図1(E)の配線を形成した後で、第2の導電膜に含まれる銅の拡散を防ぐためにバリア性を有する絶縁膜(バリア性絶縁膜)を形成するのが好ましい。バリア性絶縁膜に用いる材料としては、窒化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウム、DLC(ダイヤモンドライクカーボン)膜、窒化炭素(C

10

20

30

40

50

N)等を用いることができる。

【0034】

(実施の形態2)

本実施の形態2では、表示装置の画素部に形成され、ソース側駆動回路からの信号を各画素に入力するための信号線(本実施の形態においては、電流供給線も含む)に銅を含む配線を用いる場合について説明する。なお、本実施の形態に示す表示装置には、一对の電極間に電界発光層をはさんで形成された発光素子を有する発光装置の場合について説明する。

【0035】

発光装置は、画素部に図2(A)で示す画素を複数マトリクス状に有している。なお、各画素は、信号線201、電流供給線202、走査線203、複数のTFT(204、205)、容量素子206、および発光素子207をそれぞれ有する。なお各TFT(204、205)は、シングルゲート構造に限らず、ダブルゲート構造やトリプルゲート構造といったマルチゲート構造を有していてもよい。

10

【0036】

次に、図2(B)に図2(A)の上面図を示す。なお、ここでは、信号線201、電流供給線202、走査線203、複数のTFT(204、205)、容量素子206が形成されており、発光素子の第1の電極となる画素電極形成前の状態を示す。なお、画素電極は、図2(B)の破線部209に後に形成される。

【0037】

また、信号線201、および電流供給線202は、それぞれバリア性導電膜201a、202a)、および銅を主成分とする導電膜(201b、202b)の積層膜により形成されている。

20

【0038】

なお、図2(B)における接続関係については、TFT204のソース領域またはドレイン領域のいずれか一方が信号線201と接続され、他方が容量素子206およびTFT205のゲート電極と接続されている。また、走査線203の一部はTFT204のゲート電極となっている。さらに、TFT205のソース領域またはドレイン領域のいずれか一方は、後に形成される画素電極209と接続され、他方は電流供給線202と接続されている。また、容量素子206は電流供給線202と活性層とが積層された領域に形成されている。

30

【0039】

次に、図2(B)に示すA-A'の断面図として構造の異なるものについて、図2(C)~(E)により詳細に説明する。

【0040】

まず、図2(C)において、211は、絶縁表面を有する基板であり、ガラス基板、セラミック基板、石英基板、シリコン基板又はプラスチック基板(プラスチックフィルムを含む。)を用いることができる。

【0041】

次に、基板211上に、下地膜として酸化窒化シリコン膜212aと、酸化窒化シリコン膜212bとを積層する。勿論、これらの材料に限定する必要はない。

40

【0042】

次に、酸化窒化シリコン膜212b上にはTFT205の半導体層及び容量素子206領域に設けられる半導体層(合わせて半導体層213という)が設けられ、前記半導体層はソース領域、ドレイン領域、チャネル形成領域が設けられ、適宜LDD領域やゲート電極と重なるGOLD構造を形成することもできる。

【0043】

またTFTの半導体層213はゲート絶縁膜214に覆われ、その上に窒化タンタル(TaN)215とタングステン(W)216とが積層されたゲート電極が設けられている。なお、ゲート絶縁膜214は本実施の形態では酸化窒化シリコン膜を用いる。また、ゲ

50

ート電極の金属膜は相互に選択比が高いため、エッチング条件を選択することにより、このような構造とすることが可能である。このエッチング条件については、本出願人による特開2001-313397号公報を参照すれば良い。

【0044】

ゲート電極を覆う絶縁膜217として窒化シリコン膜もしくは窒化酸化シリコン膜が設けられている。本実施の形態では、プラズマCVD法を用いて、窒化酸化シリコン膜を形成する。さらに、絶縁膜217上には平坦化を目的として、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、スパッタ法やCVD法や塗布法による無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、またはこれらの積層など用いて層間絶縁膜218aを形成する。また、層間絶縁膜として他に、シリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料（代表的にはシロキサン系ポリマー）を用いて形成してもよい。

10

【0045】

次いで、層間絶縁膜218a上に、窒化絶縁膜（代表的には、窒化珪素膜又は窒化酸化珪素膜）からなる第1のバリア性絶縁膜219を形成する。本実施の形態ではバリア性絶縁膜219に窒化珪素膜を用いる。その後、ウェットエッチング法又はドライエッチング法を用いてバリア性絶縁膜219、層間絶縁膜218a、絶縁膜217及びゲート絶縁膜214にコンタクトホール（開口部）を形成する。

20

【0046】

なお、図2（C）に示す層間絶縁膜218aに設けられたコンタクトホールは、下に向かうにつれ直径が小さくなるテーパ形状を有し、層間絶縁膜218aの上面とコンタクトホールの斜面と（コンタクトホールの角部）のなす角度（図2（C）に221aで示す部分）は95～135度程度である。

【0047】

次に、バリア性を有する導電性材料を用いてバリア性導電膜201a、202aを形成し、エッチング法（ドライエッチング法、またはウェットエッチング法）によりパターンニングを行う。

【0048】

次に、バリア性導電膜201a、202a上にそれぞれ銅を主成分とする導電膜201b、202bをメタルマスクを用いたスパッタリング法によりパターン形成し、さらに、ドライエッチング法を用いて微細加工をする。なお、導電膜201b、202bの作製方法については、実施の形態1を参照すればよい。

30

【0049】

なお、以上により、バリア性導電膜201a、202aと銅を主成分とする導電膜201b、202bとの積層膜により形成された信号線201及び電流供給線202が形成される。

【0050】

次に、図2（D）により、コンタクトホールの角部（図2（D）に221bで示す部分）が丸みを帯び、下に向かうにつれ直径が小さくなる形状を有する構造について示す。なお、層間絶縁膜218bの材料は、218aと同様の材料を用いればよい。また、この場合の層間絶縁膜218bの材料として、感光性または非感光性の有機材料を用い、ウェットエッチング法又はドライエッチング法を使用してコンタクトホールを形成すればよい。

40

【0051】

さらに、図2（E）により、図2（D）よりもコンタクトのテーパの形状が異なっており、コンタクトホールの角部（図2（E）に221cで示す部分）が丸みを帯び、かつコンタクトホールが、異なる2つ以上の曲率半径を有する斜面を有する構造について示す。このとき層間絶縁膜218cの材料として、層間絶縁膜218a、218bと同様の材料を用い、ウェットエッチング法又はドライエッチング法を使用してコンタクトホールを形

50

成すればよい。

【 0 0 5 2 】

このように層間絶縁膜に形成されるコンタクトホール形状により、TFT 205に設けられる配線220の段切れを防止することができる。

【 0 0 5 3 】

なお、図2(C)~(E)に示すように銅を主成分とする導電膜(201b、202b)形成後、好ましくは、図3に示すように、銅を主成分とする導電膜(201b、202b)を覆う絶縁膜304を形成する。絶縁膜304は窒化シリコン(SiN)、窒化酸化シリコン(SiNO)を用いて形成すればよい。なお、本実施の形態では窒化シリコンを高周波スパッタ法により形成する。このように銅を主成分とする導電膜(201b、202b)を絶縁膜304で覆うことにより、膜中に含まれる銅がTFTの活性層へ拡散するのを防ぐことができる。

10

【 0 0 5 4 】

次に、フォトリソグラフィにより絶縁膜304の一部であって、配線220と重なる位置に開口部を形成し、画素電極222を形成する。このとき、開口部を介して画素電極222と配線220とが電氣的に接続される(図3(A))。

【 0 0 5 5 】

なお、図3(B)~(D)は、配線220、絶縁膜304、または画素電極222の作製順序、その他、絶縁膜304の開口部の作製方法が異なる場合の構成である。

【 0 0 5 6 】

例えば、図3(B)は、図2(C)に示す構成と異なり、画素電極222を形成した後、バリア性導電膜からなる配線220、バリア性導電膜、および銅を主成分とする導電膜との積層膜からなる信号線201、および電流供給線202を形成し、最後に、絶縁膜304を形成する構成である。

20

【 0 0 5 7 】

また、図3(C)に示す構成は、図3(A)と同様に、配線220、信号線201及び電流供給線202を形成した後、絶縁膜304を形成する。しかし、この場合には、絶縁膜305を形成し、絶縁膜305上に第2のバリア性絶縁膜306を形成する。そして絶縁膜305及び第2のバリア性絶縁膜306に開口部を形成し、前記開口部において、配線220と電氣的に接続される画素電極222を形成する構成である。なお、絶縁膜305は層間絶縁膜218aと同様の材料や方法で形成し、第2のバリア性絶縁膜306は第1のバリア性絶縁膜219と同様の材料や方法で形成すればよい。

30

【 0 0 5 8 】

また、図3(D)に示す構成は、絶縁膜304の作製方法が図3(A)~(C)と異なり、マスクを用いて銅を含む配線上のみに絶縁膜304を形成する構成である。そのため、この場合には、フォトリソグラフィを用いて絶縁膜304に開口部を形成する必要がない。なお、図3(D)に示す構成は、図3(A)~(C)に示す構成の絶縁膜304の作製方法に適應させることが可能である。

【 0 0 5 9 】

なお、図3(D)に示すように銅を含む配線上のみに絶縁膜304を形成する場合には、バリア性導電膜201a、202aと同じ材料で形成することもできる。

40

【 0 0 6 0 】

さらに、図4では、図3で画素電極222まで形成した後、画素電極の端部や、配線、信号線および走査線を覆ってバンク(隔壁、障壁、土手などとも呼ばれる)を形成し、画素電極上に発光素子の発光層、および第2の電極を作製する方法について説明する。

【 0 0 6 1 】

図4(A)は、図3(A)に示した構成に加えて、全面に絶縁膜305を形成した後、画素電極222上に開口部を形成して得られる。絶縁膜305は、感光性または非感光性の有機材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン)、CVD法やスパッタ法や塗布法による無機材料(酸化シリコン、窒

50



化シリコン、酸化窒化シリコンなど)、またはこれらの積層などを用いて形成する。また、他に、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料(代表的にはシロキサン系ポリマー)を用いて形成してもよい。なお、絶縁膜305に感光性の有機材料を用いる場合、感光性の有機材料は大きく分けて2種類、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型があるが、本発明においてはどちらを用いることもできる。

#### 【0062】

次に、開口部に有機化合物を含む発光層310を形成し、発光層310の上に第2の電極307を形成する。また、発光層310の形成前、または形成後において、真空加熱を行って脱気を行うことが好ましい。なお、有機化合物を含む層310は、極めて薄いため、第1の電極の表面は平坦であることが好ましく、例えば、画素電極222のパターニング前、またはパターニング後に化学的及び機械的に研磨する処理(CMP技術等)により平坦化を行ってもよい。さらに、画素電極222の表面における清浄度を向上させるため、異物(ゴミなど)をクリーニングするための洗浄(ブラシ洗浄やベルクリン洗浄)を行ってもよい。

#### 【0063】

なお、図4(A)に示す絶縁膜305の開口部は、下に向かうにつれ直径が小さくなるテーパ形状を有し、絶縁膜305の上面と開口部の斜面と(開口部の角部)のなす角度は95~135度程度である。

#### 【0064】

そして図4(B)は、開口部の角部が角度を有するテーパの形状となっている図4(A)と異なり、開口部の角部が丸みを帯び、下に向かうにつれ直径が小さくなっている。このとき絶縁膜305の材料として、感光性または非感光性の有機材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン)を用い、ウェットエッチング法又はドライエッチング法を使用して開口部を形成すればよい。

#### 【0065】

また図4(C)は、更に開口部のテーパの形状が異なっており、開口部の角部は丸みを帯び、且つ開口部は、異なる2つ以上の曲率半径を有する斜面を有している。このとき絶縁膜305の材料として、感光性または非感光性の有機材料(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン)を用い、ウェットエッチング法又はドライエッチング法を使用して開口部を形成すればよい。

#### 【0066】

なお、図4(C)における絶縁膜305の開口部の形状について、308で示す部分の拡大図を図4(D)に示す。すなわち、絶縁膜305の下端部は、画素電極222の上面に接し、画素電極222と前記下端部との接線の上方の曲率中心( $O_1$ )及び第1の曲率半径( $R_1$ )により決まる曲面状の側面を有する。そして、絶縁膜305の上端部は、絶縁膜305の上面に接し、上端部と上面との接線の下方の曲率中心( $O_2$ )及び第2の曲率半径( $R_2$ )により決まる曲面状の側面を有する。

#### 【0067】

なお、図4(A)~(C)は、図3(A)に示す構成を用いて説明したが、図3(B)~(D)、更に図2(A)~(E)に示した構成のいずれとも組み合わせて用いることが可能である。

#### 【0068】

次に、本発明において形成される配線の具体的な積層構造について図5により説明する。なお、図5は、図4において領域b(309)で示す部分の構造を示している。

#### 【0069】

図5(A)は、絶縁膜501上にバリア性導電膜502として、Ti膜とTiN膜とが積層形成されている。すなわち、絶縁膜501上に初めに形成されるのはTi膜であり、

10

20

30

40

50

Ti膜上にCuに対するバリア性を有するTiN膜が形成されている。また、バリア性導電膜502上に銅を主成分とする導電膜503として、Cu膜が形成されている。なお、ここでは、銅膜の上にSiN膜からなるバリア性絶縁膜504が形成されている。

【0070】

また、図5(B)には、バリア性導電膜502がさらに積層されている構造を示す。すなわち、Ti膜、Al膜、およびTiN膜との積層膜である。

【0071】

また、図5(C)には、バリア性導電膜502の構造が、Ti膜とTa<sub>2</sub>N<sub>5</sub>膜との積層構造を有する場合を示し、図5(D)には、Ti膜とWN膜との積層構造を有する場合について示す。なお、これらは、いずれも図5(A)と同様にして、バリア性絶縁膜504が

10

【0072】

なお、ここで示したのは、本発明の導電膜の積層により形成された配線構造の組み合わせの一例であり、上述した材料の組み合わせであれば図5に示す構造に限られることなく用いることができる。

【0073】

(実施の形態3)

本実施の形態では図6を参照して、ゲート電極に銅を含む配線を適応した例を説明する。

【0074】

図6(A)は発光装置の一画素の等価回路を示している。図6(A)に示すように、表示装置の一画素は、少なくとも信号線601、電流供給線602、走査線603、複数のTFT604、605、容量素子606、発光素子607を有する。なお各TFTは、シングルゲート構造でなく、ダブルゲート構造やトリプルゲート構造といったマルチゲート構造を有していてもよい。

20

【0075】

また図6(B)は、画素電極(発光素子の第1電極)622が形成された状態の図6(A)の上面図を示し、信号線601、電流供給線602、走査線603、TFT604、605、容量素子606、発光素子の画素電極622を有し、走査線603上及びTFT604のゲート電極として、バリア性導電膜603a上に銅を主成分とする導電膜603

30

bを設ける。

【0076】

そして図6(C)は、図6(B)のB-B'における断面図を示す。まず図2と同様に、絶縁表面を有する基板611と、下地膜として酸化窒化シリコン膜612aと、酸化窒化シリコン膜612bと、TFT604及びTFT605の半導体膜613と、が設けられている。そして半導体膜613を覆うようにゲート絶縁膜614が設けられ、半導体膜上にバリア性導電膜603a及び銅を主成分とする導電膜603bを設ける。つまり本実施の形態では、ゲート電極に銅を含む配線を用いることを特徴とする。なお、銅を含む配線の形成方法は、実施の形態1を参照すればよい。またバリア性導電膜603aは、窒化タンタル(TaN)、窒化チタン(TiN)又は窒化タングステン(WN)から選ばれた

40

一種或いは複数種の積層膜を用いて形成する。このバリア性導電膜603aは、拡散により銅が半導体膜613へ侵入しないための保護膜としての機能とを有している。

【0077】

ゲート電極と同じレイア(同一層)をパターンングすることにより、ゲート電極と同時に走査線603が形成されている。すなわち、走査線603はバリア性導電膜603aと銅を主成分とする導電膜603bとの積層構造を有している。

【0078】

その後、ゲート電極又はレジストをマスクとして、該半導体膜はソース領域、ドレイン領域、チャンネル形成領域を形成し、更に適宜LDD領域やゲート電極と重なるGOLD構造を形成する。なお、不純物が添加されているソース領域、ドレイン領域、LDD領域又

50

はGOLD構造を不純物領域と呼ぶ。そして、ゲート電極を覆う絶縁膜617として窒化シリコン膜又は窒化酸化シリコン膜を設ける。

【0079】

次いで、加熱炉又はレーザを用いて不純物領域の活性化を行う。このとき活性化における加熱により、銅が拡散し半導体膜に侵入することを防ぐため、好ましくは、基板の裏面（半導体膜が形成されている面と反対の面）からレーザ（例えばエキシマレーザ）を照射して活性化を行う。なお更に好ましくは、バリア性導電膜603aを形成した後、不純物領域を形成し、その後加熱炉又はレーザを用いて不純物領域を活性化し、銅を主成分とする導電膜603bを形成するとよい。

【0080】

更に、絶縁膜617上には平坦化を目的として、感光性又は非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン）、スパッタリング法やCVD法や塗布法による無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）、シロキサン系ポリマー、又はこれらの積層など用いて層間絶縁膜618を形成する。

【0081】

次いで、層間絶縁膜618上に、窒化絶縁膜（代表的には、窒化珪素膜又は窒化酸化珪素膜）からなるバリア性絶縁膜619を形成する。なお、ここでいうバリア性絶縁膜とは、銅の拡散を防止する機能を有する絶縁膜をいう。本実施の形態ではバリア性絶縁膜619に窒化珪素膜を用いる。その後、ウェットエッチング法又はドライエッチング法を用いてバリア性絶縁膜619、層間絶縁膜618、絶縁膜617及びゲート絶縁膜614にコンタクト（開口部）を形成する。なお、コンタクトホール形状、すなわち層間絶縁膜の形状は図2（C）～（E）のいずれの構造を用いてもよい。

【0082】

そして、コンタクトホールに配線を形成し、ソース領域又はドレイン領域と接続される。このとき、同じレイヤ（同一層）をパターニングすることにより、同時に信号線601及び電流供給線602が形成される。その後、図3、図4に示すように発光層等を形成する。なお形成される画素電極においては、図3（A）～（D）のいずれの構成を用いてもよく、発光層を形成するときの絶縁膜等の構成は、図4（A）～（C）のいずれの構成を用いてもよい。

【0083】

このように、ゲート電極、走査線に銅を含む配線を適応することも可能である。

【0084】

以上のように、ゲート電極や走査線に銅を含む配線を適応することにより、電圧降下や波形のなまりを低減することができ、更には発光装置の狭額縁化を達成することができる。

【0085】

（実施の形態4）

本発明の作製方法により得られる配線は、表示装置の引き回し配線に用いることもできる。

【0086】

図7（A）に示す基板731上には、駆動回路部であるソース側駆動回路732、ゲート側駆動回路733、および画素部734が形成されており、ソース側駆動回路732、ゲート側駆動回路733は、引き回し配線735により外部と接続されている。すなわち、ここで示す引き回し配線735に本発明の配線を用いることができる。ここでは、図示しないが、発光装置の場合には、電流供給線や、画素部734の各画素に形成された発光素子の第2の電極も同様に引き回し配線により外部と接続される。なお、本実施の形態において引き回し配線として形成される銅を含む配線の線幅は、900～1500μmとするのが好ましい。また、引き回し配線のFPCとの接続部は、100～200μm程度とするのが好ましい。

10

20

30

40

50

## 【0087】

なお、引き回し配線735は、接続部736において、FPC737と接続される。

## 【0088】

ここで、図7(A)に示す領域a(738)の構造について、図7(B)に詳細に示す。図7(B)において、701は、バリア性導電膜であり、702は、バリア性導電膜701上に積層して形成された銅を主成分とする導電膜である。そして、これらの積層により形成される配線703は第2の絶縁膜711により覆われている。また、第1の絶縁膜707に設けられたコンタクトホール716において、バリア性導電膜701は、走査線715と電気的に接続される。また、画素部734の画素電極と同時に形成される透明導電膜704は、その上に形成されている第2の絶縁膜711が除去されているので、図7(B)の上面図において、表面が露出している。

10

## 【0089】

また、図7(C)には、図7(B)のA-A'における断面図を示す。まず、走査線と同時に形成された配線706上に、層間絶縁膜と同時に形成された第1の絶縁膜707が形成される。その後、第1の絶縁膜707にコンタクトホール(開口部)を形成し、引き回し配線となるバリア性導電膜701を形成し、コンタクトを介して配線706と接続される。次に、バリア性導電膜701上に銅を主成分とする導電膜702を形成するが、銅を主成分とする導電膜702はコンタクトホールの手前まで延在するようにパターンニングする。そして、バリア性導電膜701と接するように透明導電膜704を形成する。このとき、透明導電膜704は第1の絶縁膜707上から延在して形成される。

20

## 【0090】

次に、第1の絶縁膜上にバリア性導電膜701及び銅を主成分とする導電膜702を覆うように第2の絶縁膜711を形成し、導電膜704の周囲(端、縁ともいう)を覆うように第2の絶縁膜711に開口部を形成する。すると、透明導電膜704が露出した状態となる(図7(B)の上面図参照)。なお、第1の絶縁膜707と第2の絶縁膜711とのマージンdは、数 $\mu\text{m}$ 、例えば3 $\mu\text{m}$ とする。

## 【0091】

次に、図7(D)に保護回路720周辺の拡大図を示す。FPCとの接続領域付近(以下、接続領域)において、TFTの半導体層と同時に形成される半導体層が、矩形を有し階段状(ジグザグ)に設けられている。そして、半導体層712はバリア性導電膜701と、配線706とにコンタクトホールを介して接続され、保護回路として機能している。このような保護回路を設けることにより、半導体膜が抵抗として機能し、駆動回路部や画素部へ静電気等による過大な電流が流れることを防止することができる。また半導体層以外にTFTを設けてもよい。さらに、半導体層と、TFTとを組み合わせ設けても良い。

30

## 【0092】

またFPCの端子と、引き回し配線との接続は、引き回し配線の接続先が発光素子の電極や駆動回路部の配線とにより異なる。すなわち、引き回し配線の接続先が発光素子の電極の場合、極力低抵抗としたいため、配線の幅が広く設計されており、引き回し配線に対して2つのFPC端子が接続される。一方、引き回し配線の接続先が駆動回路の配線の場合、配線の幅が上記と比較すると狭く設計されており、引き回し配線に対して1つの端子が接続される。このように引き回し配線の接続先を考慮して、接続されるFPC端子の数を設定する。また保護回路は、発光素子の電極や駆動回路部の配線毎に設ければよい。

40

## 【0093】

そして図7(A)の上面図には記載されないが、第2の絶縁膜711の開口部に導電体708を含む樹脂718を形成し、FPC側に設けられた配線709を介してFPC710を接続する。

## 【0094】

以上のように本実例では、引き回し配線の必要箇所に銅を主成分とする導電膜702を設けることにより、配線抵抗が低減され、配線からの発熱を防止することができる。特に

50

、 中型、大型のパネルになってくると配線に大電流を流すことが必要になり、本発明のように電気抵抗値が低い銅を主成分とする導電膜 702 を用いることは大電流を流すことができるという利点あり、有用である。

【0095】

(実施の形態5)

本実施の形態5では、本発明の半導体装置のうちアクティブマトリクス型の発光装置の外観図について、図8により説明する。なお、図8(A)は、発光装置を示す上面図、図8(B)は図8(A)をA-A'で切断した断面図である。点線で示された801は駆動回路部(ソース側駆動回路)、802は画素部、803は駆動回路部(ゲート側駆動回路)である。また、804は封止基板、805はシール剤であり、シール剤805で囲まれた内側807は、空間になっている。

10

【0096】

なお、808はソース側駆動回路801及びゲート側駆動回路803に入力される信号を伝送するための引き回し配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)809からビデオ信号、クロック信号、スタート信号、リセット信号等を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0097】

次に、断面構造について図8(B)を用いて説明する。素子基板810上には駆動回路部及び画素部が形成されているが、ここでは、駆動回路部であるソース側駆動回路801と、画素部802が示されている。

20

【0098】

なお、ソース側駆動回路801はnチャンネル型TFT823とpチャンネル型TFT824とを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成しても良い。また、本実施の形態では、基板上に駆動回路を形成したドライバー一体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。

【0099】

また、画素部802はスイッチング用TFT811と、電流制御用TFT812とそのドレイン領域に電氣的に接続された画素電極である第1の電極813とを含む複数の画素により形成される。なお、第1の電極813の端部を覆ってバンク814が形成されている。バンクは、図2(C)で示した層間絶縁膜218aと同様の材料を用いて形成することができる。なお、層間絶縁膜850とバンク814との組み合わせは、無機材料-無機材料、有機材料-無機材料、無機材料-有機材料、有機材料-有機材料等の組み合わせを適宜適応することができる。ここでは、バンク814として、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

30

【0100】

また、カバレッジを良好なものとするため、バンク814の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物814の材料としてポジ型の感光性アクリルを用いた場合、バンク814の上端部のみに曲率半径(0.2 $\mu$ m~3 $\mu$ m)を有する曲面を持たせることが好ましい。また、バンク814として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

40

【0101】

第1の電極813上には、電界発光層816、および第2の電極817がそれぞれ形成されている。ここで、第1の電極813に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタ

50

ン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

【0102】

また、電界発光層816は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。

【0103】

さらに、電界発光層816上に形成される第2の電極(陰極)817に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF<sub>2</sub>、またはCaN)を用いればよい。ここでは、発光が透過するように、第2の電極(陰極)817として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In<sub>2</sub>O<sub>3</sub>ZnO)、酸化亜鉛(ZnO)等)との積層を用いる。

10

【0104】

また、第2の電極817は全画素に共通の配線としても機能し、引き回し配線808を經由してFPC809に電氣的に接続されている。

【0105】

さらにシール剤805により封止基板804を素子基板810と貼り合わせることで、より上記効果を高めることができる。

【0106】

20

すなわち、素子基板801、封止基板804、およびシール剤805で囲まれた空間807に発光素子818が備えられた構造になっている。

【0107】

なお、シール剤805にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0108】

また、本実施の形態では封止基板804を構成する材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

30

【0109】

なお、本実施の形態5は実施の形態1乃至4と自由に組み合わせることができる。

【0110】

(実施の形態6)

本発明の配線を用いて作製された半導体装置を用いて様々な電気器具を完成させることができる。その具体例について図9を用いて説明する。

【0111】

図9(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の配線構造を有する半導体装置をその表示部2003に用いることにより作製される。なお、本発明の配線構造を有する半導体装置は、配線抵抗の低減を可能とするものであるため大型の表示装置に適している。なお、表示装置には、液晶表示装置、発光装置などがあり、具体的には、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

40

【0112】

図9(B)は、ノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の配線構造を有する半導体装置をその表示部2203に用いることにより作製される。

【0113】

図9(C)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)で

50

あり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明の配線構造を有する半導体装置をこれら表示部 A、B 2 4 0 3、2 4 0 4 に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0 1 1 4】

以上の様に、本発明により作製された半導体装置の適用範囲は極めて広く、本発明の半導体装置をあらゆる分野の電気器具に適用することが可能である。また、本発明の形態 6 の電気器具は実施の形態 1 乃至 5 を実施して作製された半導体装置を用いることにより完成

10

【図面の簡単な説明】

【0 1 1 5】

【図 1】本発明の配線の作製工程を説明する図。

【図 2】本発明の配線を信号線に用いた場合について説明する断面図。

【図 3】本発明の配線を信号線に用いた場合について説明する断面図。

【図 4】本発明の配線を信号線に用いた場合について説明する断面図。

【図 5】本発明の配線構造の具体例について説明する図。

【図 6】本発明の配線を走査線に用いた場合について説明する断面図。

【図 7】本発明の配線を引き回し配線に用いた場合について説明する図。

20

【図 8】発光装置について説明する図。

【図 9】電気器具について説明する図。

【符号の説明】

【0 1 1 6】

1 0 1 基板

1 0 2 第 1 の導電膜

1 0 3 マスク

1 0 4 第 2 の導電膜

1 0 5 レジスト

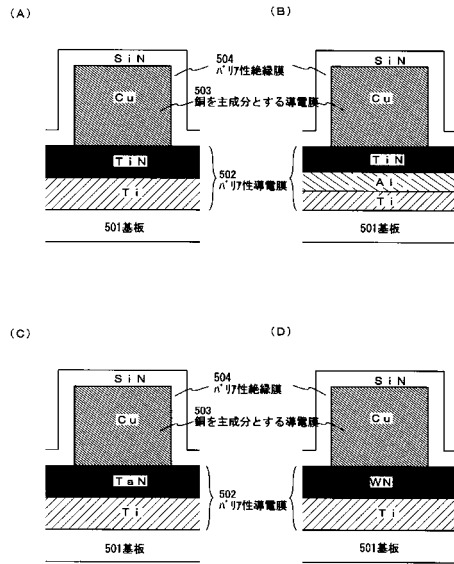
1 0 6 配線

30

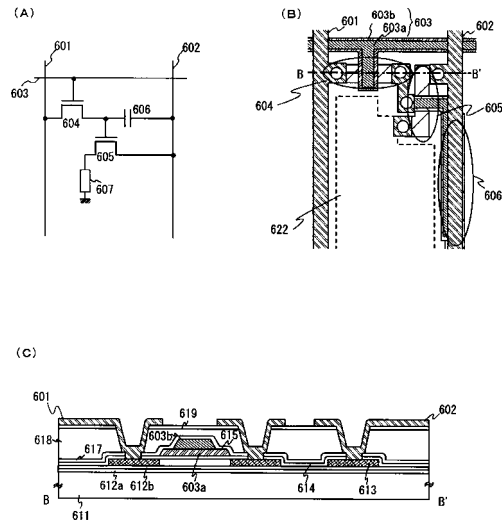




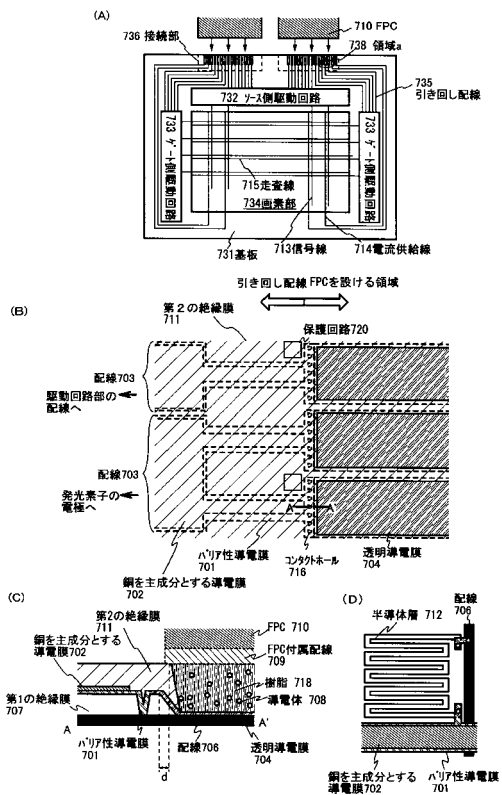
【図5】



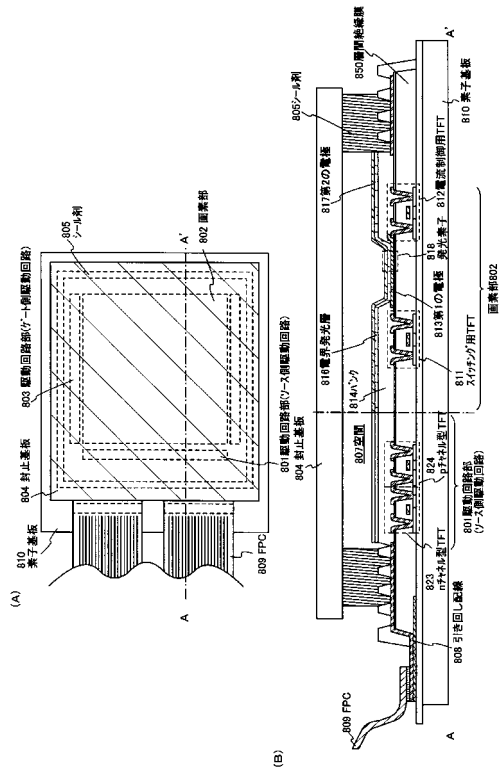
【図6】



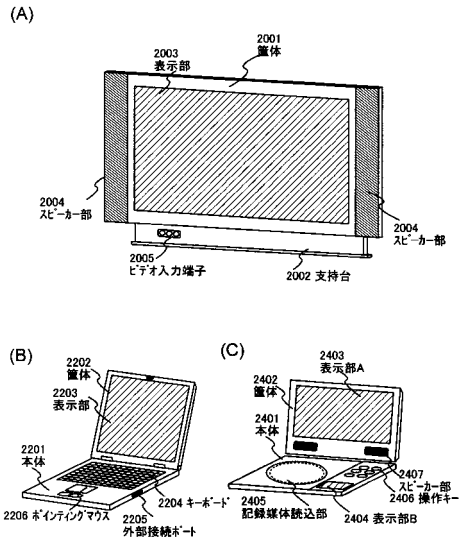
【図7】



【図8】



【図9】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 51/50 (2006.01) H 0 1 L 29/78 6 1 7 K  
H 0 1 L 29/78 6 1 2 C  
H 0 5 B 33/14 A

(56)参考文献 特開2001-049423(JP,A)  
特開平08-274093(JP,A)  
特開平03-195087(JP,A)  
特開平04-348035(JP,A)  
特開平05-066421(JP,A)  
特開2003-328126(JP,A)  
特開2002-261007(JP,A)  
特開2002-108243(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5  
H 0 1 L 2 1 / 3 2 1 3  
H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 3 / 5 2  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 5 1 / 5 0