



(12) 发明专利

(10) 授权公告号 CN 102165529 B

(45) 授权公告日 2014. 12. 31

(21) 申请号 200980138194. 9

G11C 16/32(2006. 01)

(22) 申请日 2009. 09. 17

G11C 5/02(2006. 01)

(30) 优先权数据

12/241960 2008. 09. 30 US

12/241832 2008. 09. 30 US

(85) PCT国际申请进入国家阶段日

2011. 03. 28

(86) PCT国际申请的申请数据

PCT/CA2009/001271 2009. 09. 17

(87) PCT国际申请的公布数据

W02010/037205 EN 2010. 04. 08

(73) 专利权人 考文森智财管理公司

地址 加拿大安大略省

(72) 发明人 吴学俊

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

代理人 王勇

(51) Int. Cl.

G11C 7/22(2006. 01)

(56) 对比文件

US 2007/0046351 A1, 2007. 03. 01, 说明书第 1 页第 17 段 - 第 2 页第 22 段和附图 1.

US 2004/0148482 A1, 2004. 07. 29, 全文.

US 2005/0058233 A1, 2005. 03. 17, 说明书第 25 段 - 第 36 段和附图 1A-2B.

US 2008/0209095 A1, 2008. 08. 28, 全文.

US 2006/0083043 A1, 2006. 04. 20, 全文.

CN 1965282 A, 2007. 05. 16, 全文.

US 2008/0013662 A1, 2008. 01. 17, 全文.

审查员 陈敏

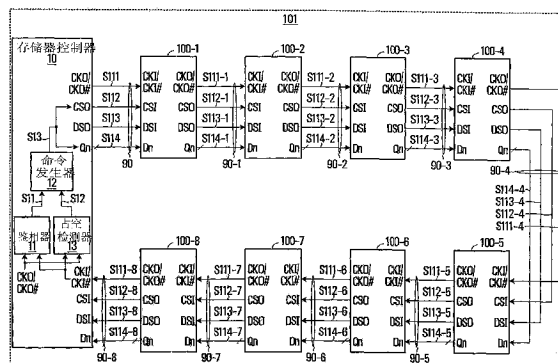
权利要求书6页 说明书19页 附图10页

(54) 发明名称

具有输出延迟调整的串联存储器系统

(57) 摘要

提供了用于校正时钟占空比和 / 或执行输出延迟调整的系统和方法, 以应用于用作从装置的串联装置中。主装置为第一从装置提供时钟。每个从装置将该时钟顺序地传递给下一个从装置。最后的从装置将该时钟返回给该主装置。该主装置比较输出和所返回的时钟, 并确定是否需要占空比校正和 / 或输出延迟调整。如果需要, 该主装置产生并输出命令, 用于由装置执行占空比和 / 或输出延迟调整。每个从装置具有用于执行占空比校正和 / 或输出延迟调整的电路。在一些实施方案中, 每个从装置是存储器装置, 且主装置是存储器控制器。



1. 一种用在多个串联从装置的从装置中的方法,该方法包括:
从主装置接收指定对来自主装置或前一串联从装置的输入时钟信号的时钟占空比进行调整的命令;
从所述主装置或前一串联从装置接收输入时钟信号;
根据所述命令从所述输入时钟信号产生经占空比校正的时钟信号;
输出所述经占空比校正的时钟信号至所述主装置或随后的串联从装置。
2. 根据权利要求 1 所述的方法,其中所述从装置是存储器装置,所述主装置是存储器控制器。
3. 根据权利要求 1 所述的方法,进一步包括:
从主装置接收指定所述从装置如何调整将被应用到由所述从装置输出的至少一个信号的延迟的命令;
接收至少一个输入信号,所述至少一个输入信号至少包括所述输入时钟信号;
对于至少一个输入信号的每一个;
根据所述命令产生所述输入信号的延迟形式;
输出所述输入信号的所述延迟形式,所述输入信号的所述延迟形式包括所述经占空比校正的时钟信号的延迟形式。
4. 根据权利要求 1 所述的方法,其中从主装置接收指定对时钟占空比进行调整的命令包括:接收包括命令标识符的命令,该命令标识符标识所述命令为占空比校正命令,所述命令还包括指示如何调整占空比的数据。
5. 根据权利要求 4 所述的方法,其中接收命令进一步包括接收指示用作从装置的哪个装置将执行所述命令的装置地址。
6. 根据权利要求 5 所述的方法,进一步包括:
如果所述命令具有匹配所述从装置的装置地址的装置地址,则根据所述命令执行产生所述经占空比校正的时钟信号的步骤;
如果所述命令具有是广播装置地址的装置地址,则根据所述命令执行产生所述经占空比校正的时钟信号的步骤。
7. 根据权利要求 4 所述的方法,其中:
产生经占空比校正的时钟信号包括:
 - a) 从所述输入时钟信号产生半频率的时钟信号;
 - b) 用多个延迟中所选择的一个来延迟所述半频率的时钟信号以产生延迟的半频率时钟信号;
 - c) 组合所述半频率时钟信号和所述延迟的半频率时钟信号以产生所述经占空比校正的时钟信号。
8. 根据权利要求 7 所述的方法,其中指示如何调整所述占空比校正的所述数据包括所述多个延迟中所选择的一个的指示。
9. 一种用在包括主装置和多个串联从装置的存储器系统中的方法,所述从装置包括至少第一从装置和最后的从装置,所述方法包括:
所述主装置中:
 - a) 输出用作所述第一从装置的输入时钟信号的第一时钟信号;

b) 接收第二时钟信号,其是所述最后的从装置的输出时钟信号;

c) 产生与所述第二时钟信号的占空比相关的占空比校正命令并且输出所述占空比校正命令;

在所述多个串联从装置的第一从装置中:

a) 从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号;

b) 从所述输入时钟信号产生输出时钟信号;

在所述多个串联从装置的每一个其它从装置中:

a) 接收前一从装置的输出时钟信号,作为该从装置的输入时钟信号;

b) 从所述输入时钟信号产生输出时钟信号;

在多个串联从装置的至少一个的每一个中:

a) 接收所述占空比校正命令;

b) 根据所述占空比校正命令从所述输入时钟信号产生经占空比校正的时钟信号;

c) 输出所述经占空比校正的时钟信号,作为所述从装置的输出时钟信号。

10. 根据权利要求 9 所述的方法,其中每个从装置是存储器装置,所述主装置是存储器控制器。

11. 根据权利要求 9 或 10 所述的方法,进一步包括:

所述主装置中:

a) 输出至少一个输出信号,所述至少一个输出信号包括所述第一时钟信号,用作所述第一从装置的输入时钟信号;

b) 接收第二时钟信号,其是所述最后的从装置的输出时钟信号;

c) 确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量;

d) 产生与所述第一时钟信号和所述第二时钟信号之间的相位偏差相关的输出延迟调整命令并且输出所述输出延迟调整命令。

12. 根据权利要求 9 或 10 所述的方法,其中产生与所述第二时钟信号的占空比相关的占空比校正命令并且输出所述占空比校正命令包括产生用于由所述多个串联从装置的任意指定的一个来执行的占空比校正命令。

13. 根据权利要求 12 所述的方法,其中产生与所述第二时钟信号的占空比相关的占空比校正命令并且输出所述占空比校正命令包括产生用于由所有所述多个串联从装置来执行的占空比校正命令。

14. 根据权利要求 9 所述的方法,其中接收所述占空比校正命令包括:接收包括命令标识符的命令,该命令标识符标识所述命令为占空比校正命令,且包括指示如何调整占空比的数据。

15. 根据权利要求 14 所述的方法,其中:

产生经占空比校正的时钟信号包括:

a) 从所述输入时钟信号产生半频率的时钟信号;

b) 用多个延迟中所选择的一个来延迟所述半频率的时钟信号以产生延迟的半频率时钟信号;

c) 组合所述半频率时钟信号和所述延迟的半频率时钟信号以产生所述经占空比校正的时钟信号。

16. 根据权利要求 15 所述的方法,其中所述指示如何调整所述占空比校正的数据包括所述多个延迟中所选择的一个的指示。

17. 一种用在包括多个串联从装置的结构中的从装置,所述从装置包括:

命令输入电路,用于从主装置接收指示对占空比进行调整的命令;

时钟输入电路,用于接收输入时钟信号;

占空比校正电路,用于根据所述命令从所述输入时钟信号产生经占空比校正的时钟信号;

时钟输出电路,用于输出所述经占空比校正的时钟信号至所述主装置或随后的串联从装置。

18. 根据权利要求 17 的从装置,其中所述从装置是存储器装置。

19. 根据权利要求 17 或 18 所述的从装置,其中:

所述命令输入电路还用于从所述主装置接收指定对输出延迟调整的命令;

输出延迟调整电路用于根据所述命令从所述经占空比校正的信号产生延迟的时钟信号;

其中所述用于输出所述经占空比校正的时钟信号的时钟输出电路输出所述延迟的时钟信号。

20. 根据权利要求 17 或 18 所述的从装置,还包括:

命令处理电路,用于处理所述命令,

其中所述命令包括:

标识所述命令为占空比校正命令的命令标识符;和

指示如何调整占空比的数据。

21. 根据权利要求 20 所述的从装置,还包括:

装置地址寄存器;

其中所述命令进一步包括指示哪个从装置执行所述命令的装置地址,如果所述装置地址匹配所述装置地址寄存器的内容则所述从装置被配置为执行所述命令。

22. 根据权利要求 17 或 18 所述的从装置,其中所述占空比校正电路包括:

a) 时钟分频器电路,用于从所述输入时钟信号产生半频率的时钟信号;

b) 延迟电路,用于由多个延迟中所选择的一个来延迟所述半频率的时钟信号以产生延迟的半频率时钟信号;

c) 组合器,用于组合所述半频率时钟信号和所述延迟的半频率时钟信号以产生所述经占空比校正的时钟信号。

23. 根据权利要求 22 所述的从装置,其中所述延迟电路包括 M 个单位延迟元件, $M \geq 2$,所述占空比校正电路还包括:

N 至 M 解码器,用于将在 N 个输入线路上接收的信号解码为在延迟所述半频率时钟信号以产生延迟的半频率时钟信号中有效的所述单位延迟元件的个数的选择, $N \geq 1$ 。

24. 一种存储器系统,包括:

用作根据权利要求 17 的从装置的多个串联装置,所述多个串联装置包括至少第一从装置和最后的从装置;

连接到所述第一从装置和所述最后的从装置的主装置;

所述主装置配置为输出用作所述第一从装置的输入时钟信号的第一时钟信号；

用于接收是所述最后的从装置的输出时钟信号的第二时钟信号的时钟输入电路；

用于确定所述第二时钟信号的占空比的占空检测器；

命令发生器,用于产生指定对与所述第二时钟信号的占空比相关的时钟占空比进行调整的占空比校正命令；

其中,用作从装置的所述多个串联装置的第一从装置；

a) 从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号；

b) 从所述输入时钟信号产生输出时钟信号；

其中,用作从装置的所述多个串联装置的每个其它从装置；

a) 接收前一从装置的输出时钟信号,作为该从装置的输入时钟信号；

b) 从所述输入时钟信号产生输出时钟信号；

其中所述多个串联装置的至少一个；

a) 接收所述占空比校正命令；

b) 根据占空比校正命令产生经占空比校正的时钟信号；

c) 输出所述经占空比校正的时钟信号,作为所述从装置的输出时钟信号。

25. 根据权利要求 24 所述的存储器系统,其中,每个从装置是存储器装置,所述主装置是存储器控制器。

26. 根据权利要求 24 或 25 所述的存储器系统,还包括：

鉴相器,用于确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量；

其中,所述命令发生器还产生与相位偏差量相关的输出延迟调整命令；

其中,在所述多个串联装置的第一从装置；

a) 从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号；

b) 从所述输入时钟信号产生输出时钟信号；

其中,在所述多个串联装置的每一个其它从装置；

a) 接收前一从装置的输出时钟信号,作为所述从装置的输入时钟信号；

b) 从所述输入时钟信号产生输出时钟信号；

其中所述多个串联装置的至少一个装置；

a) 接收所述输出延迟调整命令；

b) 通过根据所述输出延迟调整命令延迟所述至少一个装置的输入时钟信号来产生所述至少一个装置的输出时钟信号。

27. 根据权利要求 24 或 25 所述的存储器系统,其中所述命令发生器被配置为产生与所述第二时钟信号的占空比相关的占空比校正命令并且通过产生用于由用作从装置的所述多个串联装置的指定一个来执行的占空比校正命令来输出所述占空比校正命令。

28. 根据权利要求 24 或 25 所述的存储器系统,其中所述命令发生器被配置为产生与所述第二时钟信号的占空比相关的占空比校正命令并且通过产生用于由用作从装置的所有所述多个串联装置来执行的占空比校正命令来输出所述占空比校正命令。

29. 根据权利要求 24 或 25 所述的存储器系统,其中接收所述占空比校正命令包括:接收包括命令标识符的命令,该命令标识符标识所述命令为占空比校正命令,且包括指示如何调整占空比的数据。

30. 一种用在包括主装置和用作从装置的多个串联装置的存储器系统中的方法,所述从装置包括至少第一从装置和最后的从装置,所述方法包括:

所述主装置中:

a) 输出至少一个输出信号,所述至少一个输出信号包括第一时钟信号,用作所述第一从装置的输入时钟信号;

b) 接收第二时钟信号,其是所述最后的从装置的输出时钟信号;

c) 确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量;

d) 产生与所述第一时钟信号和所述第二时钟信号之间的相位偏差量相关的输出延迟调整命令并且输出所述输出延迟调整命令。

31. 根据权利要求 30 所述的方法,其中每个从装置是存储器装置,所述主装置是存储器控制器。

32. 根据权利要求 30 或 31 所述的方法,进一步包括:

在用作从装置的所述多个串联装置的第一从装置中:

a) 从所述主装置接收所述至少一个输出信号,作为所述第一从装置的相应的至少一个输入信号;

b) 对于每个输入信号,基于所述输入信号产生输出信号;

在用作从装置的所述多个串联装置的每个其它从装置中:

a) 接收前一从装置的输出信号,其对应于所述从装置的至少一个输入信号;

b) 对于每个输入信号,基于所述输入信号产生输出信号;

在所述从装置的至少一个中,

a) 接收所述输出延迟调整命令;并且

b) 通过根据所述输出延迟调整命令产生所述输入信号的延迟形式来产生所述输出信号。

33. 根据权利要求 32 所述的方法,进一步包括:

其中所述主装置的所述至少一个输出信号包括多个输出信号。

34. 根据权利要求 30 或 31 所述的方法,其中产生延迟调整命令包括产生用于由所述多个串联的从装置中的特定一个执行的延迟调整命令。

35. 根据权利要求 30 或 31 所述的方法,其中产生延迟调整命令包括产生用于由所有所述多个串联的从装置执行的延迟调整命令。

36. 根据权利要求 32 所述的方法,其中根据所述输出延迟调整命令产生所述输入信号的延迟形式包括产生用多个延迟中所选择的一个来延迟的所述输入信号的延迟形式。

37. 根据权利要求 36 所述的方法,其中产生延迟调整命令包括:产生包括命令标识符的命令,该命令标识符标识所述命令为输出延迟调整命令,且包括指示如何调整延迟的数据。

38. 根据权利要求 37 所述的方法,其中所述指示如何调整延迟的数据包括所述多个延迟中所选择的一个的指示。

39. 根据权利要求 30 或 31 所述的方法,进一步包括:

所述主装置输出输出延迟调整命令,所述输出延迟调整命令通过每次在一个从装置中增加 1 单位延迟元件来调整延迟,直到所述相位偏差量是可接受的。

40. 根据权利要求 32 所述的方法,其中所述至少一个输入信号包括:
时钟信号;
命令选通信号;
数据选通信号;
包括命令和数据的数据信号。

41. 一种存储器系统,包括:

多个串联从装置,所述多个串联从装置包括至少第一从装置和最后的从装置;
连接到所述第一从装置和所述最后的从装置的主装置;
所述主装置被配置为输出用作所述第一从装置的输入时钟信号的第一时钟信号;
时钟输入电路,用于接收第二时钟信号,其是所述最后的从装置的输出时钟信号;
鉴相器,用于确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量;
命令发生器,用于产生与所述相位偏差量相关的输出延迟调整命令;

其中,在所述多个串联从装置的第一从装置:

a) 从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号;
b) 从所述输入时钟信号产生输出时钟信号;

其中,在所述多个串联从装置的每个其它从装置:

a) 接收前一从装置的输出时钟信号,作为从装置的输入时钟信号;
b) 从所述输入时钟信号产生输出时钟信号;

其中所述多个串联从装置的至少一个装置:

a) 接收所述输出延迟调整命令;

b) 根据所述输出延迟调整命令通过延迟所述至少一个装置的输入时钟信号来产生所述至少一个装置的输出时钟信号。

42. 根据权利要求 41 所述的存储器系统,其中,每个从装置是存储器装置,所述主装置是存储器控制器。

43. 根据权利要求 41 或 42 所述的存储器系统,其中所述命令发生器被配置为产生用于由所述多个串联从装置中的特定一个来执行的输出延迟调整命令。

44. 根据权利要求 41 或 42 所述的存储器系统,其中所述命令发生器被配置为产生用于由所有所述多个串联从装置来执行的输出延迟调整命令。

45. 根据权利要求 41 或 42 所述的存储器系统,其中产生输出延迟调整命令包括:产生包括命令标识符的命令,该命令标识符标识所述命令为输出延迟调整命令,且包括指示如何调整输出延迟的数据。

具有输出延迟调整的串联存储器系统

技术领域

[0001] 本发明总地涉及具有一组串联存储器装置的固态存储器系统。

背景技术

[0002] 传统的 NAND 闪存系统使用大量的用于命令、寻址和数据传输操作的并行信号。这是配置存储器系统的非常普遍的方式并且导致非常快速的系统操作。这对于诸如 DRAM(动态随机存取存储器)、SRAM(静态随机存取存储器)的随机存取存储器装置尤其如此。

[0003] 由于需要将大量的并行信号传送到存储器系统中的每一个存储器装置,所以该方法带来了些问题。系统电源也必须具有较高的容量,以为并行信号输送较高的峰值功率。通过使用较高的运行频率,可以直接增加传统 NAND 闪存的写和读的吞吐量。例如,当前大约 40MHz 的运行频率(对于 NAND 闪存中的 tRC,其等于 25ns)可以增加到大约 100 至 200MHz。虽然这种方法显得直截了当,但是在如此高的频率下信号质量会有显著问题,这就对传统 NAND 闪存的运行频率设置了实际应用上的限制。

[0004] 特别地,传统 NAND 闪存使用一组并行输入/输出(I/O)引脚与其他元件通信,根据期望的字配置,所述引脚数量为 8 或者 16,用于接收命令指令、接收输入数据和提供输出数据。这通常被称作并行接口。高速运行将会导致众所周知的诸如串扰、信号偏移和信号衰减的通信变差效应,从而降低信号质量。上述并行接口使用大量引脚来读取和写入数据。随着输入引脚和线路数量的增加,许多不期望的效应也在增加。这些效应包括码间干扰、信号偏移和串扰。

[0005] 为了解决一些这样的问题,提供了具有一组连接成环的存储器装置的数个串联系统配置。这些包括“Multiple Independent Serial Link Memory”(US20070076479A1)、“Daisy Chain Cascading Devices”(US20070109833A1)、“Memory with Output Control”(US20070153576A1)、“Daisy chain cascade configuration recognition technique”(US2007233903A1)和“Independent Link and Bank Selection”(US2007143677A1),这些申请的发明人均与本发明的相同,在此通过引用全部包含在本发明中。这些系统通常具有串行输入/输出数据引脚,以及分别用于启用和禁用串行输入端口和串行输出端口以提供具有最大灵活性的串行数据通信的存储器控制器的 2 个控制信号。一些这样的存储器系统配置采用用于系统时钟分布的共享总线拓扑,其被称为“共享时钟系统”或者“多点时钟系统”。一些这样的架构使用在每个存储器芯片中具有 DLL(延迟锁定环)或者 PLL(锁相环)的点对点串联时钟架构,以同步每个存储器装置中的 2 个时钟信号,其中一个是从前一装置或控制器接收的输入时钟,另一个是递送到下个装置的输出时钟。

发明内容

[0006] 根据一个广义方面,本发明提供了一种用在多个串联从装置的从装置中的方法,该方法包括:从主装置接收指定对时钟占空比进行调整的命令;接收输入时钟信号;根据

所述命令从所述输入时钟信号产生经占空比校正的时钟信号；输出所述经占空比校正的时钟信号。

[0007] 在一些实施例中，从装置是存储器装置，且主装置是存储器控制器。

[0008] 在一些实施例中，该方法进一步包括：从主装置接收指定所述从装置如何调整将被应用到由所述从装置输出的至少一个信号的延迟的命令；接收至少一个输入信号，所述至少一个输入信号至少包括所述输入时钟信号；对于至少一个输入信号的每一个：根据所述命令产生所述输入信号的延迟形式；输出所述输入信号的所述延迟形式，所述输入时钟信号的所述延迟形式包括所述经占空比校正的时钟信号的延迟形式。

[0009] 在一些实施例中，从主装置接收指定对时钟占空比进行调整的命令包括：接收包括命令标识符的命令，该命令标识符标识所述命令为占空比校正命令，所述命令还包括指示如何调整占空比的数据。

[0010] 在一些实施例中，接收命令进一步包括接收指示用作从装置的哪个装置将执行所述命令的装置地址。

[0011] 在一些实施例中，该方法进一步包括：如果所述命令具有匹配所述从装置的装置地址的装置地址，则根据所述命令执行产生所述经占空比校正的时钟信号的步骤；如果所述命令具有是广播装置地址的装置地址，则根据所述命令执行产生所述经占空比校正的时钟信号的步骤。

[0012] 在一些实施例中，产生经占空比校正的时钟信号包括：a) 从所述输入时钟信号产生半频率的时钟信号；b) 用多个延迟中所选择的一个来延迟所述半频率的时钟信号以产生延迟的半频率时钟信号；c) 组合所述半频率时钟信号和所述延迟的半频率时钟信号以产生所述经占空比校正的时钟信号。

[0013] 在一些实施例中，指示如何调整所述占空比校正的所述数据包括所述多个延迟中所选择的一个的指示。

[0014] 根据另一广义的方面，本发明提供了一种用在包括主装置和多个串联的从装置的存储器系统中的方法，所述从装置包括至少第一从装置和最后的从装置，所述方法包括：在主装置中：a) 输出用作所述第一从装置的输入时钟信号的第一时钟信号；b) 接收第二时钟信号，其是所述最后的从装置的输出时钟信号；c) 产生与所述第二时钟信号的占空比相关的占空比校正命令并且输出所述占空比校正命令；在所述多个串联从装置的第一从装置中：a) 从所述主装置接收所述第一时钟信号，作为所述第一从装置的所述输入时钟信号；b) 从所述输入信号产生输出时钟信号；在所述多个串联从装置的每一个其它从装置中：a) 接收前一从装置的输出时钟信号，作为从装置的输入时钟信号；b) 从所述输入时钟信号产生输出时钟信号；在用作从装置的多个串联装置的至少一个的每一个中：a) 接收所述占空比校正命令；b) 根据所述占空比校正命令从所述输入时钟信号产生经占空比校正的时钟信号；c) 输出所述经占空比校正的时钟信号，作为所述从装置的输出时钟信号；

[0015] 在一些实施例中，每个从装置是存储器装置，且主装置是存储器控制器。

[0016] 在一些实施例中，该方法进一步包括：在主装置中：a) 输出至少一个输出信号，所述至少一个输出信号包括所述第一时钟信号，用作所述第一从装置的输入时钟信号；b) 接收第二时钟信号，其是所述最后的从装置的输出时钟信号；c) 确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量；d) 产生与所述第一时钟信号和所述第二时钟信号之

间的相位偏差相关的输出延迟调整命令并且输出所述输出延迟调整命令。

[0017] 在一些实施例中,产生与所述第二时钟信号的占空比相关的占空比校正命令并且输出所述占空比校正命令包括产生用于由所述多个串联从装置的任意指定的一个来执行的占空比校正命令。

[0018] 在一些实施例中,产生与所述第二时钟信号的占空比相关的占空比校正命令并且输出所述占空比校正命令包括产生用于由所有所述多个串联从装置来执行的占空比校正命令。

[0019] 在一些实施例中,接收所述占空比校正命令包括:接收包括命令标识符的命令,该命令标识符标识所述命令为占空比校正命令,且包括指示如何调整占空比的数据。

[0020] 在一些实施例中,产生经占空比校正的时钟信号包括:a) 从所述输入时钟信号产生半频率的时钟信号;b) 用多个延迟中所选择的一个来延迟所述半频率的时钟信号以产生延迟的半频率时钟信号;c) 组合所述半频率时钟信号和所述延迟的半频率时钟信号以产生所述经占空比校正的时钟信号。

[0021] 在一些实施例中,所述指示如何调整所述占空比校正的数据包括所述多个延迟中所选择的一个的指示。

[0022] 根据另一个广义方面,本发明提供了一种用在包括多个串联从装置的结构中的从装置,该从装置包括:命令输入,用于从主装置接收指定对占空比进行调整的命令;时钟输入,用于接收输入时钟信号;占空比校正电路,用于根据控制命令从所述时钟输入产生经占空比校正的时钟信号;时钟输出,用于输出所述经占空比校正的时钟信号。

[0023] 在一些实施例中,所述从装置是存储器装置。

[0024] 在一些实施例中,所述命令输入还用于从所述主装置接收指定对输出延迟调整的命令;输出延迟调整电路用于根据所述命令从所述经占空比校正的信号产生延迟的时钟信号;其中所述用于输出所述经占空比校正的时钟信号的时钟输出输出所述延迟的时钟信号。

[0025] 在一些实施例中,该从装置进一步包括:命令处理电路,用于处理所述命令,其中所述命令包括:标识所述命令为占空比校正命令的命令标识符;和指示如何调整占空比的数据。

[0026] 在一些实施例中,该从装置进一步包括:装置地址寄存器;其中所述命令进一步包括指示哪个从装置执行所述命令的装置地址,如果所述装置地址匹配所述装置地址寄存器的内容则所述从装置被配置为执行所述命令。

[0027] 在一些实施例中,该占空比校正电路包括:a) 时钟分频器电路,用于从所述输入时钟信号产生半频率的时钟信号;b) 延迟电路,用于由多个延迟中所选择的一个来延迟所述半频率的时钟信号以产生延迟的半频率时钟信号;c) 组合器,用于组合所述半频率时钟信号和所述延迟的半频率时钟信号以产生所述经占空比校正的时钟信号。

[0028] 在一些实施例中,该延迟电路包括M个单位延迟元件, $M \geq 2$,该占空比校正电路进一步包括:N至M解码器,用于将在N个输入线路上接收的信号解码为在延迟所述半频率时钟信号以产生延迟的半频率时钟信号中有效的所述单位延迟元件的个数的选择, $N \geq 1$ 。

[0029] 根据又一广义方面,本发明提供了一种系统,包括:用作根据权利要求13的从装

置的多个串联装置,所述多个串联装置包括至少第一从装置和最后的从装置;连接到所述第一从装置和所述最后的从装置的主装置;所述主装置配置为输出用作所述第一从装置的输入时钟信号的第一时钟信号;时钟输入,用于接收第二时钟信号,所述第二时钟信号是所述最后的从装置的输出时钟信号;用于确定所述第二时钟信号的占空比的占空检测器;命令发生器,用于产生指定对与所述第二时钟信号的占空比相关的时钟占空比进行调整的占空比校正命令;其中,用作从装置的所述多个串联装置的第一从装置:a)从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号;b)从所述输入时钟信号产生输出时钟信号;其中,用作从装置的所述多个串联装置的每个其它从装置:a)接收前一从装置的输出时钟信号,作为该从装置的输入时钟信号;b)从所述输入时钟信号产生输出时钟信号;其中所述多个串联从装置的至少一个:a)接收所述占空比校正命令;b)根据所述控制命令产生经占空比校正的时钟信号;c)输出所述经占空比校正的时钟信号,作为所述从装置的输出时钟信号。

[0030] 在一些实施例中,所述系统是存储器系统,每个从装置是存储器装置,所述主装置是存储器控制器。

[0031] 在一些实施例中,该存储器系统还包括:鉴相器,用于确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量;其中,所述命令发生器还产生与相位偏差量相关的输出延迟调整命令;其中,在所述多个串联从装置的第一从装置:a)从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号;b)从所述输入时钟信号产生输出时钟信号;其中,在所述多个串联从装置的每一个其它从装置:a)接收前一从装置的输出时钟信号,作为从装置的输入时钟信号;b)从所述输入时钟信号产生输出时钟信号;其中所述多个串联从装置的至少一个:a)接收所述输出延迟调整命令;b)通过根据所述控制命令延迟所述装置的输入时钟信号来产生所述装置的输出时钟信号。

[0032] 在一些实施例中,所述命令发生器被配置为产生与所述第二时钟信号的占空比相关的占空比校正命令,以及通过产生用于由用作从装置的所述多个串联装置的指定一个来执行的占空比校正命令来输出所述占空比校正命令。

[0033] 在一些实施例中,所述命令发生器被配置为产生与所述第二时钟信号的占空比相关的占空比校正命令,以及通过产生用于由用作从装置的所有所述多个串联装置来执行的占空比校正命令来输出所述占空比校正命令。

[0034] 在一些实施例中,接收所述占空比校正命令包括:接收包括命令标识符的命令,该命令标识符标识所述命令为占空比校正命令,且包括指示如何调整占空比的数据。

[0035] 根据一个广义的方面,本发明提供一种用在多个串联从装置的从装置中的方法,该方法包括从主装置接收指定所述从装置如何调整将被应用到由所述从装置输出的至少一个信号的延迟的命令;接收至少一个输入信号,所述至少一个输入信号至少包括输入时钟信号;对于至少一个输入信号的每一个:根据所述命令产生所述输入信号的延迟形式;输出所述输入信号的所述延迟形式。

[0036] 在一些实施例中,从装置是存储器装置,且主装置是存储器控制器。

[0037] 在一些实施例中,所述方法包括:输出数据输出信号;其中至少一个输入信号包括数据输入信号并且其中输出所述数据输入信号的延迟形式作为输出所述数据输出信号的部分来执行,使得:a)有时,数据输出信号是数据输入信号的所述延迟形式;b)有时,数

据输出信号是根据命令将延迟应用到从装置本地产生的信号之后从装置本地产生的信号的延迟形式。

[0038] 在一些实施例中,从主装置接收指定对应用到从装置输出的至少一个信号的延迟的调整的命令包括:接收包括标识所述命令为输出延迟调整命令的命令标识符的命令,所述命令还包括指示如何调整所述延迟的数据。

[0039] 在一些实施例中,接收命令进一步包括接收指示用作从装置的哪个装置将执行所述命令的装置地址。

[0040] 在一些实施例中,所述方法还包括:对于至少一个输入信号的每一个,如果所述命令具有匹配所述从装置的装置地址的装置地址,执行根据所述命令产生所述输入信号的延迟形式的步骤;对于至少一个输入信号的每一个,如果所述命令具有是广播装置地址的装置地址,执行根据所述命令产生所述输入信号的延迟形式的步骤。

[0041] 在一些实施例中,对于每个输入信号,产生所述输入信号的延迟形式包括:a) 用多个延迟中所选择的一个来延迟所述输入信号以产生所述输入信号的延迟形式。

[0042] 在一些实施例中,所述指示如何调整所述延迟的数据包括所述多个延迟中所选择的一个的指示。

[0043] 在一些实施例中,所述多个输入信号包括:时钟信号;命令选通信号;数据选通信号;包括命令和数据的数据信号。

[0044] 根据另一个广义的方面,本发明提供了一种用在包括主装置和用作从装置的多个串联装置的存储器系统中的方法,所述从装置包括至少第一从装置和最后的从装置,所述方法包括:所述主装置中:a) 输出至少一个输出信号,所述至少一个输出信号包括第一时钟信号,用作所述第一从装置的输入时钟信号;b) 接收第二时钟信号,其是所述最后的从装置的输出时钟信号;c) 确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量;d) 产生与所述第一时钟信号和所述第二时钟信号之间的相位偏差量相关的输出延迟调整命令并且输出所述输出延迟调整命令。

[0045] 在一些实施例中,每个从装置是存储器装置,且主装置是存储器控制器。

[0046] 在一些实施例中,所述方法进一步包括:在用作从装置的所述多个串联装置的第一从装置中:a) 从所述主装置接收所述至少一个输出信号,作为所述第一从装置的相应的至少一个输入信号;b) 对于每个输入信号,基于所述输入信号产生输出信号;在用作从装置的所述多个串联装置的每个其它从装置中:a) 接收前一从装置的输出信号,其对应于所述从装置的至少一个输入信号;b) 对于每个输入信号,基于所述输入信号产生输出信号;在所述至少一个从装置中,a) 接收所述输出延迟调整命令;并且 b) 通过根据所述输出延迟调整命令产生所述输入信号的延迟形式来产生所述输出信号。

[0047] 在一些实施例中,所述方法进一步包括:其中所述主装置的所述至少一个输出信号包括多个输出信号。

[0048] 在一些实施例中,产生延迟调整命令包括产生用于由所述多个串联的从装置中的特定一个执行的延迟调整命令。

[0049] 在一些实施例中,产生延迟调整命令包括产生用于由所有所述多个串联的从装置执行的延迟调整命令。

[0050] 在一些实施例中,根据所述输出延迟调整命令产生所述输入信号的延迟形式包括

产生用多个延迟中所选择的一个来延迟的所述输入信号的延迟形式。

[0051] 在一些实施例中,产生延迟调整命令包括:产生包括命令标识符的命令,该命令标识符标识所述命令为输出延迟调整命令,且包括指示如何调整延迟的数据。

[0052] 在一些实施例中,所述指示如何调整延迟的数据包括所述多个延迟中所选择的一个的指示。

[0053] 在一些实施例中,所述方法进一步包括:所述主装置输出输出延迟调整命令,所述输出延迟调整命令通过每次在一个从装置中增加一个延迟一单位延迟元件来调整延迟,直到所述相位偏差是可接受的。

[0054] 在一些实施例中,所述多个输入信号包括:时钟信号;命令选通信号;数据选通信号;包括命令和数据的数据信号。

[0055] 根据另一个广义的方面,本发明还提供了一种用在包括多个串联从装置的结构中的从装置,所述从装置包括:命令输入,用于从主装置接收指示如何执行输出延迟调整的命令;时钟输入,用于接收输入时钟信号;输出延迟调整电路,用于根据所述命令从所述时钟输入产生延迟的时钟信号;时钟输出,用于输出延迟的时钟信号。

[0056] 在一些实施例中,所述从装置是存储器装置。

[0057] 在一些实施例中,所述从装置包括:命令处理电路,用于处理所述命令,其中所述命令包括标识所述命令为输出延迟调整命令的命令标识符,并且包括指示如何调整所述输出延迟的数据。

[0058] 在一些实施例中,所述从装置还包括:装置地址寄存器;其中所述命令进一步包括指示哪个从装置执行所述命令的装置地址,如果所述装置标识符匹配所述装置地址寄存器的内容则所述从装置被配置为执行所述命令。

[0059] 在一些实施例中,所述输出延迟调整电路包括:对于包括所述输入时钟信号的多个输入信号的每一个,延迟电路用多个延迟中所选择的一个来延迟所述输入信号以产生所述输入信号的延迟形式。

[0060] 在一些实施例中,每个输出延迟电路包括M个单位延迟元件, $M \geq 2$,所述占空比校正电路还包括:N至M解码器,用于将在N个输入线路上接收的信号解码为在产生所述输入信号的延迟形式中有效的所述单位延迟元件的个数的选择, $N \geq 1$ 。

[0061] 根据本发明又一个广义的方面,本发明还提供一种存储器系统,包括:多个串联从装置,其包括至少第一从装置和最后的从装置;连接到所述第一从装置和所述最后的从装置的主装置;所述主装置配置为输出用作所述第一从装置的输入时钟信号的第一时钟信号;时钟输入,用于接收第二时钟信号,其是所述最后的从装置的输出时钟信号;鉴相器,用于确定所述第一时钟信号和所述第二时钟信号之间的相位偏差量;命令发生器,用于产生与相位偏差量相关的输出延迟调整命令;其中,在所述多个串联从装置的第一从装置:
a) 从所述主装置接收所述第一时钟信号,作为所述第一从装置的所述输入时钟信号;b) 从所述输入时钟信号产生输出时钟信号;其中,在所述多个串联从装置的每一个其它从装置:
a) 接收前一从装置的输出时钟信号,作为从装置的输入时钟信号;b) 从所述输入时钟信号产生输出时钟信号;其中所述多个串联从装置的至少一个中:a) 接收所述输出延迟调整命令;b) 根据所述控制命令通过延迟所述装置的输入时钟信号来产生所述装置的输出时钟信号。

[0062] 在一些实施例中,所述系统是存储器系统,每个从装置是存储器装置,所述主装置是存储器控制器。

[0063] 在一些实施例中,所述命令发生器被配置为产生用于由所述多个串联从装置中的特定一个来执行的输出延迟调整命令。

[0064] 在一些实施例中,所述命令发生器被配置为产生用于由所有所述多个串联从装置来执行的输出延迟调整。

[0065] 在一些实施例中,产生输出延迟调整命令包括:产生包括命令标识符的命令,该命令标识符标识所述命令为输出延迟调整命令,且包括指示如何调整输出延迟的数据。

[0066] 提供了用于串联存储器系统的无需 DLL 或者 PLL 的时钟占空比校正和/或相位同步化的方法和设备,其通常包括连接成环形结构的存储器控制器和多个存储器芯片。在一些实施例中,存储器控制器具有相位/占空比检测器,用于检测时钟信号遍行整个环后的相位和占空比,且每个存储器装置具有一个或多个控制器可编程延迟线,其被用于调整该时钟的相位和/或占空比。由从该存储器控制器发出的命令进行这些调整,直到该存储器控制器所检测到的相位和占空比是可接受的。

[0067] 此处所描述的方法和设备可以被应用到具有任意种类的半导体集成电路装置的任意种类的半导体集成电路系统,半导体集成电路装置作为相邻装置间具有通用接口的串联结构的从装置。集成电路类型的示例包括中央处理器单元、图形处理单元、显示控制器 IC、磁盘驱动 IC、诸如 NAND 闪速 EEPROM, NOR 闪速 EEPROM, AND 闪速 EEPROM、DiNOR 闪速 EEPROM、串行闪速 EEPROM、DRAM、SRAM、ROM、EPROM、FRAM、MRAM 和 PCRAM 的存储器装置。

附图说明

[0068] 图 1 是具有控制器可编程占空比校正方案的串联存储器系统的系统框图;

[0069] 图 2 是具有控制器可编程占空比校正方案的存储器装置的框图;

[0070] 图 3 是用于占空比校正的可编程延迟线的框图;

[0071] 图 4 是控制器可编程占空比校正的时序图;

[0072] 图 5 是占空比校正方法的流程图;

[0073] 图 6 是写占空比寄存器命令的时序图;

[0074] 图 7 是用于输出延迟调整的可编程延迟线的框图;

[0075] 图 8 是控制器可编程输出延迟调整的时序图;

[0076] 图 9 是执行输出延迟调整的方法的流程图;和

[0077] 图 10 是写输出延迟寄存器命令的时序图。

具体实施方式

[0078] 下面在对本发明具体实施例的详细描述中,将参照作为其中一部分的说明书附图,对本发明可以实施的特定具体实施例进行解释。这些实施例描述的足够详细,以使本领域普通技术人员能够实现本发明,应当理解,也可使用其他实施例,并且可以在不脱离本发明范围的情况下做出逻辑的、机械的、电的和其他改变。因此,下面的详细描述不应理解成限制本发明,并且本发明的保护范围由所附的权利要求确定。

[0079] 在背景技术中所引用的那些存储器系统配置采用用于系统时钟分布的共享总线

拓扑,其被称为“共享时钟系统”或者“多点时钟系统”。如果系统时钟被并行地施加到太多的存储器装置并且该时钟信号从时钟源传递太远,则时钟信号的总负载和时钟在存储器系统的物理布局中传递的距离可限制最大运行时钟频率,该时钟源通常是存储器控制器。

[0080] 背景技术中所引用的一些存储器系统配置使用在每个存储器装置中具有 DLL 或者 PLL 的点对点串联时钟架构,以同步存储器装置中的两个时钟信号,其中一个是从前一装置或控制器接收的输入时钟,另一个是递送到下个装置的输出时钟。但是,每个存储器装置具有片上 DLL 或者 PLL 可导致大量的功耗。使用片上 DLL 或者 PLL,各种芯片到芯片的时钟延迟(由各种互连负载和不同的诸如多芯片堆叠或封装的引线接合负载而导致)通过大量串联装置而积累,且对于系统运行是不可接受的。

[0081] 现在参考图 1,示出了采用控制器可编程占空比校正方案的串联存储器系统的系统框图,该串联存储器系统总地标记为 101。存储器系统 101 包括存储器控制器 10,作为连接到第一存储器装置 100-1 的主控装置。存储器装置 100-1 是包括装置 100-1 至 100-8 的一系列从装置的第一个,这些从装置连接成环形结构,最后一个装置 100-8 连接回到存储器控制器 10。在所示示例中,提供了高度多路复用的单向点对点总线架构,以从存储器控制器 10 将诸如命令、地址和数据的信息传输到存储器装置 100-1 至 100-8。该总线架构包括从存储器控制器 10 到第一存储器装置 100-1 的链接 90 以及每一对相邻存储器装置之间的各个链接,这些包括链接 90-1 至 90-7,以及最后一个存储器装置 100-8 和存储器控制器 10 之间的链接 90-8。

[0082] 在所示示例中,每个链接包括由前一装置(存储器控制器 10 或者存储器装置)输出的一组信号,用于由后面装置接收。每个链接包括前一装置的一组输出端口、后面装置的一组输入端口以及输出端口和输入端口之间的物理互连。为了方便起见,输出端口将以它们输出的信号来命名,输入端口也将以它们接收的信号来命名。在所示示例中,前一装置的信号(和输出端口)被称为 CS0(命令选通输出)、DS0(数据选通输出)、Qn(数据输出)、CK0/CK0#(差分时钟输出信号)。后面装置的相应信号(和输入端口)被称为 CSI(命令选通输入)、DSI(数据选通输入)、Dn(数据输入)、CKI/CKI#(差分时钟输入信号)。还可以有另外的端口或信号(例如,CE#(芯片启用)或者 RST#(复位)或者供电引脚),为了更好地理解和简化而没有示出。物理互连包括用于差分时钟信号的差分时钟总线 S111、S111-1 至 S111-8,用于命令选通的 S112、S112-1 至 S112-8,用于数据选通的 S113、S113-1 至 S113-8,和用于数据的 S114、S114-1 至 S114-8。

[0083] 在一些实施例中,数据输出 Qn 和数据输入 Dn 可以具有不同的数据宽度,对于 1 位链接设置, $n = 0$; 对于 2 位链接设置, $n = 0, 1$; 对于 4 位链接设置, $n = 0, 1, 2, 3$; 对于 8 位链接设置, $n = 0, 1, 2, 3, 4, 5, 6, 7$; 等等。在一些实施例中,链接的宽度可以通过链接配置寄存器来编程,以利用 1 个、2 个、4 个或 8 个装置封装的有效数据输入和输出引脚。只要这些存储器装置与具有较小或者较大最大链接宽度的装置被编程为使用相同的链接宽度,上述特征允许它们一起以环形配置运行。参见例如“Switching Method of Link and Bit Width”(WO 2008/070978),在此通过引用全部包含于此。

[0084] CKI/CKI# 是输入时钟。在 CKI 的上升沿或者 CKI# 的下降沿锁存 CSI 勾划的 Dn 端口上的命令/地址包。在 CKI 的上升沿或者 CKI# 的下降沿锁存由 DSI 勾划的 Dn 上的写数据包。

[0085] CK0/CK0# 是 CKI/CKI# 的延迟形式的输出时钟。CS0、DS0 和 Qn 信号以 CK0 的上升沿或者 CK0# 的下降沿为参考;例如由 DS0 勾划的 Qn 上的读数据包在 CK0 的上升沿或者 CK0# 的下降沿被访问。

[0086] 当命令选通输入 (CSI) 是高时,在 CKI 的上升沿或者 CKI# 的下降沿锁存通过 Dn 的命令 / 地址包。

[0087] 命令选通输出 (CS0) 是 CSI 的回波信号。它以等待时间 t_{10L} 重复 CSI 转换,在具体实施方案中,等待时间 t_{10L} 是以 CK0 的上升沿或者 CK0# 的下降沿为参考的 2 个时钟周期等待时间。2 个时钟周期的等待时间是实现细节;更一般地,其可以是适合于给定设计的任意数量的时钟周期。

[0088] 当数据选通输入 (DSI) 是高,而存储器装置是“读模式”时,其启用读数据输出路径和 Qn 缓冲器(未示出)。如果 DSI 是低,Qn 缓冲器保持先前存取的数据。当 DSI 是高而存储器装置是“写模式”时,其启用 Dn 缓冲器并在 CKI 的上升沿或者 CKI# 的下降沿接收写数据包。

[0089] 数据选通输出 (DS0) 是 DSI 的回波信号。它以 CK0 的上升沿或者 CK0# 的下降沿为参考的等待时间 t_{10L} 重复 DSI 转换。如以上所指出的, t_{10L} 在具体实施方案中是 2 个时钟周期。

[0090] 数据输入信号 Dn ($n = 0, 1, 2, 3, 4, 5, 6, \text{或} 7$) 携带命令、地址和 / 或输入数据信息。如果芯片被配置为“1 位链接模式”,D0 是唯一有效信号并且在 8 个时钟周期接收包的一个字节。如果芯片被配置为“2 位链接模式”,D0 和 D1 是有效信号并且在 4 个时钟周期接收包的一个字节。如果芯片被配置为“4 位链接模式”,D0、D1、D2 和 D3 是有效信号并且在 2 个时钟周期接收包的一个字节。如果芯片被配置为“8 位链接模式”,D0、D1、D2、D3、D4、D5、D6 和 D7 都是有效信号并且在 1 个时钟周期接收包的一个字节。

[0091] 数据输出信号 Qn ($n = 0, 1, 2, 3, 4, 5, 6, \text{或} 7$) 在读操作期间携带输出数据,或忽略在 Dn 上接收的命令、地址或输入数据。如果芯片被配置为“1 位链接模式”,Q0 是唯一有效信号并且在 8 个时钟周期递送包的一个字节。如果芯片被配置为“2 位链接模式”,Q0 和 Q1 是有效信号并且在 4 个时钟周期递送包的一个字节。如果芯片被配置为“4 位链接模式”,Q0、Q1、Q2 和 Q3 是有效信号并且在 2 个时钟周期递送包的一个字节。如果芯片被配置为“8 位链接模式”,Q0、Q1、Q2、Q3、Q4、Q5、Q6 和 Q7 都是有效信号并且在 1 个时钟周期递送包的一个字节。

[0092] 应该清楚地理解,它们所包含的用于相邻装置对和串联的存储器系统之间传输的端口和信号的数量和具体的实现有关,并不必须是图 1 中所描述的那些。更一般地,在每对相连的装置之间至少传送一个时钟信号。在相连的装置之间还可以传送另外的信号,这些的具体示例已经在上面给出。还要注意,存储器装置的特定数量,图 1 的示例中的 8 个,是和具体实现相关的细节。在串联架构中,可以将任意合适数量的装置进行互连。注意,在上下文中的表达“串联”是指存储器装置的串联布置,一个接着另一个,而不是每对相邻装置之间的链接的性质,其在性质上可以是串联或并联。

[0093] 存储器控制器 10 包括鉴相器 11、占空检测器 (duty detector) 13 和命令发生器 12。在一些实施例中,存储器控制器 10 仅包括鉴相器 11,在这种情况下仅执行输出延迟调整。在一些实施例中,存储器控制器 10 仅包括占空检测器 13,在这种情况下仅执行占空比

校正。在一些实施例中,包括鉴相器 11 和占空检测器 13,在这种情况下可以执行输出延迟调整和占空比校正。在下面的详细描述中假定是最后一种情况。鉴相器 11 和占空检测器 13 分别通过信号总线 S11 和 S12 连接到命令发生器 12。命令发生器 12 具有连接到 CS0 和 Qn 端口的输出信号总线 S 13,经由这些端口其可以输出命令。

[0094] 存储器控制器 10 从其端口 CK0/CK0# 驱动差分时钟总线, S111, 且 8 个存储器装置 100-1 至 100-8 都通过它们自己的时钟端口 CKI/CKI# 以串联流通方式从前一装置的 CK0/CK0# 端口接收差分时钟总线。存储器控制器 10 分别通过其端口 CS0、DS0 和 Qn 驱动 3 个差分总线 S112、S113 和 S114。第一存储器装置 100-1 分别通过其端口 CSI、DSI 和 Dn 接收 3 个总线 S112、S113 和 S114, 且第一存储器装置 100-1 分别通过其输出端口 CS0、DS0 和 Qn 以 2 个时钟周期的等待时间 ($= t_{IOL}$) 重新驱动 (重复) 3 个相应的总线 S112-1、S113-1 和 S114-1。第二存储器装置 100-2 分别通过其输入端口 CSI、DSI 和 Dn 接收 3 个总线 S112-1、S113-1 和 S114-1。将该方法应用到全部的 8 个存储器装置 100-1 至 100-8, 最后的总线 S112-8、S113-8 和 S114-8 分别通过存储器控制器的输入端口 CSI、DSI 和 Dn 连接回到存储器控制器 10。

[0095] 在运行中, 为了进行占空比校正, 占空检测器 13 监控 CKI/CKI# 的占空比, CKI/CKI# 是已经通过了环中所有的装置 100-1 至 100-8 后的时钟输入。如果占空检测器 13 从 CKI/CKI# 检测到占空比误差, 即与期望占空比的占空比偏离, 其通过信号总线 S 12 发出 “Duty_Add” 指示占空比短于期望的占空比且应该被延长, 或者发出 “Duty_Sub” 指示占空比长于期望的占空比且应该被缩短。作为响应, 命令发生器 12 产生合适的 “写占空比寄存器” 命令包。

[0096] 在运行中, 为了输出延迟调整, 鉴相器 11 监控 CKI/CKI# 的相位。如果鉴相器 11 检测到 CKI/CKI# 和 CK0/CK0# 之间的相位误差 (PE), 其通过信号总线 S11 发出 “PE” 信号。作为响应, 命令发生器 12 产生合适的 “写输出延迟寄存器” 命令包。

[0097] 命令发生器 12 根据在 S11 和 S12 所接收的信号发送合适的命令包, 并且通过信号总线 S13 和 CS0、Qn 端口发送命令信息。

[0098] 现在参考图 2, 示出了图 1 的存储器装置 100-1 至 100-8 的示例实施方案的框图。装置总地标记为 100, 包括存储器核 150、命令 / 地址包逻辑电路 130、数据包逻辑电路 140、和占空比校正逻辑电路 120。存储器核 150 根据设计不同可以是单体的存储单元阵列或者其可以是多体的存储单元阵列。数据包逻辑电路 140 处理并保存所有必要的数据传输信息。如下面详细描述, 命令 / 地址包逻辑电路 130 根据内部控制信号 “csi_lat” 处理所有通过内部信号 “dn_lat” 传输的命令指令和 / 或地址信息。

[0099] 时钟输入处理

[0100] 装置 100 包括时钟输入接收器 102D 用于 CKI/CKI#, 其可以是例如差分型输入缓冲器, 以处理差分时钟输入 CKI 和 CKI#。时钟输入接收器 102D 将 CKI/CKI# 信号的外部接口电平转换为内部时钟信号 “cki_i” 的内部逻辑电平。内部时钟信号 cki_i 可以用于其它内部逻辑电路块以用于不同操作。如将在下面详细描述的, 占空比校正逻辑电路 120 获得内部时钟信号 cki_i, 并产生经占空比校正的时钟信号 clk_dcc。经占空比校正的时钟信号 “clk_dcc” 被控制器可编程延迟线 PDL2 105D 延迟, 并且其延迟信号 “clk_dcc_d” 最后被驱动到输出驱动器块 108D 的输入端口, 输出驱动器块 108D 输出外部时钟输出信号 CK0/CK0#。

[0101] 命令选通输入处理

[0102] 装置 100 包括命令选通接收器 102A, 其根据 CSI 输入信号产生被缓冲的信号“csi_i”。被缓冲的信号 csi_i 被连接到 D 型触发器 103A 的 D 端口。触发器 103A 由时钟信号“cki_i”驱动, 并且在“cki_i”的每个上升沿锁存“csi_i”信号的状态。将被锁存的信号“csi_lat”提供给命令 / 地址包逻辑电路 130, 并且还提供给另一个触发器 103E 的 D 端口, 其时钟输入端口由经占空比校正的时钟信号 clk_dcc 驱动。触发器 103E 的输出信号“cso_i”被控制器可编程延迟线 PDL2 105A 延迟, 并且其延迟信号“cso_d”最后被驱动到输出驱动器块 108A 的输入端口, 输出驱动器块 108A 随后输出外部信号 CS0。对应 CSI 至 CS0 的旁路, 两级触发器逻辑电路 103A 和 103E 提供两个时钟周期的输入到输出等待时间 ($= t_{IOL}$)。

[0103] 数据选通输入处理

[0104] 装置 100 包括数据选通输入接收器 102C, 其根据 DSI 输入信号产生被缓冲的信号“dsi_i”。被缓冲的信号“dsi_i”被连接到 D 型触发器 103C 的 D 端口。触发器 103C 由时钟信号“cki_i”驱动, 并且在“cki_i”的每个上升沿锁存“dsi_i”信号的状态。将被锁存的信号“dsi_lat”提供给命令 / 地址包逻辑电路 130 和数据包逻辑电路 140, 并且提供给另一个触发器 103G 的 D 端口, 其时钟输入端口由经占空比校正的时钟信号 clk_dcc 驱动。触发器 103G 的输出信号“dso_i”被控制器可编程延迟线 PDL2 105C 延迟, 并且其延迟信号“dso_d”最后被驱动到输出驱动器块 108C 的输入端口, 输出驱动器块 108C 输出外部信号 DS0。对应 DSI 至 DS0 的旁路, 两级触发器逻辑电路 103C 和 103G 提供相同的两个时钟周期的输入到输出等待时间 ($= t_{IOL}$)。

[0105] 数据处理

[0106] 装置 100 包括数据接收器 102B, 用于接收外部信号 Dn。注意, 接收器 102B 的数量根据 Dn 端口的位宽度可以是一个或多个。例如, 如果 Dn 端口被设计为 D0、D1-D7, 用于 8 位宽的数据输入 / 输出实现方案, 则接收器 102B 将被重复 8 次。接收器 102B 的输出“dn_i”被提供给 D 型触发器 103B 的 D 端口。触发器 103B 由时钟信号“cki_i”驱动, 并且在“cki_i”的每个上升沿锁存“dn_i”信号的状态。被锁存的信号“dn_lat”被提供给命令 / 地址包逻辑电路 130, 并且还被提供给数据包逻辑电路 140。被锁存的信号“dn_lat”还被提供给多路复用器 104 的一个输入端口。多路复用器 104 的另一个端口由来自数据包逻辑电路 140 的信号“core_data”驱动。多路复用器 104 的输出被连接到触发器 103F 的 D 输入端, 触发器 103F 的时钟输入端由经占空比校正的时钟信号 clk_dcc 驱动, 并且触发器 103F 在“clk_dcc”的每个上升沿锁存多路复用器 104 的输出的状态。被锁存的信号“q_i”被另一个控制器可编程延迟线 PDL2 105B 延迟, 并且其延迟信号“q_d”最后被驱动到输出驱动器块 108B 的输入端口, 输出驱动器块 108B 输出外部信号 Qn。对于 Dn 至 Qn 的旁路, 两级触发器逻辑电路 103B 和 103F 提供相同的两个时钟周期的输入到输出等待时间 ($= t_{IOL}$)。

[0107] 内部信号 dn_i 包括命令内容 (如由命令选通输入所勾划的) 和数据输入 (如由数据选通输入所勾划的) (在有的情况下)。每个装置具有装置地址, 在一些实施例, 装置地址保存在装置地址寄存器 131 中。每个命令包括装置地址部分, 其包含命令所寻址的一个存储器装置的装置地址。还可以存在广播地址, 这要求被所有装置处理的命令。存储器装置 100 通过检查装置地址部分来处理每个命令。如果所接收的命令 / 地址包中的装置地址

信息与存储器装置 100 自己所保存的装置地址相匹配,则该命令 / 地址包逻辑电路 130 处理该命令,并且还发送“id_match”信号以标记该命令是用于该存储器装置的。该 id_match 信号被用于操纵多路复用器 104 的数据流路径。作为装置地址匹配过程的结果,如果“id_match”是高逻辑状态(更一般地,处于所定义的“匹配状态”),多路复用器 104 选择输出“core_data”,使得来自存储器核 150 的数据能够被传输到触发器 103F。另一方面,作为装置地址匹配过程的结果,如果“id_match”是低逻辑状态(更一般地,处于所定义的“不匹配状态”),多路复用器 104 选择输出“dn_lat”,使得从数据输入 Dn 所接收的数据能够被传输到触发器 103F 以在输出 Qn 被重发。

[0108] 这样多路复用器 104 允许在下列选项之间选择:a) 通过选择多路复用器 104 的 dn_lat 输入来旁路从数据输入 Dn 接收的数据,和 b) 通过选择多路复用器 104 的核数据输入来输出 core_data。通常将信号“core_data”从存储器核 150 传输到数据包逻辑电路 140,例如作为来自存储器控制器 10 的请求而作为的“页面读出”操作一部分。随后,在完成“页面读出”操作后,存储器控制器 10 可以用寻址到存储器装置的命令来向该存储器装置请求“猝发串读出”操作。在这种情况下,存储器装置处理“猝发串读出”命令和包括装置地址部分的相应的地址信息。如果所接收的命令 / 地址包中的装置地址信息与存储器装置 100 自己所保存的装置地址相匹配,则该命令 / 地址包逻辑电路 130 发送“id_match”信号,以操纵多路复用器 104 的数据流路径。作为装置地址匹配过程的结果,如果“id_match”是高逻辑状态,多路复用器 104 选择输出“core_data”,使得先前从存储器核 150 传输到数据包逻辑电路 140 的数据能够被传输到触发器 103F。

[0109] 注意,在命令被寻址到存储器装置,但该命令不是猝发串读出命令的情况下,在一些实施例中,虽然,不存在要输出的数据,但仍选择多路复用器 104 的 core_data 输入。在这样的情况下,该 core_data 信号可以是静态信号。这导致数据输入 Dn 不被重发到下一装置。这可以通过消除随后装置处理与不寻址到该装置的命令相关的数据的需要来减小该装置中的功耗。这在 2008 年 1 月 23 日提交的序列号为 no. 12/018,272 的美国申请“Semiconductor Device and Method for Reducing Power Consumption in a System Having Interconnected Devices”中详细描述。

[0110] 因此,在一些实施例中,数据输入信号 Dn 的延迟形式作为数据输出信号(Qn)的一个分量而产生。一些时候,数据输出信号是数据输入信号的延迟形式。对于所描述的实施方案,这将是当数据输入信号中存在内容的情况,其不用于特定存储器装置,其它方案也是可能的。而且,根据命令将延迟应用到存储器装置本地产生的信号之后,一些时候,数据输出信号包括存储器装置本地产生的信号的延迟形式。对于所描述的实施方案,存储器装置本地产生的信号被称为 core_data,其从数据包逻辑电路 140 输出,但其它方案是可能的。

[0111] 命令 / 地址包逻辑电路 130 具有 DCR(占空比校正寄存器)132 和 ODR(输出延迟寄存器)134,DCR 132 产生到占空比校正电路 120 的输出 DCR<0:3>,以控制占空比校正的数量,该占空比校正的执行如下面所详细描述的,ODR 134 产生到包延迟线 105A、105B、105C 和 105D 的输出 ODR<0:1>,以控制输出延迟的数量,该输出延迟的应用如下面所详细描述。有效命令之一是“写占空比校正寄存器”命令,用于将数值写入 DCR 132。类似地,有效命令之一是“写输出延迟寄存器”命令,用于将数值写入 ODR 134。

[0112] 写占空比校正寄存器命令

[0113] “写占空比校正寄存器”命令的使用采取了此处所描述的实施方案,其中通过将数值写入占空比校正寄存器来控制执行占空比校正中被应用的延迟的数量。更一般地,可以采用具有使装置设置如何执行占空比校正效果的任意命令,此处将其称为占空比校正命令。因此,所描述的“写占空比校正寄存器”命令可以认为是占空比校正命令的具体示例。

[0114] 写输出延迟寄存器命令

[0115] “写输出延迟寄存器”命令的使用采用了所描述的实施方案,其中通过将数值写入输出延迟寄存器来控制被应用的延迟的数量。更一般地,可以采用具有使装置设置所应用延迟的数量效果的任意命令,此处称为输出延迟调整命令。因此,所描述的“写输出延迟寄存器”命令可以认为是输出延迟调整命令的具体示例。

[0116] 占空比校正

[0117] 在所示示例中,占空比校正电路 120 包括时钟分频器 123 和控制器可编程延迟线 121,控制器可编程延迟线 121 包括“4 至 16 解码器”块和“可编程延迟线 (PDL1)”。时钟分频器 123 和控制器可编程延迟线 121 各自的输出 `clk_ref` 和 `clk_del` 被输入到异或 (XOR) 门 122,异或门 122 的输出是经占空比校正的时钟 `clk_dcc`。

[0118] 时钟分频器 123 得到输出信号 `clk_ref`,其频率为输入信号“`cki_i`”的一半。时钟分频器电路在本领域内是公知的。在所示出的特定示例中,时钟分频器 123 包括 D 型触发器 103D,其由内部时钟信号 `cki_i` 通过其时钟输入端口驱动。D 型触发器 103D 的输出端口 Q 通过反相器逻辑电路 124 连接到输入端口 D,以获得一半频率的输出信号。

[0119] 控制器可编程延迟线 121 产生输出信号 `clk_del`,其是 `clk_ref` 的延迟形式。由“4 至 16 解码器”逻辑电路块的选择信号确定延迟量,“4 至 16 解码器”逻辑电路块的选择信号由从命令 / 地址包逻辑电路 130 接收的 `DCR<0:3>` 信号信息控制。XOR 逻辑门 122 接收 2 个半时钟信号 `clk_ref` 和 `clk_del`,并且输出经占空比调整的全时钟信号 `clk_dcc`。

[0120] 图 3 是用于占空比校正的可编程延迟线 121 的示例实施方案的框图,占空比校正例如可以用于图 2 的占空比校正电路 120。半频率时钟信号 `clk_ref` 被驱动到 16 个单位延迟块 `UNIT_0` 至 `UNIT_15` 的每一个各自的输入。每个单位延迟块具有同样的结构,将通过示例的方式来描述单位延迟块 `UNIT_15`。单位延迟块包括 2 个 NAND(与非)逻辑门 1211 和 1212 以及一个反相逻辑门 1213。第一 NAND 逻辑门 1211 在其第一输入接收 `clk_ref` 输入,在其第二输入接收来自 4 至 16 解码器 1210 的输出。第一 NAND 逻辑门 1211 的输出被输入到第二逻辑 NAND 门 1212 的第一输入。对于单位延迟块 `UNIT_15`,第二逻辑 NAND 门 1212 的第二输入被连接到 `Vdd`。对于除了最右边的单位延迟块 `UNIT_0` 外的所有单位延迟块,第二 NAND 门 1212 的输出通过反相器 1213 连接到下一个单位延迟块的第二 NAND 门 1212 的第二输入。最右边的单位延迟块 `UNIT_0` 的第二 NAND 门的输出通过反相器连接并产生总的输出时钟 `clk_del` 信号。4 至 16 解码器块 1210 具有 4 位宽的输入总线 `DCR<0:3>`,作为其输入。解码器块 1210 解码输入并输出 16 位宽总线 `SEL<15:0>`,其中总线的每条线被连接到 16 个单位延迟块的每一个。所示的单位延迟逻辑电路是已经用于产生寄存器控制延迟锁定环的公知的电路技术。也可以替代地采用其他单位延迟逻辑电路。16 个单位延迟块的使用是与具体实现相关的细节。例如,更一般地,可以采用 N 至 M 解码器来将 N 个输入线上接收的信号解码为 M 个控制信号,用于 M 个单位延迟块,其中 $N \geq 1$ 且 $M \geq 2$ 。

[0121] 在运行中,“4 至 16 解码器”逻辑电路 1210 产生 16 个 `SEL<15:0>` 输出,使得 16 个

选择信号中仅 1 个是高逻辑状态,其他 15 个选择信号都是低逻辑状态。因此,仅选择了 1 个单位延迟块来将 `clk_ref` 信号传输通过该所选择的单位延迟块右边的单位延迟块。控制输入 `DCR<0:3>` 用于选择哪个单位延迟块处理 `clk_ref` 输入。通过选择最右边的单位延迟块 `UNIT_0` 来选择最小延迟,在该情况下, `clk_del` 是由一个单位延迟块延迟的 `clk_ref` 信号,而通过选择最左边的单位延迟块 `UNIT_15` 来选择最大延迟,在该情况下, `clk_del` 是由全部的 16 个单位延迟块延迟的 `clk_ref` 信号。

[0122] 对于多数处理技术,所示出的单位延迟块的单位延迟量大约是 100ps ~ 150ps。但是,在一些实施例中,采用较细的单位延迟电路块,以实现具有较细延迟调节能力的更高的运行频率。单位延迟时间在图 3 中被标识为“`tUD`”,且整个可编程延迟线的总延迟时间被标识为“`tPDL1`”,其是“`tUD`”的 16 倍。

[0123] 在一些实施例中,由于 `SEL<7>` 位在延迟线的中间位置,加电初始化的缺省设置是在 `SEL<7>` 位具有逻辑高状态。但是,在其他设计变化中,缺省设置可以不同,为了为以最高频率运行做准备,推荐具有最小延迟设置。

[0124] 图 4 是控制器可编程占空比校正过程的时序图的示例,其中所有的信号如图 3 中所示,除了 `CKI`,其是将进行占空比校正的原始输入时钟信号。仅为了示例方便,该时序图在顶部示出了一个非常失真的时钟输入信号 `CKI`。半时钟信号 `clk_ref` 来自图 2 的“时钟分频器”块 123,并且其上升沿和下降沿与 `CKI` 的两个上升沿对齐。假设对于此示例,例如在示为被初始化设置为“0111b”的 `DCR<0:3>` 数值没有任何变化时,时钟信号 `clk_dcc` 的失真的占空比如为 45%开,55%关。在 `DCR<0:3>` 数值变化为“1000b”后,作为选择控制器可编程延迟线 121 从 `SEL(7)` 被启用变化到 `SEL(8)` 被启用的结果,该时钟信号 `clk_dcc` 的占空比被校正为 50%开和 50%关。

[0125] 占空比校正的控制

[0126] 回想一下, `DCR 132` 的内容被用于控制由占空比校正电路 120 中的控制器可编程延迟线 121 引起的延迟量,由此控制占空比校正。如上所述, `DCR 132` 的内容可以用“写占空比寄存器”命令来写入。

[0127] 图 5 是从控制器视角所得的占空比校正过程的流程图。该方法开始于块 5-1,打开装置的电源。此时,初始化所有的延迟线并为所有装置分配装置地址。在块 5-2,存储器控制器 10 使用占空检测器 13 监控 `CKI/CKI#` 的占空比。如果存在占空比误差,块 5-3 选择“是”路径,则在块 5-4 占空检测器 13 发出“`Duty_Add`”或者“`Duty_Sub`”信号 `S12`。此后,命令发生器 12 发送具有数值“`DCR+1`”或者“`DCR-1`”的“写占空比寄存器”命令。如果仍然存在占空比误差,块 5-6 选择“是”路径,则该方法返回到步骤 5-4,以进一步调整占空比寄存器。如果不再存在占空比误差,块 5-6 选择“否”路径,则这时在 5-7 完成占空比校正。类似地,如果在块 5-3 没有检测到占空比误差,则也在 5-7 完成了该方法。

[0128] 下面的表 1 是用于写占空比寄存器 (`DCR`) 的示例命令包定义。第一字节是“装置地址 (= `DA`)”部分,第二字节是命令代码 (= `CMD` = `FAh`),第三字节包括寄存器数值 (= `DCR<0:3>`)。在一些实施例中,提供了广播地址,例如 `FFh`。如果 `DA` 被设置为广播地址,意味着该命令是广播命令,因此期望每个存储器装置执行该命令。否则,仅匹配该 `DA` 的特定存储器装置执行该命令。在一些实施例中,为了使控制器 10 更具灵活性,还实现了“读占空比寄存器”命令。

[0129] 表 1. 用于占空比寄存器 (DCR) 的示例命令包定义

[0130]

命令	第一字节	第二字节	第三字节
写占空比寄存器 (DCR)	DA	FAh	DCR<0:3>

[0131] * 注意：

[0132] 1) 如果 DA (装置地址) 是 FFh (= 255d), 其是广播命令, 所以每个装置都将响应该命令 2) DA = 装置地址

[0133] 表 2 是占空比寄存器 (= DCR) 的示例位定义。示出了纯示例定义, 因此如果系统配置需要单位延迟调整更细的粒度, 为了适应可编程延迟线的更好可管理性, 该表可以容易地扩展。例如, 如果 Bit<7:0> 从控制器输入为 “0000 1000b = 08h”, DCR<3:0> 将仅接受 Bit<3:0> (= “ 1000b ”) 用于有效寄存器数值并且上 4 位 Bit<7:4> 将被忽略。但是, 在其他设计变化中, 可以实现较细单位延迟电路用于较高频率操作, 且可以使用另外的位配置。

[0134] 表 2 占空比寄存器和输出延迟寄存器的示例位定义

[0135]

描述	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
占空比寄存器位	为未来使用保留 (低)				DCR<3>	DCR<2>	DCR<1>	DCR<0>

[0136] 图 6 是基于 SDR (单数据速率) 操作的 “写占空比寄存器” 命令包序列的时序图的示例。在该时序图中, 在 T1 时刻, CKI 的上升沿或 CKI# 的下降沿锁存 CSI 的高状态且同时锁存 Dn 端口上的 DA (= 装置地址 = 00h) 信息。如果 DA 设置为 FFh (= 十进制的 255), 这意味着 “写占空比寄存器” 命令是广播命令, 所以期望每个存储器装置执行该命令。在一些实施例中, 该广播命令被用于占空比校正操作。但是, 所公开的该电路还允许在单独装置中占空比校正操作进行更灵活的调整。在下个上升沿时刻 T2, 存储器装置锁存 CMD (= 命令 = FAh) 信息, 在第三个上升沿 T3, DCR (= 占空比寄存器数值 = 08h) 信息。CS0 输出和 Qn 输出端口以两个时钟等待时间 tIOL (= 输入至输出等待时间) 分别重复 CSI 输入和 Dn 输入信号。存在另一个等待时间定义, 其是 tWDCR (= 写占空比寄存器等待时间), 其用于在存储器芯片中处理写占空比寄存器包的时间并且用于在占空比校正电路 120 中控制器可编程延迟线 121 中处理占空比调整的时间。在一些实施例中, 如图 6 所示, tWDCR 数值被设置为 4 个时钟周期。tWDCR 时间后 (例如, 在 T8), 存储器控制器 10 可以将任意其他命令包发送到存储器装置。

[0137] 所述实施例假设串联架构中的所有装置实现占空比校正。更一般地, 至少一个装置实现占空比校正。

[0138] 输出延迟调整

[0139] 再次参考图 1, 提供所述可编程延迟线 105A、105B、105C 和 105D 来使可编程地延迟输出信号 CS0、Qn、DS0 和 CK0/CK0# 以允许相位校正。图 1 还示出输出延迟寄存器信号总线

ODR<0:1>,其连接 2 至 4 解码器逻辑块 106。2 至 4 解码器逻辑块 106 输出 4 个选择信号总线 SEL2<0:3>。这些 SEL2<0:3> 选择信号全部连接到 4 个控制器可编程延迟线 105A、105B、105C 和 105D。

[0140] 图 7 示出用于输出延迟调整的示例电路块实施方案。在所示示例中,可编程延迟线 105A、105B、105C 和 105D 包括 4 个单位延迟元件,其与图 3 中所使用的相同。这意味着对输出延迟调整的范围仅为占空比的调整的延迟范围的 4/16。但是,这仅是具体实施方案,可以替代地采用其他数量的延迟元件。每个可编程延迟线 105A、105B、105C 和 105D 接收各自的信号 cso_i 、 q_i 、 dso_i 和 clk_dcc 作为延迟线的输入,并且产生各自的延迟的输出 cso_d 、 q_d 、 dso_d 和 clk_dcc_d 。如果存储器系统具有多位输出配置,例如 8 位宽 I/O 配置, q_i 和 q_d 信号将相应地增加,例如数量为 8,且用于 q_i 和 q_d 的延迟线路块的数量也相应地增加,例如数量为 8。

[0141] 在运行中,“2 至 4 解码器”逻辑 106 产生 SEL2<0:3> 输出,使得 4 个选择信号中仅 1 个是高逻辑状态,其他的 3 个选择信号都是逻辑低状态。仅所选择的单位延迟块将各自的输入信号通过剩余的单位延迟块传输到所选择的单位延迟块的右边。控制输入 ODR<0:1> 用于选择哪个单位延迟块将处理各自的输入。通过选择最右边的单位延迟块 UNIT_0 来选择最小延迟,在这种情况下,每个输出信号是由 1 个单位延迟块延迟的其各自的输入信号,反之,通过选择最左边的单位延迟块 UNIT_3 来选择最大延迟,在这种情况下,每个输出信号是由 4 个延迟单位块延迟的其各自的输入信号。

[0142] 在此示例电路设计中实现了具有 4 个单位延迟块的“2 至 4 解码器”逻辑 106。但是,更一般地,可以使用所需的任意数量的延迟单位和相应的解码逻辑。在加电初始化期间可以使用缺省的延迟设置。在此示例中,缺省选择可以例如被设置为 SEL2<0>,且存储器装置在电源打开或者在一些其它设计变化中硬重置后对于每个输出路径将具有最小数量的延迟。使用 4 个单位延迟块是具体实现方案。例如,更一般地,可以采用 N 至 M 解码器来将在 N 个输入线路上接收的信号解码为 M 个控制信号,用于 M 个单位延迟块,其中 $N \geq 1$ 且 $M \geq 2$ 。

[0143] 图 8 是用于控制器可编程输出延迟调整的示例时序图。所示为输出延迟寄存器的内容改变前和后的经占空比校正的时钟 clk_dcc ,和该信号的延迟形式 clk_dcc_d 。可以看出,在输出延迟寄存器从“00b = 0d”改变到“01b = 1d”之后,延迟的时钟被延迟了数量 $2x \ tUD$,然而在调整之前,其已经延迟了 $1x \ tUD$ 。还示出了输出之前延迟调整之后的命令选通输出 cso_i ,以及该延迟调整的输出 cso_d 。再次,在输出延迟寄存器改变之前,延迟的命令选通被推后了 $1x \ tUD$ 。在输出延迟寄存器改变之后,延迟的命令选通被推后了数量 $2x \ tUD$ 。

[0144] 输出延迟调整的控制

[0145] 回忆 ODR 134 的内容被用于控制由延迟线 105A、105B、105C 和 105D 引起的延迟量,由此控制输出延迟调整量。如上所述,ODR 134 的内容可以用“写输出延迟寄存器”命令写入。

[0146] 当存储器控制器 10 中的鉴相器 11 检测到其 CKI/CKI# 和 CKO/CKO# 信号之间存在不可接受的相位差时,控制器 10 将发送一个有增一单位延迟量的“写输出延迟寄存器”命令包以允许图 1 的第一存储器装置 100-1。在第一存储器装置的足够时钟周期之后,例如下面参照图 10 所描述的 $tWODR$ (写输出延迟寄存器等待时间) 和总 $tIOL$ 等待时间,如果相位

差仍然不可接受,控制器 10 能够将另一个的“写输出延迟寄存器”命令包发送到第二存储器装置,例如发送给图 1 的第二存储器装置 100-2。这个操作序列可以一直持续,直到存储器 10 得到了可接受的相位差。在指示最后一个存储器装置调整其输出延迟之后,存储器控制器 10 用命令包内的增一单位延迟值指向第一存储器装置,并且对于其余的存储器装置继续进行该操作,直到该相位差达到可接受的范围。

[0147] 上面的过程在图 9 的流程图中示出。该方法开始于块 9-1,电源打开。在该点,初始化所有的延迟线和装置地址。在块 9-2,存储器控制器 10 使用鉴相器 11 监控 CKI/CKI# 和 CK0/CK0# 之间的相位误差。如果存在相位误差,9-3 之后选择“是”路径,则在块 9-4 鉴相器 11 发出“PE”信号 S11。此后,监控相位误差的同时,命令发生器 12 将具有数值“ODR+1”的“写输出延迟寄存器”命令一次一个地发送到从第一个到最后的每个存储器装置。在块 9-6,如果仍然存在相位误差,选择“是”路径,则该方法返回到块 9-4。如果不再存在相位误差,块 9-6 之后选择“否”路径,则在 9-7 完成了相位校正。类似地,如果在块 9-3 没有检测到相位误差,则该方法结束,在块 9-7 完成了相位校正。

[0148] 表 3 是用于写输出延迟寄存器命令的示例命令包定义。第一字节是“装置地址(=DA)”部分,第二字节包括命令代码(=CMD=FBh),第三字节包括寄存器数值(ODR<0:1>)。在一些实施例中,提供了广播地址,例如 FFh。如果 DA 被设置为广播地址,意味着该命令是广播命令,因此期望每个存储器装置执行该命令。否则,仅匹配该 DA 的特定存储器装置执行该命令。在一些实施例中,为了使控制器 10 更具灵活性,还实现了“读输出延迟寄存器”。例如,这可以由控制器使用以读取来自所有存储器装置的数值并且如果需要则随后在装置之间重新合适地配置设置。

[0149] 表 3 用于控制器可编程延迟线路寄存器的示例命令包定义

[0150]

命令	第一字节	第二字节	第三字节
写输出延迟寄存器 (ODR)	DA	FBh	ODR<0:1>

[0151] * 注意:

[0152] 1) 如果 DA(装置地址)是 FFh(=255d),其是广播命令,所以每个装置都将响应该命令 2)DA=装置地址

[0153] 表 4 是输出延迟寄存器(=ODR)的示例位定义。示出了纯示例定义,因此如果系统配置需要单位延迟调整更细的粒度,为了适应可编程延迟线的更好可管理性,该表可以容易地扩展。

[0154] 表 4 占空比寄存器和输出延迟寄存器的示例位定义

[0155]

描述	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
----	-----	-----	-----	-----	-----	-----	-----	-----

[0156]

输出延迟寄存器 位	为未来使用保留(低)						ODR<1>	ODR<0>
--------------	------------	--	--	--	--	--	--------	--------

[0157] 图 10 是基于 SDR(单数据速率)操作的“写输出延迟寄存器”命令包序列的时序图的示例。在该时序图中,在 T1 时刻,CKI 的上升沿或 CKI# 的下降沿锁存 CSI 的高状态且同时锁存 Dn 端口上的 DA(=装置地址=00h)信息。在下个上升沿时刻 T2,存储器装置锁存 CMD(=命令=FBh)信息,在第三个上升沿,ODR(=输出延迟寄存器数值=01h)信息。CS0 输出和 Qn 输出端口以两个时钟等待时间 tIOL(=输入至输出等待时间)分别重复 CSI 输入和 Dn 输入信号。存在另一个等待时间定义,其是 tWODR(=写输出延迟寄存器等待时间),其用于写输出延迟寄存器包在存储器芯片的处理时间并且用于控制器可编程延迟线 2(=PDL2 105 A-D)中输出延迟调整的处理时间。在一些实施例中,如图 10 所示,tWODR 数值被设置为 4 个时钟周期。tWODR 时间后(例如,在 T8),存储器控制器 10 可以将任意其他命令包发送到存储器装置。

[0158] 更一般地,本申请的实施例提供了执行输出延迟调整实施例的方法和电路,在该实施例中,产生了至少一个输入信号的延迟形式,该至少一个输入信号至少包括时钟信号。可以存在在装置间传送的另外的输入信号,不将其进行输出延迟调整。对于一些信号,产生输入信号的延迟形式用于输出包括有条件地产生输入信号的延迟形式进行输出。也就是说,一些信号可以在相邻装置之间有条件地传送。下面详细描述了具体示例,其中存储器装置的输入数据信号在一些时候被传送到下一个存储器装置。

[0159] 上述实施例假设使用了包括相同单位延迟块的可编程延迟线。在一些实施例中,可编程延迟线被分为 2 个或更多个部分,例如“粗调”和“细调”延迟线,以允许对于占空比校正的延迟调整和/或输出延迟调整的进一步可编程性。

[0160] 在所述详细示例中,在每个信号的输入附近存在第一触发器,在其输出附近存在第二触发器。这产生了两个时钟周期的等待时间。当然,可以理解,通过在输入和输出之间包括不同功能性可以导致其他时钟等待时间。

[0161] 在所述实施例中,输出延迟线位于最后的触发器之后,最后的触发器位于每个信号的输出附近。在一些实施例中,输出延迟线位于最后的触发器之前。

[0162] 在一些实施例中,假设以串联方式连接的装置大致相同。在一些实施例中,这些是大致相同的存储器装置。在其他实施例中,可以使用不同类型的存储器装置,只要它们具有兼容的串行接口。

[0163] 详细的实施例已经假设采用不同的时钟信号。更一般地,可以使用单端的或者差分时钟信号。类似地,任意其他输入/输出信号可以是单端信号或差分信号。

[0164] 在一些实施例中,提供了单个 MCP(多芯片封装),其包括多个存储器装置和控制器,可如所述来操作。

[0165] 此处所述的方法和设备假设特征为在环中连接有控制器和一组存储器装置的串联架构。在这样的实施例中,存储器装置是从装置,存储器控制器是主装置。更一般地,此处所述的方法和设备能够被应用到具有任意种类的半导体电路装置的任意种类的半导体集成电路系统,该半导体电路装置被配置为串联结构中的从装置,该串联结构在相邻装置之间具有共同接口,且该串联结构中有装置被配置用作控制由该从装置执行的占空比校正和/或相位校正的主装置。集成电路类型的示例包括中央处理器单元、图形处理单元、显示控制器 IC、磁盘驱动 IC、诸如 NAND 闪存 EEPROM, NOR 闪存 EEPROM, AND 闪存 EEPROM、DiNOR 闪存 EEPROM、串行闪存 EEPROM、DRAM、SRAM、ROM、EPROM、FRAM、MRAM 和 PCRAM 的存储器装置。

[0166] 此处描述的一些实施例假设是单数据速率运行。本领域普通技术人员通过阅读此公开文本可以理解,更一般地,上述实施例通过适当的修改可以应用到具有其他数据速率的系统,例如双速率运行。

[0167] 在上述教导下,本发明的多种修改和变化是可能的。因此,应该理解在所附权利要求的范围内,本发明可以以此处所描述的具体方案外的方式来实现。

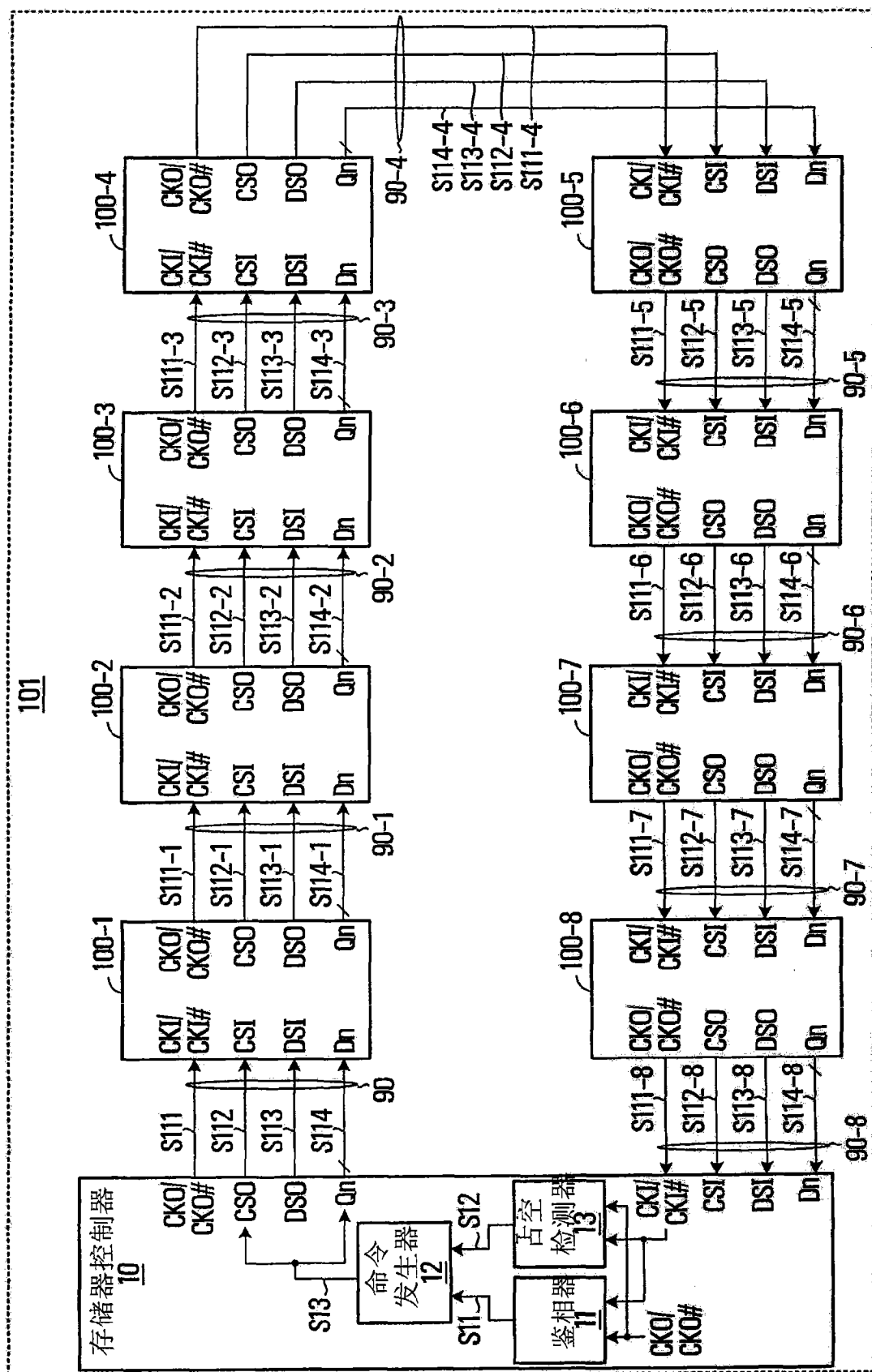


图 1

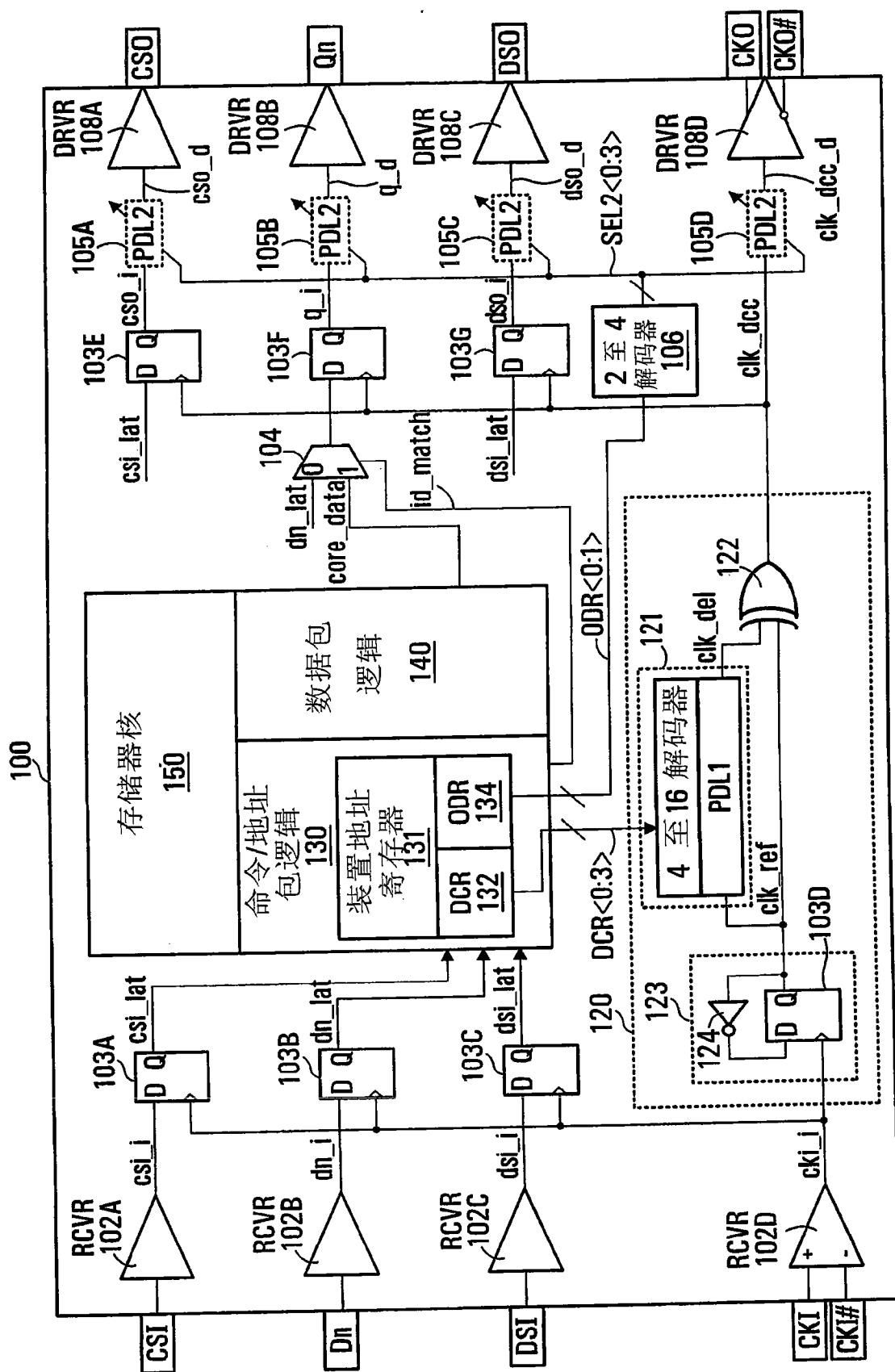


图 2

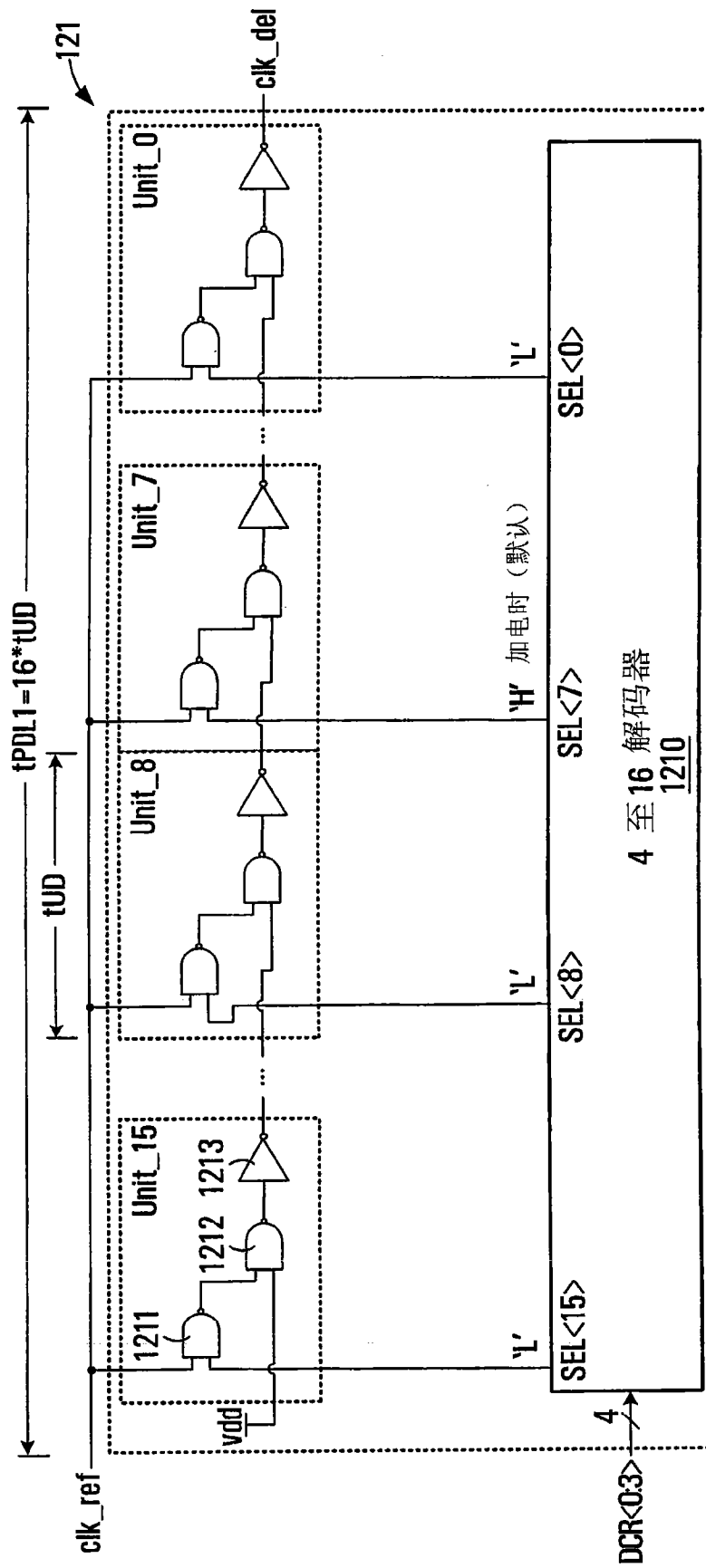


图 3

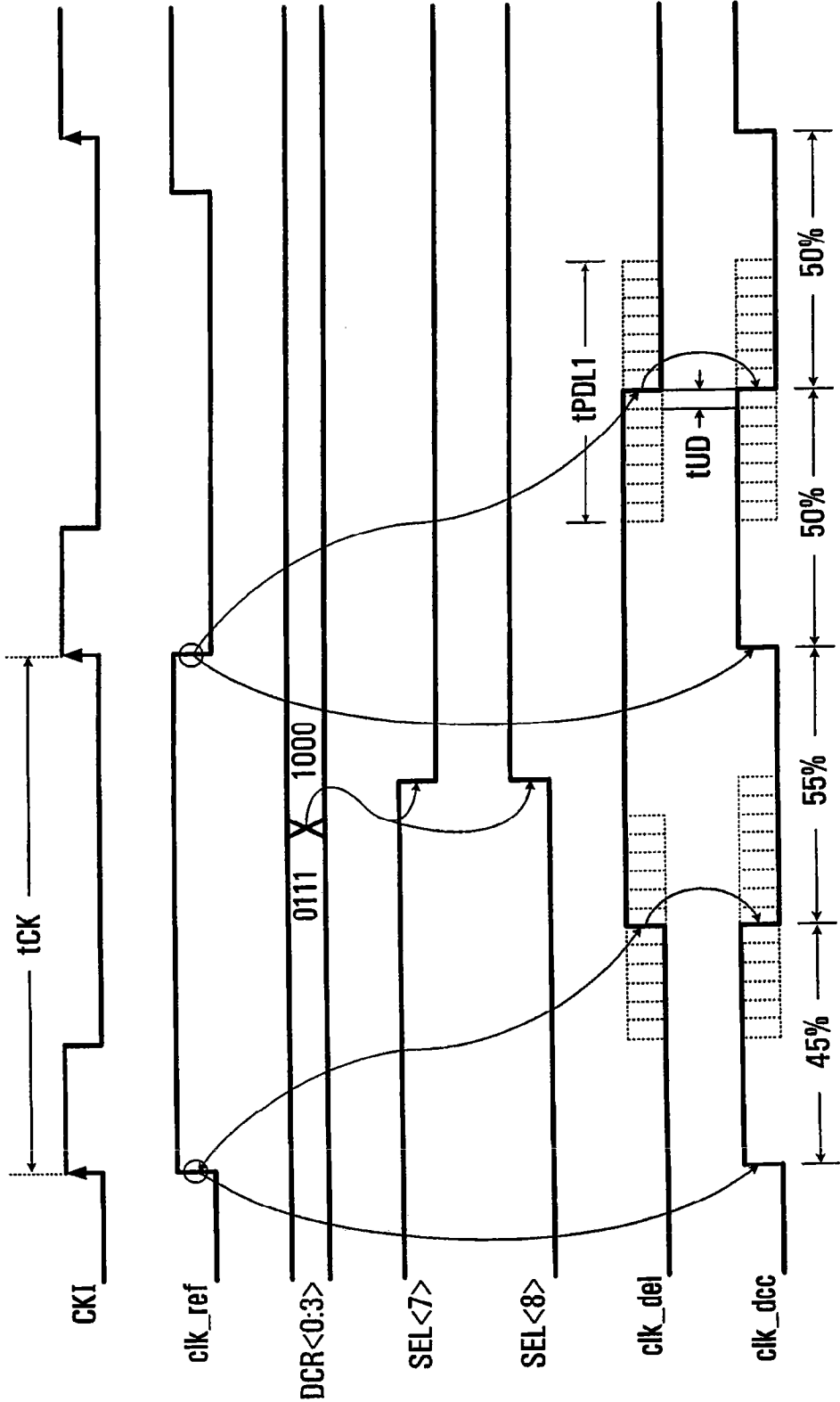


图 4

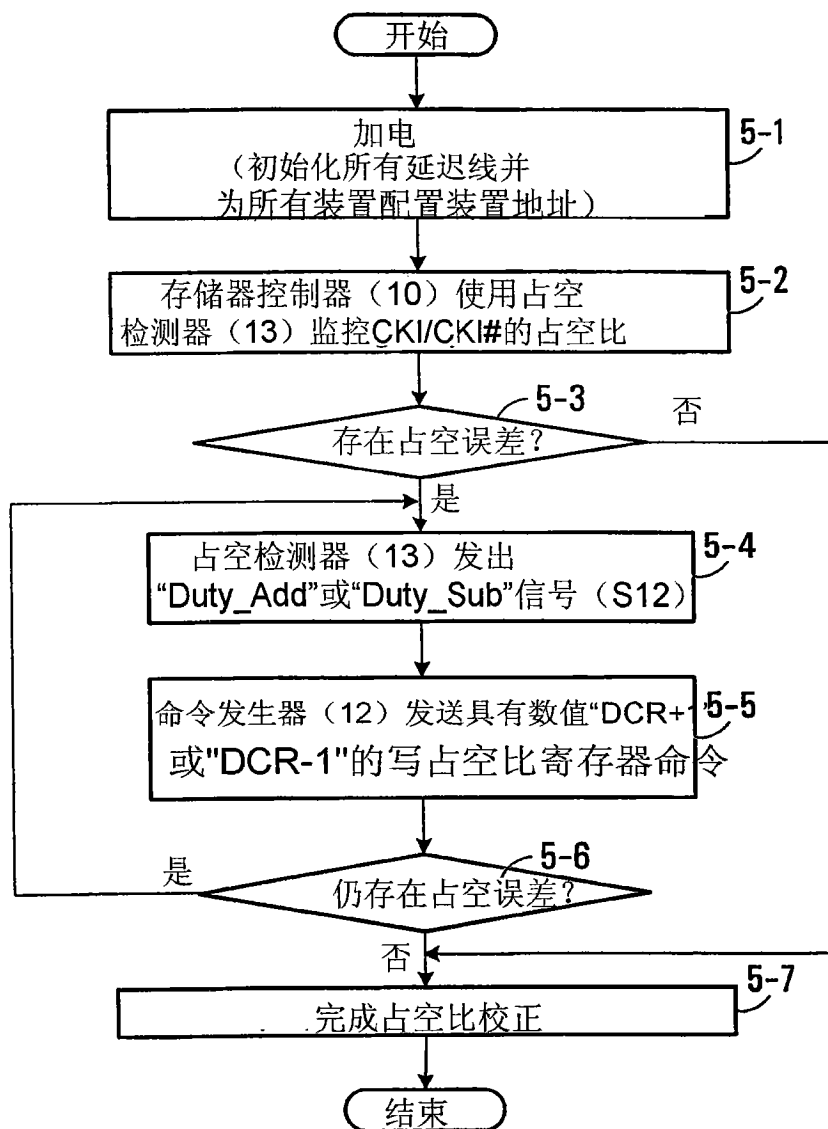


图 5

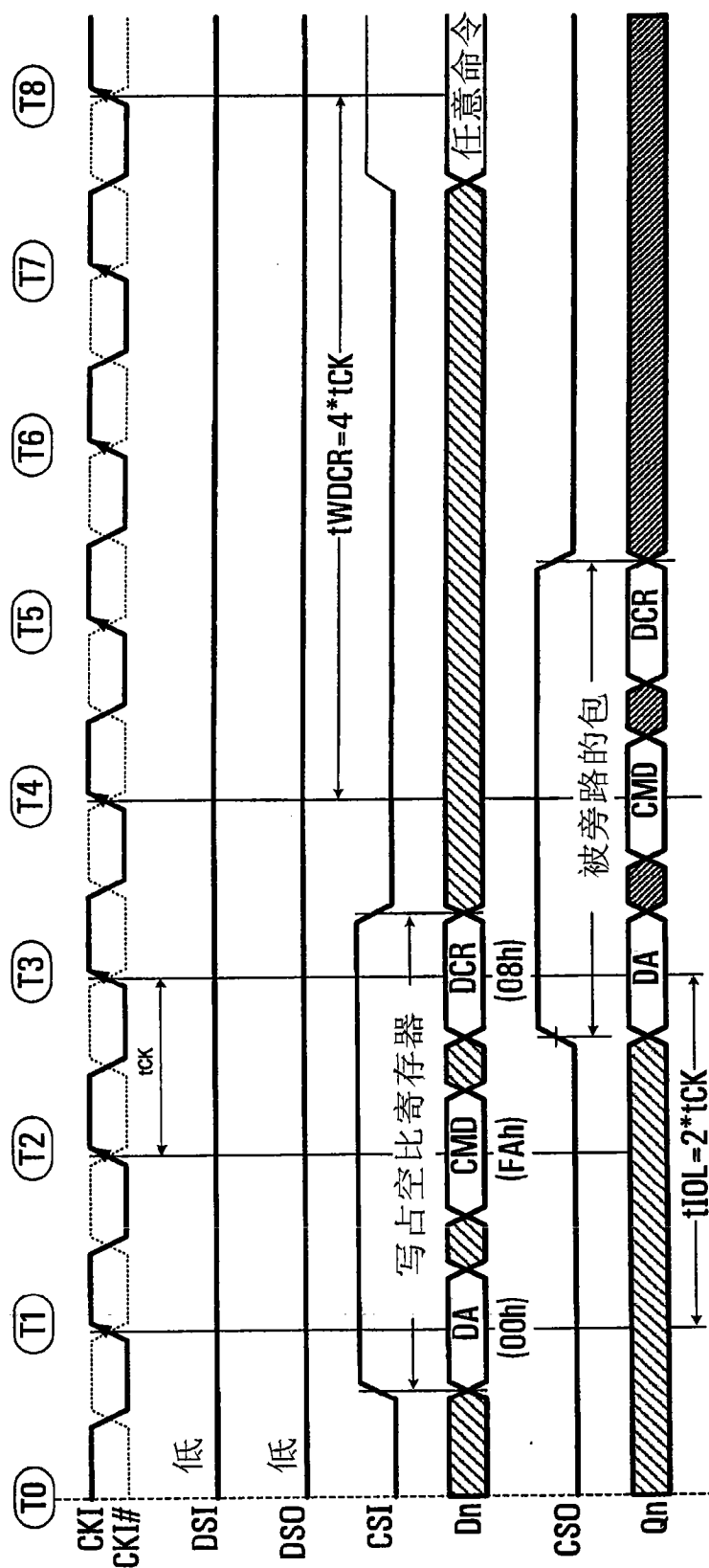


图 6

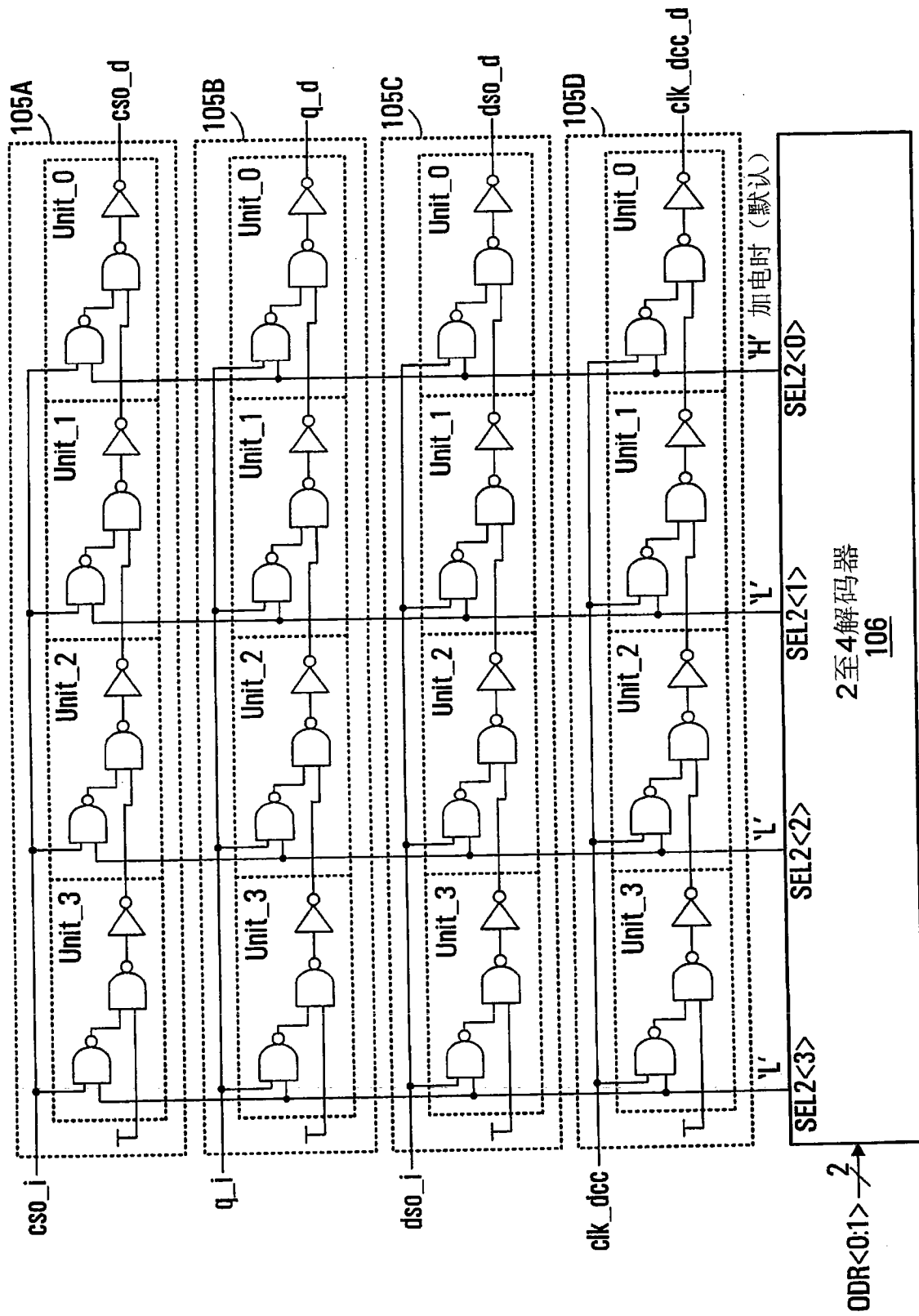


图 7

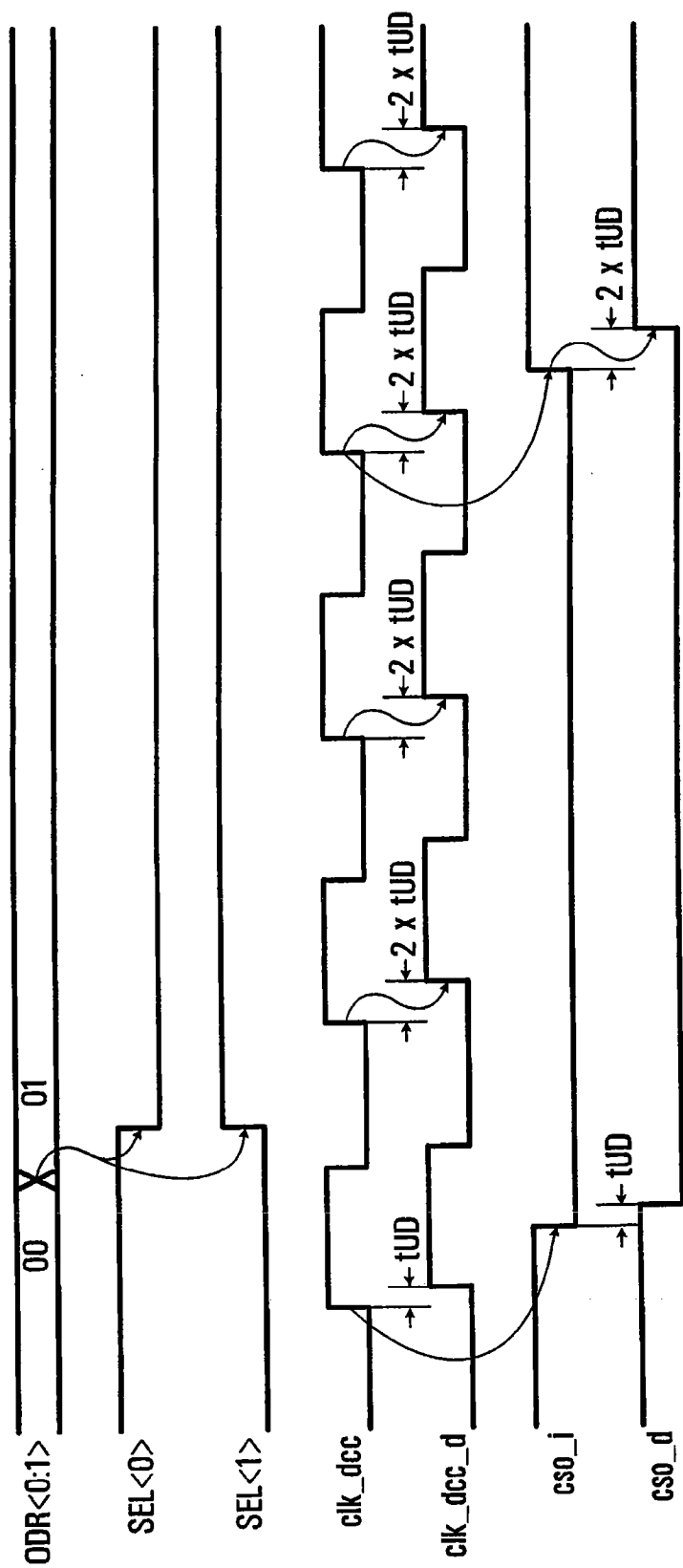


图 8

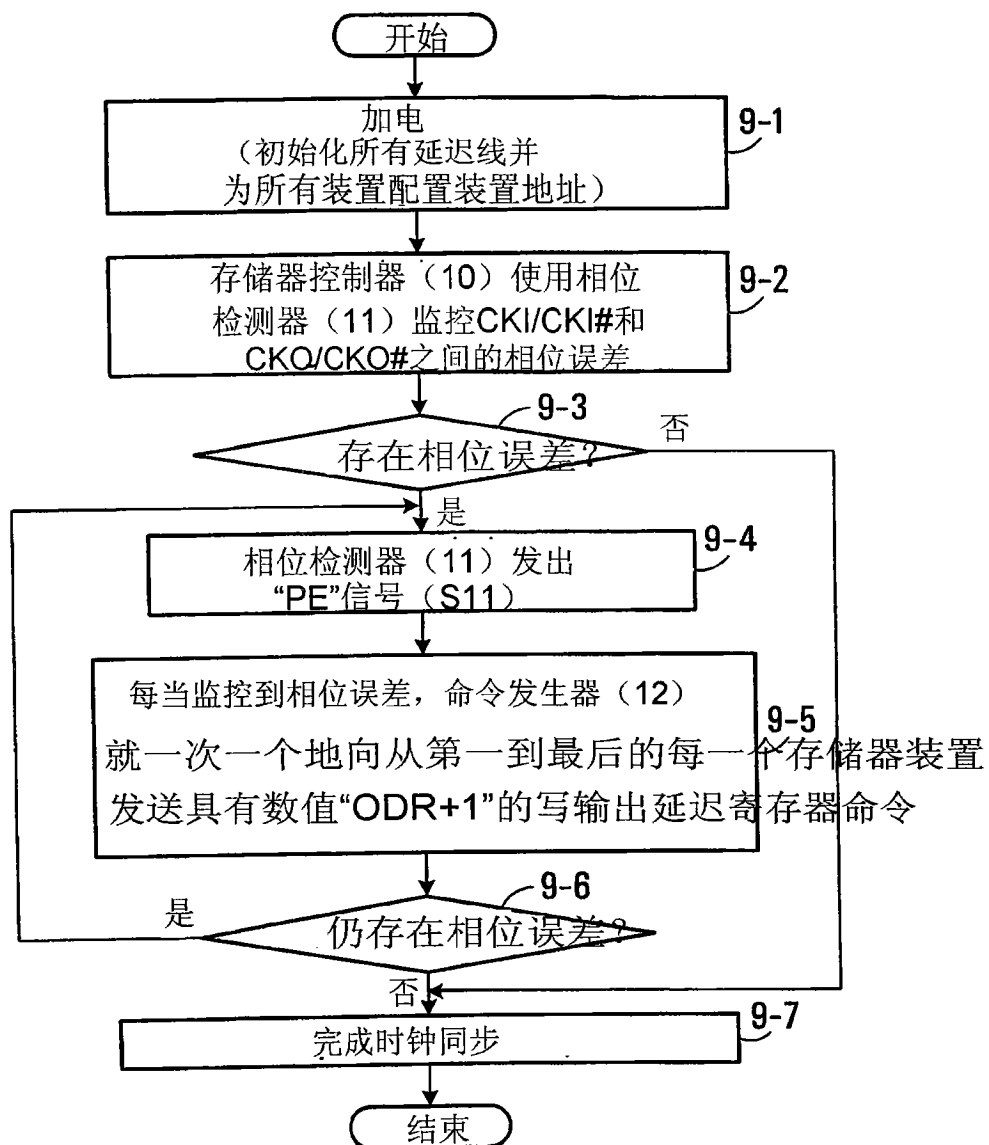


图 9

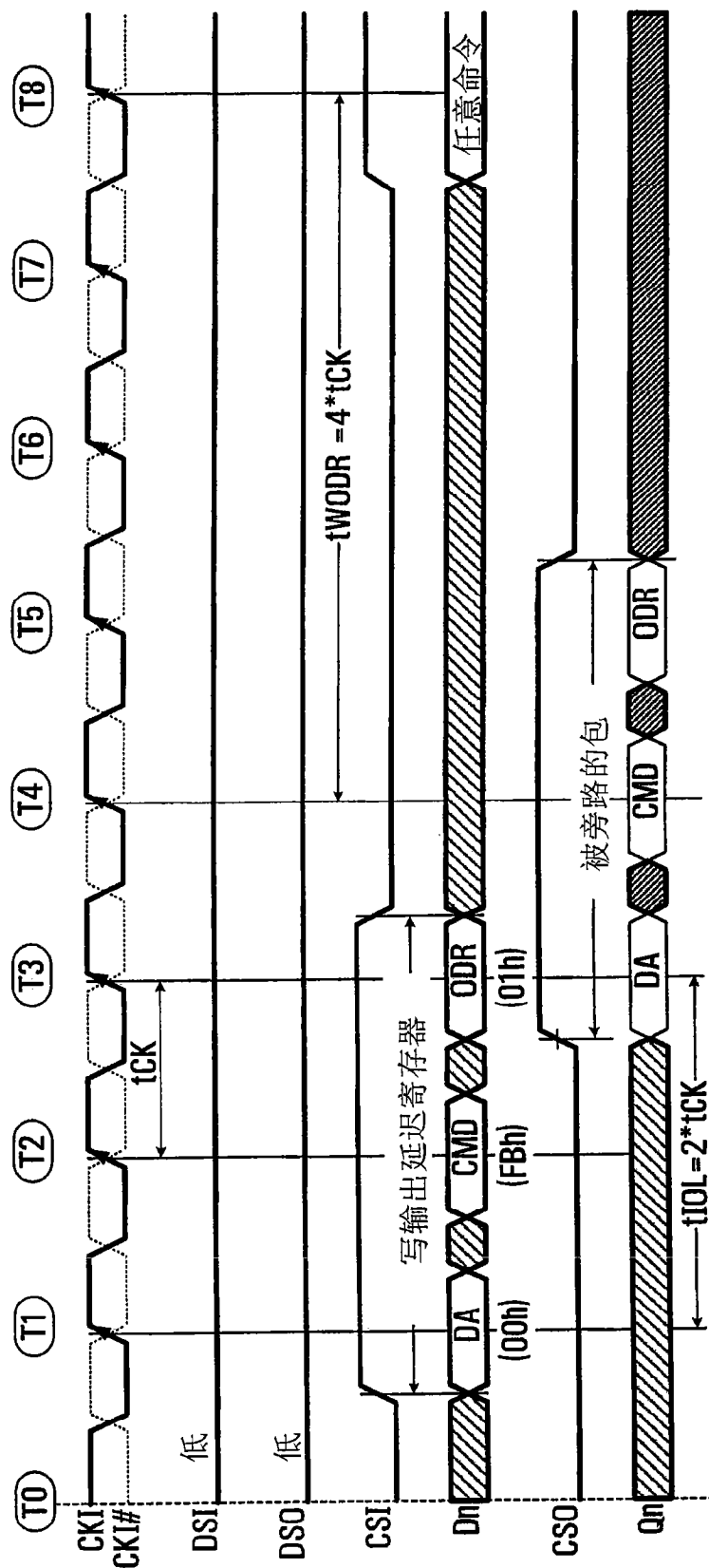


图 10