

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2006年10月12日 (12.10.2006)

PCT

(10) 国际公布号
WO 2006/105705 A1

(51) 国际专利分类号:
H04J 3/00 (2006.01) H04J 3/06 (2006.01)

(21) 国际申请号: PCT/CN2005/002009

(22) 国际申请日: 2005年11月25日 (25.11.2005)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
200510063139.1
2005年4月5日 (05.04.2005) CN

(71) 申请人 (对除美国外的所有指定国): 中兴通讯股份有限公司(ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): 潘向明(PAN, Xiang-ming) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。 胡大龙(HU, Dalong) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司 (AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路8号科技财富中心B座三层305A, Beijing 100085 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

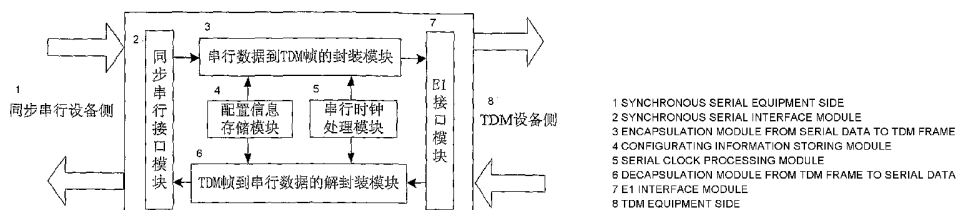
本国际公布:

— 包括国际检索报告。

[见续页]

(54) Title: A METHOD AND SYSTEM AND PROCESSING APPARATUS THEREOF FOR IMPLEMENTING THE TRANSPARENT TRANSMISSION OF THE SYNCHRONOUS SERIAL DATA IN TDM NETWORK

(54) 发明名称: 实现同步串行数据在TDM网透传的方法、系统及处理装置



(57) Abstract: The present invention discloses a method and system and serial processing apparatus thereof for implementing the transparent transmission of the synchronous serial data in TDM network, after receiving the serial data streams sent from the synchronous serial equipment side, the serial processing apparatus A maps it into the N*8 bits frame that corresponding to the N specific E1 time slots, the front M bits are used for carrying the information bits received in the E1 frame, the rear K bits represent the amount of the information bits received in the E1 frame, then, transmit the encapsulated frame to the serial processing apparatus B of the other side through the TDM network, according to the amount of the effective information bits in the specific time slots N*8 data frame, the processing apparatus B extracts the effective information and sends it to the synchronous serial equipment of the receiving side, the transparent transmission is thus completed. The method of the present invention can map the synchronous serial data streams of any rate into one or more specific time slots of TDM, and the hardware construction is simple and easy to test.

[见续页]



所引用双字母代码及其它缩写符号，请参考刊登在每期PCT公报期刊起始的“代码及缩写符号简要说明”。

(57) 摘要:

本发明公开一种实现同步串行数据在时分多路复用网络上透传的方法、系统及其串行处理装置，在收到同步串行设备侧发来的串行数据流后，串行处理装置 A 将其映射到对应于 N 个特定 E1 时隙的 N*8 比特数据帧中，前 M 比特承载在一个 E1 帧内收到的信息比特，后面 K 比特表示一个 E1 帧内收到的信息比特个数，然后将封装好的帧经 TDM 网络传送到另一端的串行处理装置 B，该装置 B 根据特定时隙 N*8 数据帧中的有效信息比特个数取出有效信息发送到接收端同步串行设备，完成透传。本发明方法能够将任意速率的同步串行数据流映射到 TDM 的一个或若干个特定时隙上，硬件实现简洁、调试方便。

实现同步串行数据在 TDM 网透传的方法、系统及处理装置

技术领域

本发明涉及数据通信领域的同步串行通信技术，尤其涉及实现同步串行
5 数据在时分多路复用网络上透传的方法及其装置。

背景技术

DDN 是数字数据网络的缩写 (DIGITAL DATA NETWORK)，它是由
光纤数据电路，数字复用及交叉连接设备组成的，以传输数据为主的数字传
10 输网络。它能为用户提供点对点、点对多点 (信道化)、全数字、全透明、
进网速率低于 2Mb/s 的高质量的永久性数字传输电路。

DDN 的复用及交叉连接技术都是基于 64K 时隙的，对于速率低于 64Kb/s
的子速率接入业务，必须通过子速率处理模块，将低速率的业务数据，通过
数据格式的封装，映射到一个 TDM (时分多路复用) 线路的 64K 时隙里。
15 图 1 所示为一个现有的 DDN 的子速率终端设备应用模式，其中子速率处理
模块可以包含在 DDN 节点机中，也可以是专门的设备。

目前常用的子速率处理方式是采用 ITU-T X.50 的封装格式，最多可以将
5 路的子速率接入业务映射到一个 64K 通道上。X.50 采用 8 比特包封交织复
用的方法，包封结构如图 2 所示，图中的 F 比特为定帧比特，S 比特为状态
20 比特，2-7 比特为 6 个用户信息比特。

X.50 采用 20 个包封的帧结构方式，在此处称为 X.50 帧，其中 F 为定帧
信息，是由本原多项式 $X^5 + X^2 + 1$ 产生的特征序列 (19bits) 加上一位帧同
步指示位 (1bit) 组成。根据速率匹配的原则，X.50 协议对于 2.4 Kb/s、4.8 Kb/s、
9.6 Kb/s、19.2Kb/s 这几种速率的串行业务流，规定了映射方法：在每一个
25 X.50 帧中，2.4Kb/s 数据映射为一个 8 比特包封的信息比特位，4.8 Kb/s 数据
映射为两个 8 比特包封的信息比特位，9.6 Kb/s 数据映射为四个 8 比特包封
的信息比特位等等。协议规定在一个 64k 的时隙中最多可以复用 5 路的
2.4/4.8/9.6Kb/s 的子速率业务、或者是两路 19.2Kb/s 业务、或者是一路

38.4Kb/s 的业务。

5 由于 X.50 协议的复杂性,使得硬件的实现颇为复杂;这种严格的适配关系也使得同步串行数据流的速率必须是 2.4 Kb/s、4.8 Kb/s、9.6 Kb/s、19.2Kb/s、38.4Kb/s 等几种固定的速率,对于速率大于 38.4Kb/s 的串行码流,没有给出可行的办法,缺乏灵活性。另外,为实现无误码的透明传输,X.50 的封装方式要求同步串行数据流的发送、接收时钟必须要和 TDM 网络的时钟是严格同步的。

发明内容

10 本发明要解决的问题是提出一种实现同步串行数据在时分多路复用网络上透传的方法,能够将任意速率的同步串行数据流映射到 TDM 的一个或若干个特定时隙上,硬件实现简洁、调试方便。本发明还要提供一种用于实现该方法的系统及其串行处理装置。

15 为了解决上述技术问题,本发明提供了一种实现同步串行数据在时分多路复用网络上透传的方法,应用于一通信系统,该通信系统包括两端的同步串行设备,通过同步串口分别与所述同步串行设备连接的两个串行处理装置,及将所述串行处理装置互联的时分多路复用网络,该方法包括以下步骤:

(a)发送端的同步串行设备通过同步串口向与其连接的串行处理装置 A 发送同步串行数据;

20 (b)所述串行处理装置 A 将收到的串行数据流映射到对应于 N 个 E1 时隙的 $N*8$ 比特数据帧中,该帧前 M 比特用于依序承载在一个 E1 帧的时间间隔内收到的信息比特,后面 K 比特用于表示在一个 E1 帧的时间间隔内收到的信息比特个数 W, M 和 K 满足 $M+K=N*8$, 且 $2^k \geq M$;

25 (c)所述串行处理装置 A 将封装好的帧发送到时分多路复用网络,由其传送到与对端同步串行设备相连的串行处理装置 B;

(d)所述串行处理装置 B 收到网络侧发来相应时隙上的 $N*8$ 数据帧后,读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数 W,将其取出并通过同步串口发送到接收端的所述同步串行设备。

进一步地，上述方法还可具有以下特点：所述串行处理装置 A 如果收到多路串行数据流，则将这些串行数据流分别映射到各自不同的 E1 时隙；所述串行处理装置 B 收到各个时隙上的 N*8 数据帧后，根据时隙的不同来区分这些不同的串行数据流。

进一步地，上述方法还可具有以下特点：所述端到端的串行数据流占用的时隙个数 N、所占用的特定时隙、承载信息比特的比特位数 M、表示信息比特个数的比特位数 K 是在组网应用时就配置好的。

进一步地，上述方法还可具有以下特点：所述端到端的串行数据流占用的时隙个数 N 可以为 1~31 中的任一数值。

进一步地，上述方法还可具有以下特点：当两端的所述同步串行设备均为数据终端设备时，所述串行处理装置 A 和串行处理装置 B 分别通过 E1 接口芯片从时分多路复用网络恢复 2M 时钟基准，采用分频的方法给出同步串口的发送、接收时钟。

进一步地，上述方法还可具有以下特点：当所述两端的同步串行设备分别为数据电路设备和数据终端设备时，是通过对恢复的 2M 时钟基准进行分频和修正，将所述数据电路设备的时钟透过时分多路复用网络在所述数据终端设备侧的串行处理模块中同步恢复出来，作为该串行处理模块和所述数据终端设备之间同步串口的发送、接收时钟。

进一步地，上述方法还可具有以下特点：所述串行处理装置 B 按以下步骤产生同步串口的发送、接收时钟：

每经过一个或多个 E1 帧的时间，根据读取到的所有信息比特个数 W，按照公式： $256 = 2 \times W \times (I + 1) + J$ 计算其中的分频系数 I 和余数 J，用作对下一 E1 帧进行分频和修正的系数；

所述系数 I 和 J 确定后，在下一个相同的时间间隔内，每检测到一个 2M 时钟的上升沿后进行计数，如果 J=0，每计数 I 次让翻转寄存器进行一次翻转，然后重新计数；如果 J>0，则每计数 I+1 次让翻转寄存器进行一次翻转并使 J=J-1，然后重新计数，该翻转寄存器的输出信号即为串行处理装置 B

提供给同步串口的串行数据发送、接收时钟。

本发明提供的用于实现同步串行数据在时分多路复用网络上透传的串行处理装置，其特征在于，包括封装模块、解封装模块，其中：

- 5 所述封装模块用于将同步串行设备侧的串行数据流映射到对应于 N 个特定 E1 时隙的 $N*8$ 比特数据帧中，该帧前 M 比特用于依序承载在一个 E1 帧的时间间隔内收到的信息比特，后面 K 比特用于表示在一个 E1 帧的时间间隔内收到的信息比特个数， M 和 K 满足 $M+K=N*8$ ，且 $2^k \geq M$ ；

- 10 所述解封装模块用于从时分多路复用网络侧收到的数据帧中找到特定时隙上的 $N*8$ 数据帧，读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数，将其取出交给同步串口发送。

- 15 进一步地，上述串行处理装置还可具有以下特点：还包括串行时钟处理模块，用于根据提取的 $2M$ 时钟基准进行分频得到两端数字终端设备的时钟；或者根据收到的 $N*8$ 数据帧后 K 比特表示的信息比特个数 W ，对 E1 接口的 $2M$ 时钟进行实时分频和修正，将一端数据电路设备的时钟透过时分多路复用网络同步恢复出来，作为与另一端数据终端设备之间同步串口的发送、接收时钟。

- 20 进一步地，上述串行处理装置还可具有以下特点：还包括配置信息存储模块，用于存储组网时两端约定的串行数据流占用的时隙个数 N 、所占用的特定时隙、承载信息比特的比特位数 M 和表示信息比特个数的比特位数 K 。

进一步地，上述串行处理装置还可具有以下特点：还包括同步串行接口模块和 E1 接口模块，其中：

所述串行同步接口模块用于接收同步串行设备发来的串行数据，交给所述封装模块处理，以及将解封装后的串行数据发送给同步串行设备；

- 25 所述 E1 接口模块用于将封装好的 $N*8$ 数据帧直接插入 E1 的 HW 线在特定时隙上发送，以及从 E1 的 HW 线上接收特定时隙的数据交给解封装模块处理，并完成模数转换、帧头的标识和提取，以及 $2M$ 时钟的提取。

进一步地，上述串行处理装置还可具有以下特点：所述封装模块、解封

装模块和串行时钟处理模块由一片可编程门阵列实现。

进一步地，上述串行处理装置还可具有以下特点：所述串行时钟处理模块包括系数计算单元、分频计数器、分频控制器和翻转寄存器，其中：

所述系数计算单元每经过一个 E1 帧的时间，根据读取的所述信息比特个数 W ，按照公式： $256 = 2 \times W \times (I + 1) + J$ 计算其中的分频系数 I 和余数 J ，
5 用作对下一 E1 帧进行分频和修正的系数；

所述分频计数器，以 TDM 网络的 2M 时钟为工作时钟，用于在每检测到一个 2M 时钟的上升沿后进行计数；

所述分频控制器，用于在满足 $J=0$ 且所述分频计数器计算值等于 I 时，
10 或者在满足 $J>0$ 且所述分频计数器计算值等于 $I+1$ 时，让所述翻转寄存器进行一次翻转，使所述分频计数器重新计数，如果 J 不等于 0 还使 $J=J-1$ ；

所述翻转寄存器，通过两次翻转可得到一个低速时钟的周期，用于输出串行时钟处理要提供的同步串口的串行数据发送、接收时钟。

15 本发明还提供了一种实现同步串行数据在时分多路复用网络上透传的系统，包括两端的同步串行设备，与所述同步串行设备连接的两个串行处理装置，以及将所述串行处理装置互联的时分多路复用网络，其特征在于，所述串行处理装置包括封装模块、解封装模块、串行时钟处理模块、配置信息存储模块、同步串行接口模块和 E1 接口模块，其中：

20 所述封装模块用于将同步串行设备侧的串行数据流映射到对应于 N 个特定 E1 时隙的 $N*8$ 比特数据帧中，该帧前 M 比特用于依序承载在一个 E1 帧的时间间隔内收到的信息比特，后面 K 比特用于表示在一个 E1 帧的时间间隔内收到的信息比特个数， M 和 K 满足 $M+K=N*8$ ，且 $2^k \geq M$ ；

所述解封装模块用于从时分多路复用网络侧收到的数据帧中找到特定
25 时隙上的 $N*8$ 数据帧，读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数，将其取出交给同步串口发送；

所述配置信息存储模块用于存储组网时两端约定的串行数据流占用的时隙个数 N 、所占用的特定时隙、承载信息比特的比特位数 M 和表示信息比

特个数的比特位数 K ;

所述串行时钟处理模块, 用于根据提取的 $2M$ 时钟基准进行分频得到两端数字终端设备的时钟; 或者根据收到的 $N*8$ 数据帧后 K 比特表示的信息比特个数 W , 对 $E1$ 接口的 $2M$ 时钟进行实时分频和修正, 将一端数据电路设备的时钟透过时分多路复用网络同步恢复出来, 作为与另一端数据终端设备之间同步串口的发送、接收时钟;

所述串行同步接口模块用于接收同步串行设备发来的串行数据, 交给所述封装模块处理, 以及将解封装后的串行数据发送给同步串行设备;

所述 $E1$ 接口模块用于将封装好的 $N*8$ 数据帧直接插入 $E1$ 的 HW 线在特定时隙上发送, 以及从 $E1$ 的 HW 线上接收特定时隙的数据交给解封装模块处理, 并完成模数转换、帧头的标识和提取, 以及 $2M$ 时钟的提取。

由上可知, 与现有技术相比, 本发明提供了一种简单的实现任意码速的同步串行数据在时分多路复用网络上透传的方法及其相应的装置, 采用了全新的串行数据封装方式, 很好地解决了任意码速的同步串行数据在 TDM 的特定时隙上 (一个或若干个) 的映射、适配问题, 并且硬件实现简洁、调试方便。进一步地, 同步串行数据流的发送、接收时钟和 TDM 网络时钟可以是不同步的, 能给实际的组网带来较大的灵活性, 有比较大的应用前景。

20 附图概述

图 1 是一种现有的 DDN 的子速率终端设备应用模式示例图;

图 2 是现有的 X.50 协议的包封结构示例图;

图 3 是本发明第一实施例串行处理装置的功能框图;

图 4 是本发明第一实施例串行处理装置映射后的帧结构图;

图 5 是本发明第一实施例的组网图, 其中, 透传的两端均是 DTE 设备;

图 6 是本发明第二个实施例的组网图, 其中, 透传的两端分别是 DCE 设备和 DTE 设备;

图 7 是本发明第二实施例串行时钟处理模块所采用的串行时钟恢复流程

图。

本发明的最佳实施方式

第一实施例

5 本实施例应用的串行处理装置包括接口子装置和串行处理子装置。如图 3 所示, 接口子装置包括同步串行接口模块和 E1 接口模块。串行处理子装置包括串行数据到 TDM 帧的封装模块 (即 Series to TDM 模块)、TDM 帧到串行数据的解封装模块 (即 TDM to Series 模块)、配置信息存储模块和串行时钟处理模块, 这四个模块可以在一个 FPGA (可编程门阵列) 芯片内实现。

同步串行接口模块用于接收同步串行设备发来的串行数据, 交给所述封装模块处理, 以及将解封装后的串行数据发送给同步串行设备。同步串口的时钟可以采用串行时钟处理模块分频得到的时钟或者相连接的 DCE 设备提供的时钟。

15 封装模块用于完成串行数据流在 TDM 线上特定时隙的映射, 映射过程采用如图 4 所示的帧格式。其中, 帧长度为 $N*8$ 比特, N 为串行数据流映射到 TDM 线上的时隙个数 ($N \leq 31$)。前 M 比特用来依序承载在一个 E1 帧的时间间隔内, 从同步串行设备侧收到的信息比特, 后面 K 比特用来承载在一个 E1 帧的时间间隔内, 从同步串行设备侧收到的信息比特个数 (用 2 进制表示), 要求 M 和 K 满足关系式: $M+K=N*8$, 且 $2^k \geq M$ 。

20 我们知道, 一个 TDM 的 E1 帧是由 $32*8$ 比特构成 (周期为 125 微秒), 称之为 32 个时隙。图 4 中示出的 $N*8$ 帧是 E1 帧的 $32*8$ 比特的一部分, 即占据 N 个 E1 时隙。例如, 如果串行数据流映射后占据 1、2、3、4 四个时隙, 则每一个 E1 帧中的 1、2、3、4 四个时隙的内容构成一路串行数据流的 $N*8$ 的数据帧, 其他时隙的内容可作它用, 比如另一路 $N*8$ 的帧等等。

25 以 56kb/s 的串行数据流为例, 在一个 E1 帧时间间隔, 即 125 微秒内, 封装模块应接收到的该 56kb/s 串行数据的信息比特是 7 个, 应将其映射到 E1 帧中的 2 个时隙, 组成 $2*8$ 共 16 个 bit 的帧, 其 $M=12$, $K=4$, 后 4 个比

特存储信息比特个数，这里应填入 0111，该信息表示该 2*8 的帧中，前 12 个比特中的前 7 个比特的信息是有效信息。

从上述 N*8 数据帧的结构可以看出，本实施例的串行处理装置可以处理
5 的串行数据流最大速率限制为：

$$N \times 64 \times \frac{M}{M + K} Kb/s \tag{1}$$

任意小于该速率串行码流均可适用，当采用一个 64Kb/s 时隙，即 N=1 时，根据式 $2^k \geq M$ 的原则，取 K=3，M=5。根据式 1，本处理模块可以处理的同步串行数据流的最大速率为 40Kb/s，可以处理所有速率小于 40Kb/s 的
10 的串行数据流，已经覆盖了整个 X.50 协议处理的范围。对于串行速率更高的应用，可以采用占用多个 TDM 时隙的方法。下表给出了不同 N 值时，可以处理的最大串行数据流速率对照表：

表 1：串行处理装置中 N 值和可处理的最大串行速率的关系

N 值	M 值	K 值	最大串行速率 (Kb/s)
1	5	3	40
2	12	4	96
3	19	5	152
4	27	5	216
5	34	6	272
6	42	6	336
7	50	6	400
8	58	6	464
9	65	7	520
10	73	7	584
11	81	7	648
12	89	7	712
13	97	7	776
14	105	7	840
15	113	7	904
16	121	7	968
17	128	8	1024
18	136	8	1088
19	144	8	1152

N 值	M 值	K 值	最大串行速率 (Kb/s)
20	152	8	1216
21	160	8	1280
22	168	8	1344
23	176	8	1408
24	184	8	1472
25	192	8	1536
26	200	8	1600
27	208	8	1664
28	216	8	1728
29	224	8	1792
30	232	8	1856
31	240	8	1920

配置信息存储模块用于存储组网时两端约定的配置信息，例如，端到端的串行数据流占用的时隙个数 N、所占用的特定时隙、承载信息比特的比特位数 M、表示信息比特个数的比特位数 K 等。这些信息由端到端之间事先约定并存储在 FPGA 的寄存器中。所述封装模块和解封装模块可以读取这些配置信息，直接将相应的串行数据流映射到特定的时隙中，并在相应位置完成信息比特和信息比特个数的填充，组成图 4 所示格式的帧。

E1 接口模块用于将封装好的 N*8 数据帧直接插入 E1 的 HW 线在特定时隙上发送，以及从 E1 的 HW 线上接收特定时隙的内容交给解封装模块，此外还完成模拟和数字信号的转换、E1 帧头的标识和提取、控制信号的插入以及线路时钟的提取等功能。该接口模块通常用 E1 接口芯片实现，例如 PEB2254。

如果需要将多路串行数据映射在同一条 E1 的 HW 线上，则不同的串行数据必须分别映射和插入到不同的 E1 时隙，这需要事先在两端约定好各路串行数据流所占用的时隙并配置在两端，对端根据时隙的不同，来区分不同的串行数据流。

解封装模块用于完成 TDM 网络侧传送的 N*8 数据帧到串行数据流的解映射，如上所述，该解封装模块可以从配置信息存储模块获知该串行数据流所在的特定时隙以及存储信息比特个数的 bit，因此，解封装模块根据 E1 接

口芯片给出的 E1 的帧头指示信号和 2M 时钟，可以很容易地区分 E1 帧中的每一个时隙，对于要接收的特定帧的 $N*8$ 串行处理数据帧，先通过后 K 比特的数值来判断该数据帧中前 M 比特内有多少比特是有效的，即真正从对端同步串行数据侧收到的信息比特，然后将其取出，写入到同步串行接口模块的 FIFO 中，发送给同步串行设备，完成串行数据的透传。

串行时钟处理模块完成不同组网形式下的串行发送、接收时钟的产生和处理。串行处理装置在组网时一般是成对出现，实现端到端的透传应用，本实施例采用的组网方式如图 5 所示，两端透传的设备均为 DTE 设备（数据终端设备），串行处理模块 A 和 B 分别通过同步串口与该两个 DTE 设备相连，另一侧通过 E1 接口与 TDM 交换网相连。两端串行处理装置 A 和 B 中的串行时钟处理模块通过 E1 接口模块直接从 TDM 网络恢复 2M 时钟基准，采用分频的方法由分频单元给出同步串口的发送、接收时钟。

本实施例实现同步串行数据在时分多路复用网络上透传的方法包括以下步骤：

第一步，发送端的同步串行设备通过同步串口向与其连接的串行处理装置 A 发送同步串行数据；

第二步，所述串行处理装置 A 将收到的串行数据流映射到对应于 N 个 E1 时隙的 $N*8$ 比特数据帧中，该帧前 M 比特用于依序承载在一个 E1 帧的时间间隔内收到的信息比特，后面 K 比特用于用 2 进制表示在一个 E1 帧的时间间隔内收到的信息比特个数，M 和 K 满足 $M+K=N*8$ ，且 $2^k \geq M$ ；

第三步，所述串行处理装置 A 将封装好的帧插入特定帧隙发送到 TDM 网络，由该网络传送到与对端同步串行设备相连的串行处理装置 B；

第四步，所述串行处理装置 B 收到网络侧发来的特定帧隙上的 $N*8$ 数据帧后，读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数，将其取出并通过同步串口发送到接收端的所述同步串行设备。

通过以上步骤，就完成了同步串行数据在 TDM 网上的透传。

第二实施例

本实施例的系统如图 6 所示，其中串行处理装置中的封装模块、解封装模块和两个接口模块的功能以及透传的方法、映射/解映射的方式和帧结构都与第一实施例相同，在此不再赘述。区别之处在于其两端的设备一个是 DTE 设备，一个是 DCE 设备（数据电路设备），该 DCE 设备可能是属于其他运营商的传输网上的设备，它提供的串行发送、接收时钟和 TDM 交换网的时钟可能是不同步的。因此，本实施例的串行处理装置 A 和 B 中的串行时钟处理模块与第一实施例不同，另外，同步串行接口模块在与时钟相关的功能上与第一实施例有所不同。

与 DCE 设备直接相连的串行处理装置 A 的串行数据流发送、接收时钟直接采用同步串口侧 DCE 设备提供的时钟，不需要由串行时钟处理模块另外提供，该串行时钟处理模块可以省略。

另一边与 DTE 设备相连的串行处理装置 B 提供的串行数据流的发送、接收时钟，是不可以直接采用 E1 提取 2M 时钟基准简单的分频得到的。因为 DCE 侧的时钟和 TDM 网络的时钟是不同步的，串行处理装置 B 如果直接分频，得到的串行数据流的发送、接收时钟和 DCE 提供的时钟也是不同步的，会造成端到端设备之间时钟的差异，引起通信滑码。

从图 4 可以看出， $N*8$ 数据帧结构中的有效信息比特个数，实际上包含了对端 DCE 设备提供的时钟信息。这是一个相对信息，是相对于 TDM 的 2M 时钟而言的，即在 256 个 2M 时钟的周期内，DCE 设备提供的串行时钟的个数。因此，可以通过对 2M 时钟进行可变倍数的分频，对分频的倍数实时地用上一帧的串行时钟个数作为参数进行修正，使得该时钟在一个 E1 帧时间间隔内的个数，始终等于前一 E1 帧时间间隔内 $N*8$ 数据帧后 K 比特表示的信息比特个数，从而保证串行处理装置 B 输出的时钟和对端 DCE 设备提供的时钟是同步的，即恢复出对端的串行时钟，达到两端无误码的透传目的。

为了实现上述功能，本实施例串行处理装置 B 中的串行时钟处理模块包括系数计算单元、分频计数器 Count、分频控制器和翻转寄存器 Series_clk。

其中：

系数计算单元每经过一个 E1 帧的时间，根据读取的所述信息比特个数 W 计算分频系数 I 和余数 J，用作对下一 E1 帧进行分频和修正的系数，其中分频系数 I 是作为分频计数器 Count 的阈值。

- 5 分频计数器 Count，以 TDM 网络的 2M 时钟为工作时钟，用于在每检测到一个 2M 时钟的上升沿后进行一次计数，本实施例从 0 开始计数。

分频控制器，用于在满足 $J=0$ 且所述分频计数器计算值等于 I 时，或者在满足 $J>0$ 且所述分频计数器计算值等于 $I+1$ 时，让所述翻转寄存器进行一次翻转，使所述分频计数器重新计数，如果 J 不等于 0 还应使 $J=J-1$ 。

- 10 翻转寄存器 Series_clk，通过两次翻转得到一个低速时钟的周期，用于输出该串行处理装置 B 所要提供给同步串口的串行数据发送、接收时钟。

下面讨论分频系数 I 和修正系数 J 如何确定。假定从 TDM 侧收到的 $N*8$ 数据帧中有效信息比特个数为 W，则分频系数 I 等于 256 除以 $2W$ 的商减 1，修正系数 J 为余数。即变量 W、I、J 满足关系式：

15
$$256 = 2 \times W \times (I + 1) + J \quad (2)$$

工作时，每经过一个 E1 帧的时间，对变量 W 的值进行一次实时的更新，并计算出新的 I 和 J 值，用作对下一 E1 帧进行分频和修正的系数。分频计数器 Count 的初值不为零时，上述 I 和 J 的计算公式会有相应的变化，这些变化应视为与本发明等同的。

20

确定了分频系数 I 和修正系数 J 后，本实施例的串行时钟处理模块按图 7 所示流程来产生串行数据流的发送、接收时钟，包括以下步骤：

步骤 110，检测 2M 时钟的上升沿，检测到后，执行下一步，否则继续检测；

- 25 步骤 120，判断 E1 帧头是否有效，这里 E1 的帧头信号是 8K 的脉冲信号，脉冲宽度是一个 2M 的时钟周期，如果有效，执行下一步，否则，执行步骤 140；

步骤 130，为翻转寄存器 Series_clk 赋初值‘1’，为计数器 Count 赋初值‘0’，

返回步骤 110;

步骤 140, 判断是否满足条件一: $J=0$ 且 $\text{Count}=I$, 或者满足条件二: $J>0$ 且 $\text{Count}=I+1$, 如果满足, 执行下一步, 否则, 执行步骤 160;

步骤 150, 使翻转寄存器翻转, 即将 not Series_clk 赋给 Series_clk , 且将
5 分频计数器 Count 清零, 如果修正系数 $J>0$, 则令 $J=J-1$, 否则保持 $J=0$ 不变;

步骤 160, 将分频计数器 Count 的值累加上 1, 即 $\text{Count}=\text{Count}+1$, 返回步骤 110。

假定 DCE 设备输出的是 56kb/s 且速率不变的串行数据流, 那么串行数据处理模块 B 从 TDM 侧收到的 $N*8$ 数据帧中有效信息比特个数 W 等于 7,
10 按照关系式 (1) 可以计算出分频系数 $I=17$, 修正系统 $J=4$ 。将这些系数代入上述流程, 可以导出开始产生的两个串行时钟每个对应于 38 个 2M 时钟, 随后产生的 5 个串行时钟每个对应于 36 个串行时钟, 即在一个 E1 帧的 256 个 2M 时钟期间会产生 7 个 56k 的串行时钟, 这和 DCE 设备在一个 E1 帧时间间隔 (125ms) 内提供的串行时钟个数是相等的。

15 当串行速率低于 8Kb/s 时, 由于在一个 E1 帧时间内收到的串行时钟个数不到一个, 可以用以下的方法将多个 E1 帧综合起来考虑。

取 H 个 E1 帧的时间作为衡量单位, 此时收到的串行时钟个数为: H 个 TDM 侧收到的 $N*8$ 数据帧中有效信息比特个数之和: $W_1+W_2+\dots+W_h$, 需要满足: $W_1+W_2+\dots+W_h \geq 1$, 这时候的分频系数 I 等于 $H*256$ 除以
20 $2(W_1+W_2+\dots+W_h)$ 的商减 1, 修正系数 J 为余数。即变量 W 、 I 、 J 满足关系式:

$$H * 256 = 2 \times (W_1 + W_2 + \dots + W_h) \times (I + 1) + J$$

此时, 在图 7 的流程中, 需要步骤 120 的条件“判断 E1 帧头是否有效”改为“是否收到 H 个 E1 的帧头信号”, 其它的处理不变。每经过 H 个 E1 帧的时间 ($H*125\mu s$), 对 $W_1+W_2+\dots+W_h$ 的值进行一次实时的更新, 并计算
25 出新的 I 和 J 值, 用作对下一 H 个 E1 帧进行分频和修正的系数。

另外, 本发明描述的数据的透传均是双向的, 本实施例中, 既有数据跨过 TDM 网从 DCE 发往 DTE 设备, 也有数据跨过 TDM 网从 DTE 设备发往 DCE 设备。在相反方向, 即当 DTE 设备向 DCE 设备发送串行数据时,

DTE 与串行处理模块之间的串口时钟也是由本发明分频和修正的方法得出。串行处理模块与接收端的 DCE 设备之间的串口时钟是由 DCE 设备直接提供的，其内部的串行时钟处理模块是可以省略的。总之，在第二种组网方式中，时钟传递是：DCE 的时钟透过 TDM 网，通过本发明的分频和修正的方法在 DTE 侧的串行处理模块中同步恢复出来，该 DCE 时钟可以和 TDM 网的 E1 时钟可以是不同步的。

工业实用性

本发明提供了一种简单的实现任意码速的同步串行数据在时分多路复用网络上透传的方法及其相应的装置，采用了全新的串行数据封装方式，很好地解决了任意码速的同步串行数据在 TDM 的特定隙上（一个或若干个）的映射、适配问题，并且硬件实现简洁、调试方便。进一步地，同步串行数据流的发送、接收时钟和 TDM 网络时钟可以是不同步的，能给实际的组网带来较大的灵活性，有比较大的应用前景。

15

权 利 要 求 书

1、一种实现同步串行数据在时分多路复用网络上透传的方法，应用于一通信系统，该通信系统包括两端的同步串行设备，通过同步串口分别与所述同步串行设备连接的两个串行处理装置，以及将所述串行处理装置互联的
5 时分多路复用网络，该方法包括以下步骤：

(a)发送端的同步串行设备通过同步串口向与其连接的串行处理装置 A 发送同步串行数据；

(b)所述串行处理装置 A 将收到的串行数据流映射到对应于 N 个 E1 时隙的 $N*8$ 比特数据帧中，该帧前 M 比特用于依序承载在一个 E1 帧的时间
10 间隔内收到的信息比特，后面 K 比特用于表示在一个 E1 帧的时间间隔内收到的信息比特个数 W，M 和 K 满足 $M+K=N*8$ ，且 $2^k \geq M$ ；

(c)所述串行处理装置 A 将封装好的帧发送到时分多路复用网络，由其传送到与对端同步串行设备相连的串行处理装置 B；

(d)所述串行处理装置 B 收到网络侧发来相应时隙上的 $N*8$ 数据帧后，
15 读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数 W，将其取出并通过同步串口发送到接收端的所述同步串行设备。

2、如权利要求 1 所述的方法，其特征在于，所述串行处理装置 A 如果收到多路串行数据流，则将这些串行数据流分别映射到各自不同的 E1 时隙；所述串行处理装置 B 收到各个时隙上的 $N*8$ 数据帧后，根据时隙的不同来区
20 分这些不同的串行数据流。

3、如权利要求 1 或 2 所述的方法，其特征在于，所述端到端的串行数据流占用的时隙个数 N、所占用的特定时隙、承载信息比特的比特位数 M、表示信息比特个数的比特位数 K 是在组网应用时就配置好的。

4、如权利要求 1 所述的方法，其特征在于，所述端到端的串行数据流
25 占用的时隙个数 N 可以为 1~31 中的任一数值。

5、如权利要求 1 所述的方法，其特征在于，当两端的所述同步串行设备均为数据终端设备时，所述串行处理装置 A 和串行处理装置 B 分别通过 E1 接口芯片从时分多路复用网络恢复 2M 时钟基准，采用分频的方法给出同

步串口的发送、接收时钟。

6、如权利要求 1 所述的方法，其特征在于，当所述两端的同步串行设备分别为数据电路设备和数据终端设备时，是通过对恢复的 2M 时钟基准进行分频和修正，将所述数据电路设备的时钟透过时分多路复用网络在所述数据终端设备侧的串行处理模块中同步恢复出来，作为该串行处理模块和所述数据终端设备之间同步串口的发送、接收时钟。

7、如权利要求 6 所述的方法，其特征在于，所述串行处理装置 B 按以下步骤产生同步串口的发送、接收时钟：

每经过一个或多个 E1 帧的时间，根据读取到的所有信息比特个数 W，按照公式： $256 = 2 \times W \times (I + 1) + J$ 计算其中的分频系数 I 和余数 J，用作对下一 E1 帧进行分频和修正的系数；

所述系数 I 和 J 确定后，在下一个相同的时间间隔内，每检测到一个 2M 时钟的上升沿后进行计数，如果 $J=0$ ，每计数 I 次让翻转寄存器进行一次翻转，然后重新计数；如果 $J>0$ ，则每计数 I+1 次让翻转寄存器进行一次翻转并使 $J=J-1$ ，然后重新计数，该翻转寄存器的输出信号即为串行处理装置 B 提供给同步串口的串行数据发送、接收时钟。

8、一种用于实现同步串行数据在时分多路复用网络上透传的串行处理装置，其特征在于，包括封装模块、解封装模块，其中：

所述封装模块用于将同步串行设备侧的串行数据流映射到对应于 N 个特定 E1 时隙的 $N \times 8$ 比特数据帧中，该帧前 M 比特用于依序承载在一个 E1 帧的时间间隔内收到的信息比特，后面 K 比特用于表示在一个 E1 帧的时间间隔内收到的信息比特个数，M 和 K 满足 $M+K=N \times 8$ ，且 $2^k \geq M$ ；

所述解封装模块用于从时分多路复用网络侧收到的数据帧中找到特定时隙上的 $N \times 8$ 数据帧，读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数，将其取出交给同步串口发送。

9、如权利要求 8 所述的串行处理装置，其特征在于，还包括串行时钟处理模块，用于根据提取的 2M 时钟基准进行分频得到两端数字终端设备的时钟；或者根据收到的 $N \times 8$ 数据帧后 K 比特表示的信息比特个数 W，对 E1

接口的 2M 时钟进行实时分频和修正，将一端数据电路设备的时钟透过时分多路复用网络同步恢复出来，作为与另一端数据终端设备之间同步串口的发送、接收时钟。

10、如权利要求 8 所述的串行处理装置，其特征在于，还包括配置信息
5 存储模块，用于存储组网时两端约定的串行数据流占用的时隙个数 N 、所占用的特定时隙、承载信息比特的比特位数 M 和表示信息比特个数的比特位数 K 。

11、如权利要求 8、9 或 10 所述的串行处理装置，其特征在于，还包括同步串行接口模块和 E1 接口模块，其中：

10 所述串行同步接口模块用于接收同步串行设备发来的串行数据，交给所述封装模块处理，以及将解封装后的串行数据发送给同步串行设备；

所述 E1 接口模块用于将封装好的 $N*8$ 数据帧直接插入 E1 的 HW 线在特定时隙上发送，以及从 E1 的 HW 线上接收特定时隙的数据交给解封装模块处理，并完成模数转换、帧头的标识和提取，以及 2M 时钟的提取。

15 12、如权利要求 9 所述的串行处理装置，其特征在于，所述封装模块、解封装模块和串行时钟处理模块由一片可编程门阵列实现。

13、如权利要求 9 所述的串行处理装置，其特征在于，所述串行时钟处理模块包括系数计算单元、分频计数器、分频控制器和翻转寄存器，其中：

20 所述系数计算单元每经过一个 E1 帧的时间，根据读取的所述信息比特个数 W ，按照公式： $256 = 2 \times W \times (I + 1) + J$ 计算其中的分频系数 I 和余数 J ，用作对下一 E1 帧进行分频和修正的系数；

所述分频计数器，以 TDM 网络的 2M 时钟为工作时钟，用于在每检测到一个 2M 时钟的上升沿后进行计数；

25 所述分频控制器，用于在满足 $J=0$ 且所述分频计数器计算值等于 I 时，或者在满足 $J>0$ 且所述分频计数器计算值等于 $I+1$ 时，让所述翻转寄存器进行一次翻转，使所述分频计数器重新计数，如果 J 不等于 0 还使 $J=J-1$ ；

所述翻转寄存器，通过两次翻转可得到一个低速时钟的周期，用于输出串行时钟处理要提供的同步串口的串行数据发送、接收时钟。

14、一种实现同步串行数据在时分多路复用网络上透传的系统，包括两端的同步串行设备，与所述同步串行设备连接的两个串行处理装置，以及将所述串行处理装置互联的时分多路复用网络，其特征在于，所述串行处理装置包括封装模块、解封装模块、串行时钟处理模块、配置信息存储模块、同步串行接口模块和 E1 接口模块，其中：

所述封装模块用于将同步串行设备侧的串行数据流映射到对应于 N 个特定 E1 时隙的 $N*8$ 比特数据帧中，该帧前 M 比特用于依序承载在一个 E1 帧的时间间隔内收到的信息比特，后面 K 比特用于表示在一个 E1 帧的时间间隔内收到的信息比特个数， M 和 K 满足 $M+K=N*8$ ，且 $2^k \geq M$ ；

10 所述解封装模块用于从时分多路复用网络侧收到的数据帧中找到特定时隙上的 $N*8$ 数据帧，读取该帧后 K 比特的数值以确定该帧前 M 比特中的有效信息比特个数，将其取出交给同步串口发送；

所述配置信息存储模块用于存储组网时两端约定的串行数据流占用的时隙个数 N 、所占用的特定时隙、承载信息比特的比特位数 M 和表示信息比特个数的比特位数 K ；

所述串行时钟处理模块，用于根据提取的 $2M$ 时钟基准进行分频得到两端数字终端设备的时钟；或者根据收到的 $N*8$ 数据帧后 K 比特表示的信息比特个数 W ，对 E1 接口的 $2M$ 时钟进行实时分频和修正，将一端数据电路设备的时钟透过时分多路复用网络同步恢复出来，作为与另一端数据终端设备之间同步串口的发送、接收时钟；

所述串行同步接口模块用于接收同步串行设备发来的串行数据，交给所述封装模块处理，以及将解封装后的串行数据发送给同步串行设备；

所述 E1 接口模块用于将封装好的 $N*8$ 数据帧直接插入 E1 的 HW 线在特定时隙上发送，以及从 E1 的 HW 线上接收特定时隙的数据交给解封装模块处理，并完成模数转换、帧头的标识和提取，以及 $2M$ 时钟的提取。

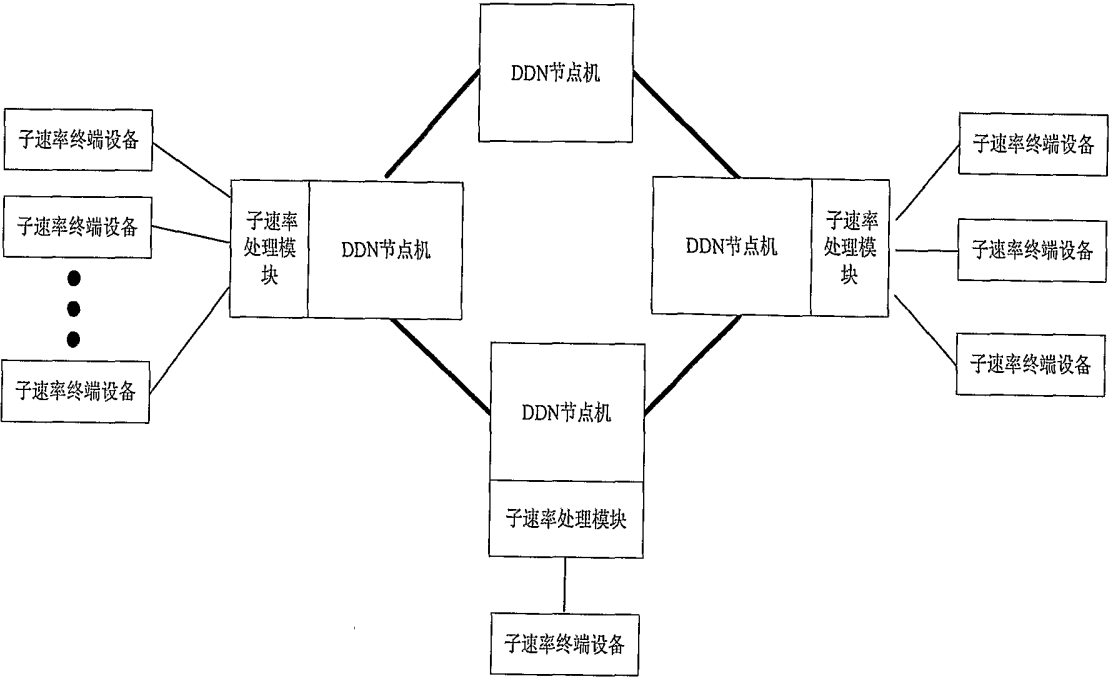


图 1

D7	D6	D5	D4	D3	D2	D1	D0
F	信息比特						S

图 2

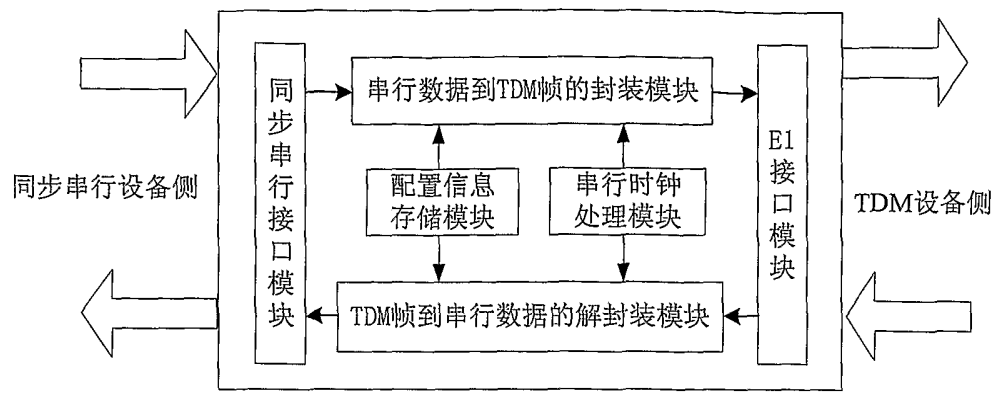


图 3

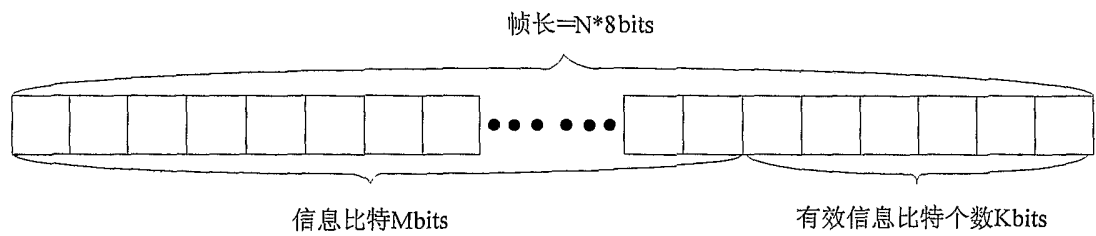


图 4

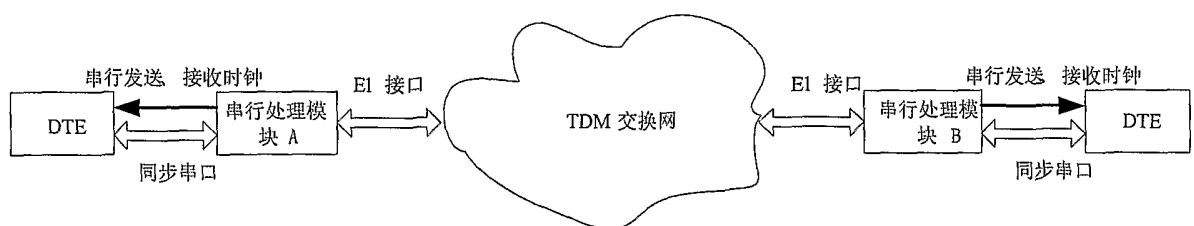


图 5

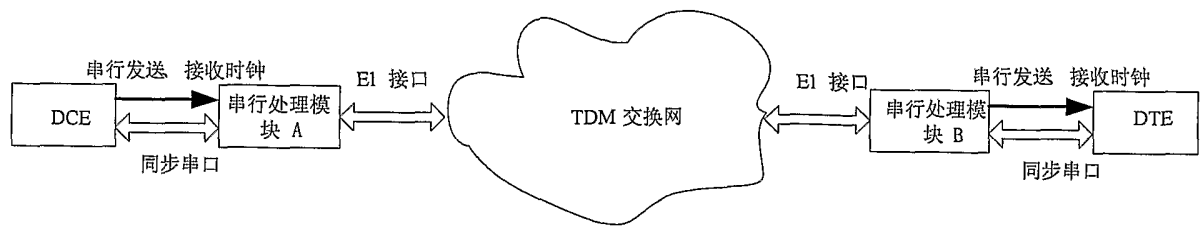


图 6

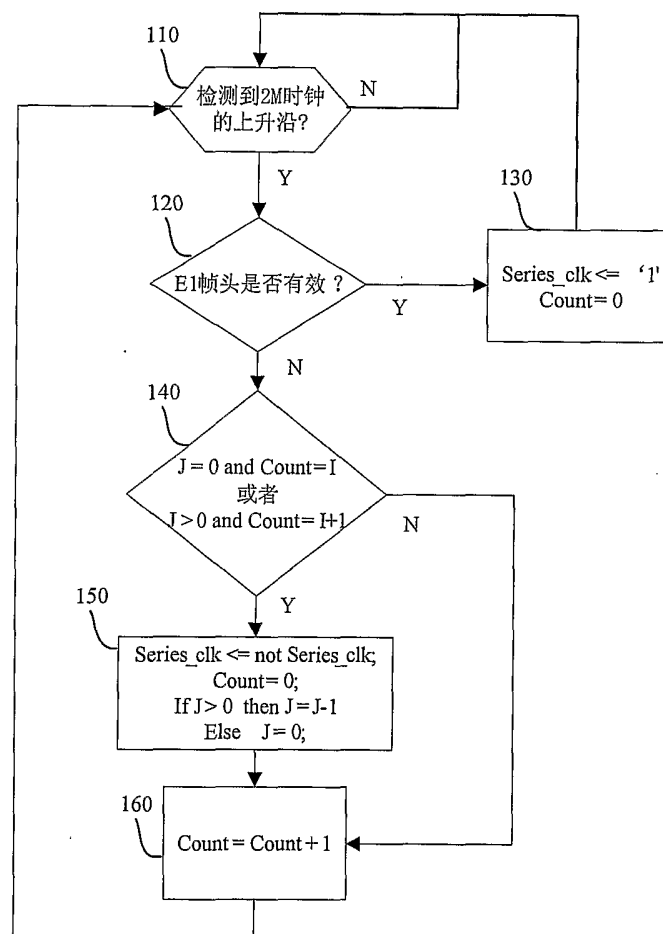


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2005/002009

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC⁸: H04J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, PAJ, CNPAT; TDM, transparent transmission, synchronous, serial, encapsulation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO2004023319A1 (ERICSSON TELEFON AB L M)18.Mar.2004(18.03.2004), see the whole document	1-14
A	CN1296347A (SAMSUNG ELECTRONICS CO LTD) 23.May 2001(23.05.2001), see the whole document	1-14
A	CN1413402A (ERICSSON TELEFON AB L M) 23.Apr.2003(23.04.2003), see the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”document member of the same patent family

Date of the actual completion of the international search

10.Feb.2006(10.02.2006)

Date of mailing of the international search report

23 · FEB 2006 (23 · 02 · 2006)

Name and mailing address of the ISA/CN

The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088

Facsimile No. (86-10)62019451

Authorized officer

FAN Xiaohan

Telephone No. (86-10)62084540

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2005/002009

CLASSIFICATION OF SUBJECT MATTER

H04J 3/00 (2006.01) i

H04J 3/06 (2006.01) i

INTERNATIONAL SEARCH REPORT

Information patent family members

Search request No.

PCT/CN2005/002009

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO2004023319A1	18.03.2004	AU2002321955A	29.03.2004
		EP1535167A1	01.06.2005
CN1296347A	23.05.2001	JP2000224199A	11.08.2001
		KR2000052546A	25.08.2000
		US6782007B	24.08.2004
CN1413402A	23.04.2003	SE9904695A	22.06.2001
		WO0147199A1	28.06.2001
		AU2416301A	03.07.2001
		SE520080C	20.05.2003
		ES2204342A	16.04.2004

国际检索报告

国际申请号

PCT/CN2005/002009

A. 主题的分类

参见附加页

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC⁸: H04J

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, PAJ, CNPAT; 时分复用, 透传, 透明传输, 同步, 串行, 封装, 帧, TDM,
transparent transmission, synchronous, serial, encapsulation

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	WO2004023319A1 (艾利森电话股份有限公司)18.3 月 2004(18.03.2004), 全文	1-14
A	CN1296347A (三星电子株式会社) 23.05 月 2001(23.05.2001), 全文	1-14
A	CN1413402A (艾利森电话股份有限公司) 23.4 月 2003(23.04.2003), 全文	1-14

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

10.2 月 2006 (10.02.2006)

国际检索报告邮寄日期

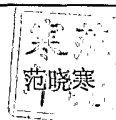
23.2月 2006 (23.02.2006)

中华人民共和国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员



电话号码: (86-10)62084540

主题的分类

H04J 3/00 (2006.01) i

H04J 3/06 (2006.01) i

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2005/002009

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
WO2004023319A1	18.03.2004	AU2002321955A	29.03.2004
		EP1535167A1	01.06.2005
CN1296347A	23.05.2001	JP2000224199A	11.08.2001
		KR2000052546A	25.08.2000
		US6782007B	24.08.2004
CN1413402A	23.04.2003	SE9904695A	22.06.2001
		WO0147199A1	28.06.2001
		AU2416301A	03.07.2001
		SE520080C	20.05.2003
		ES2204342A	16.04.2004