

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)



(10) 国際公開番号

WO 2016/203648 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2015/067766
- (22) 国際出願日: 2015 年 6 月 19 日(19.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目 2 番
2 4 号 Tokyo (JP).
- (72) 発明者: 前田 敏(MAEDA Satoshi); 〒1878588 東京
都小平市上水本町五丁目 2 0 番 1 号 ルネサス
システムデザイン株式会社内 Tokyo (JP). 森下
泰之(MORISHITA Yasuyuki); 〒1878588 東京都小
平市上水本町五丁目 2 0 番 1 号 ルネサスシ
ステムデザイン株式会社内 Tokyo (JP). 田中 正徳
(TANAKA Masanori); 〒1878588 東京都小平市上水
本町五丁目 2 0 番 1 号 ルネサスシステムデザ
イン株式会社内 Tokyo (JP).
- (74) 代理人: ポーレル特許業務法人(POLAIRE I.P.C.);
〒1030025 東京都中央区日本橋茅場町二丁目 1
3 番 1 1 号 Tokyo (JP).

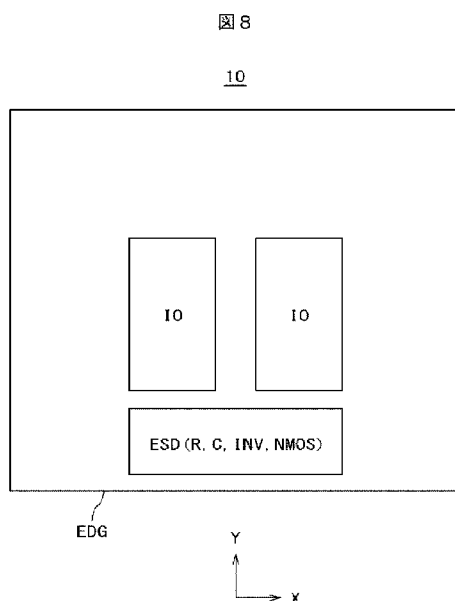
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device provided with: a first input/output circuit connected to a first pad; a second input/output circuit disposed in the direction along one side constituted by a chip edge in relation to the first input/output circuit, the second input/output circuit being connected to a second pad; and an ESD protective circuit disposed near the outer-side chip edge of the first and second input/output circuits. The ESD protection circuit is provided with a resistor, a capacitor, an inverter, and an N-channel-type transistor.

(57) 要約: 半導体装置は、第 1 のパッドに接続される第 1 の入出力回路と、第 1 の入出力回路に対しチップ端部が構成する 1 つの辺に沿う方向に配置され、第 2 のパッドに接続される第 2 の入出力回路と、第 1 および第 2 の入出力回路の外側のチップ端部の近傍に配置される ESD 保護回路と、を備える。ESD 保護回路は、抵抗と、容量と、インバータと、N チャネル型トランジスタと、を備える。

WO 2016/203648 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は半導体装置に関し、例えばE S D (Electro-Static-Discharge) 保護回路を有する半導体装置に適用可能である。

背景技術

[0002] 半導体集積回路装置 (L S Iチップ) のチップ周辺部には、複数の外部端子に対応した複数の入出力セルが配置される。電源インピーダンスの低減と安定化等のために複数の入出力セルに対して複数の電源セルが配置される。入出力セルおよび電源セルにE S D保護回路が内蔵される。本開示に関連する先行技術文献としては、例えば、特表2005-536046号公報またはこれに対応する国際公開第2004/015776号がある。

先行技術文献

特許文献

[0003] 特許文献1：特表2005-536046号公報
特許文献2：国際公開第2004/015776号

発明の概要

発明が解決しようとする課題

[0004] 製品の多機能化や電源ドメイン分離数の増加等により、配置すべき電源セル (E S D保護回路) が増加し、チップ面積が増加する。

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0005] 本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。
すなわち、半導体装置は入出力セルの配列方向に長いE S D保護回路を入出力セルの外側に備える。E S D保護回路は抵抗と容量とインバータとNチャネル型トランジスタとで構成される。

発明の効果

[0006] 上記半導体装置によれば、チップ面積の増加を抑制することができる。

図面の簡単な説明

[0007] [図1]比較例に係る半導体装置の概略レイアウト図。

[図2]図1のI/O領域のブロック図。

[図3]図2の入出力セルの回路図。

[図4]図2の電源セルの回路図。

[図5]図4の破線A内のESD保護回路のレイアウト図。

[図6]図1のI/O領域の第1の例の概略レイアウト図。

[図7]図1のI/O領域の第2の例の概略レイアウト図。

[図8]実施形態に係る半導体装置を説明するための図。

[図9]実施例1に係る半導体装置の概略レイアウト図。

[図10]図9のI/O領域のブロック図。

[図11]図9のESD保護回路の回路図。

[図12]図9のESD保護回路のレイアウト図。

[図13]図9のESD保護回路のレイアウト図。

[図14]変形例1に係る半導体装置の第1のESD保護回路のレイアウト図。

[図15]変形例2に係る半導体装置のI/O領域の回路図。

[図16]図15のI/O領域のレイアウト図。

[図17]変形例3に係る半導体装置のI/O領域のレイアウト図。

[図18]変形例4に係る半導体装置のI/O領域のレイアウト図。

[図19]図18のパッドを透視したレイアウト図。

[図20]図18のパッドを取り除いたレイアウト図。

[図21]変形例5に係る半導体装置のI/O領域の電源線と接地線の結線図。

[図22]図21のI/O領域のレイアウト図。

[図23]変形例6に係る半導体装置のI/O領域のレイアウト図。

[図24]図23のI/O領域の回路図。

[図25]図23のI/O領域の課題を説明するためのレイアウト図。

[図26]図23のI/O領域の課題を解決する手段を説明するためのレイアウト図。

[図27]実施例2に係る半導体装置の概略レイアウト図。

[図28]図27のI/O領域の回路図。

発明を実施するための形態

[0008] 以下、実施形態、実施例および変形例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。なお、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。

[0009] 本開示に先立って本願発明者らによって検討された技術（以下、比較例という。）に係る半導体装置について説明する。

図1は比較例に係る半導体装置の概略レイアウトを示す平面図である。半導体装置10Sはチップの外周部に入出力セル11および電源セル12、13を備える。入出力セル11および電源セル12、13が配置される領域をI/O領域という。I/O領域はチップ端部21、22、23、24に近接して、平面視でチップ端部21、22、23、24が構成する4つの辺に沿っている。チップ端部21、23が構成する2つの辺はX方向に沿って伸びている。チップ端部22、24が構成する2つの辺はY方向に沿って伸びている。入出力セル11は1つの入出力パッドに接続される入出力回路の形成領域である。電源セル12、13はESDやノイズから半導体装置を保護するESD保護回路およびチップ内部へ電源またはGND（接地電位）を供給する配線の形成領域である。電源インピーダンスを均等に小さくする必要から、電源セル12、13は、複数の入出力セル11毎に分散して配置され、入出力セル11と入出力セル11の間へ隣接して配置される。半導体装置10Sは電源ドメインが1つであるが、電源セル12、13は1つのチップ辺に対向するI/O領域に3か所ずつ配置されている。

[0010] 図2は図1のI/O領域のブロック図であり、電源セルおよび入出力セルと

電源との接続関係を示す図である。入出力セル 11 は入出力端子 (I/O) 112 に接続される入出力回路 111 を内蔵する。電源セル 12 は電源端子 (VDD) 122 に対応する ESD 保護回路 121 を備え、電源セル 13 は接地端子 (VSS) 123 に対応する ESD 保護回路 121 を備える。入出力端子 112、電源端子 122、接地端子 123 は、それぞれ入出力セル 11、電源セル 12、13 の上に配置されるが、それぞれ入出力セル 11、電源セル 12、13 から離れて配置されてもよい。入出力端子 112、電源端子 122、接地端子 123 はボンディングワイヤ等に接続され、それぞれ入出力パッド、電源パッド、接地パッドともいう。

- [0011] 図 3 は図 2 の入出力セルの回路図である。入出力セル 11 を構成する入出力回路 111 は、入出力端子 112 に接続される信号配線 216 に出力信号を伝える P チャネル型トランジスタ Q2 及び N チャネル型トランジスタ Q3 を含む出力回路と、入出力端子 112 から信号配線 216 を介して入力された入力信号を受けるインバータ INV1 を含む入力回路 INV3 と、ESD 保護回路を構成するダイオード D1、D2 とを備えている。P チャネル型トランジスタ Q2 は電源配線 211 と信号配線 216 との間に接続され、N チャネル型トランジスタ Q3 は信号配線 216 と接地配線 212 との間に接続され、インバータ INV3 は電源配線 211 と接地配線 212 との間に接続される。ダイオード D1 のアノードは信号配線 216 に接続され、カソードは電源配線 211 に接続される。ダイオード D2 のアノードは接地配線 212 に接続され、カソードは信号配線 216 に接続される。ダイオード D1 は、入出力端子 112 から信号配線 216 および電源配線 211 を介し電源端子 122 に向かうサージ電流を流し、ダイオード D2 は、接地端子 123 から接地配線 212 および信号配線 216 を介し入出力端子 112 に向かうサージ電流を流すようにされる。出力回路として、P チャネル型トランジスタ Q2 を有さない、いわゆるオープンドレイン型であってもよい。また、入出力回路には出力回路および入力回路をいずれか一方を備えていなくてもよい。

[0012] 図4は図2の電源セルの回路図である。電源セル12、13を構成するESD保護回路121は、正のサージ電圧を検出する時定数回路(RCタイマともいう。)126と、バッファ回路であるインバータINV1と、かかるサージ電圧を高速に放電させるために大きなサイズにされたNチャネル型トランジスタQ1と、ダイオードD3とで構成される。RCタイマ126は抵抗R1と容量C1とからなる積分回路で構成される。抵抗R1の一端は電源配線211を介して電源端子122に接続され、他端は容量C1の一端とインバータINV1の入力に接続される。容量C1の一端は抵抗R1の他端とインバータINV1の入力に接続され、他端は接地配線212を介して接地端子123に接続される。容量C1のチャージ電圧は、インバータINV1の入力端子に供給される。インバータINV1の出力はNチャネル型トランジスタQ1のゲートに接続される。インバータINV1は、電源端子122から電源配線211を介して動作電圧を受けて動作する。Nチャネル型トランジスタQ1のドレインは電源配線211を介して電源端子122に接続され、ソースは接地配線212を介して接地端子123に接続され、バックゲートは接地配線212を介して接地端子123に接続される。電源端子122と接地端子123との間には負のサージ電圧を放電させるためのダイオードD3が設けられる。ダイオードD3のアノードは接地配線212に接続され、カソードは電源配線211に接続される。ダイオードD3は、接地端子123から接地配線212および電源配線211を介して電源端子122に向かうようサージ電流を流す。

[0013] 例えば、電源端子122に正のサージ電圧が発生したとき、インバータINV1には電源端子122から動作電圧が供給され、インバータINV1の入力端子には時定数回路126により遅れてサージ電圧に対応したハイレベルが伝えられる。したがって、インバータINV1は、電源端子122に正のサージ電圧が発生した時から容量C1のチャージ電圧がインバータ回路INV1の論理しきい値電圧に到達するまでの間ハイレベルを維持し、Nチャネル型トランジスタQ1をオン状態にしてサージ電圧を放電させる。

- [0014] なお、インバータ I N V 1、I N V 3 は、それぞれ P チャネル型トランジスタと N チャネル型トランジスタとから構成される。また、P チャネル型トランジスタ Q 2、N チャネル型トランジスタ Q 1、Q 3 およびインバータ I N V 1、I N V 3 の P チャネル型トランジスタと N チャネル型トランジスタの各トランジスタはいわゆる M O S F E T であるが、ゲートは金属に限定されるものではなく、ゲート絶縁膜も酸化膜に限定されるものではない。
- [0015] 図 5 は図 4 の破線 A 内の E S D 保護回路のレイアウト図であり、図 1 の下辺（チップ端部 2 1）側に配置される電源セルの向きに合わせている。チップ端部側から N チャネル型トランジスタ Q 1、インバータ I N V 1、R C タイマ 1 2 6 の順に配置されている。電源セル 1 2、1 3 は入出力セル 1 1 と同様に X 方向の長さ（セル幅（W））が Y 方向の長さ（セル高さ（H））よりも短い。
- [0016] 図 6 は図 1 の I O 領域の第 1 の例の概略レイアウト図であり、電源セルの高さを入出力セルの高さに合わせた場合である。図 7 は図 1 の I O 領域の第 2 の例の概略レイアウト図であり、電源セルの幅を入出力セルの幅に合わせた場合である。電源セル 1 2、1 3 は入出力セル 1 1 よりも大きなサイズになってしまう。このため、セルサイズの異なる入出力セル 1 1 と電源セル 1 2、1 3 が混在して配置されることとなる。
- [0017] 製品の多機能化や電源ドメイン分離数の増加等により、配置すべき E S D 保護回路（電源セル）が増加する。さらに、ピン数の増加（入出力パッドネットワーク）によってチップ面積が増加する。I O 領域の電源配線や接地配線の周回配線に抵抗があるため E S D 保護回路の配置が必要であるが、入出力パッドネットワークにより本来 I O 領域へ配置すべき E S D 保護回路を I O 領域の内側へ配置することも必要になる。しかし、これによってチップ内部領域の圧迫や I O 領域の周回配線との接続、凹凸部発生等で設計がより複雑化する。また、プロセスの微細化が進むにつれ、周回配線の配線抵抗が上昇するため、配置すべき E S D 保護回路の増加や配線領域の増加等でチップ面積が増加する。E S D 保護回路を内蔵する電源セルは、入出セルと比べてセルサイズが

大きく、セル高さを入出力セルとセル高さを合わせるとセル幅が大きくなる。また、仕様上セルサイズが大きい入出力セルがあり、他の入出力セルのセル幅と合わせるとＩＯ領域から突出する部分（凹凸）が発生する。

[0018] <実施形態>

次に、比較例に係る半導体装置の課題を解決する実施形態に係る半導体装置について説明する。

図８は実施形態に係る半導体装置の構成を示すレイアウト図である。半導体装置１０は、Ｘ方向に直列に配置される複数の入出力回路（ＩＯ）と、複数の入出力回路（ＩＯ）の外側（チップ端部（ＥＤＧ））側に配置されるＥＳＤ保護回路（ＥＳＤ）と、を備える。ＥＳＤ保護回路（ＥＳＤ）は、抵抗（Ｒ）と、容量（Ｃ）と、インバータ（ＩＮＶ）と、Ｎチャネル型トランジスタ（ＮＭＯＳ）と、を備える。

入出力回路よりも大きいＥＳＤ保護回路を入出力回路列に配置しないので、チップ面積の増加を抑制することができる。

実施例 １

[0019] 図９は実施例１に係る半導体装置の概略レイアウトを示す平面図である。

半導体装置１０Ａは、一つの半導体基板で構成されるチップの外周部に入出力セル１１および電源セル１２Ａ、１３Ａを備える。入出力セル１１および電源セル１２Ａ、１３Ａが配置される領域をＩＯ領域という。ＩＯ領域はチップ端部２１、２２、２３、２４に近接して、平面視でチップ端部２１、２２、２３、２４が構成する４つの辺に沿っている。チップ端部２１、２３が構成する２つの辺はＸ方向に沿って伸びている。チップ端部２２、２４が構成する２つの辺はＹ方向に沿って伸びている。入出力セル１１は１つの入出力パッドに接続される入出力回路の形成領域である。電源セル１２Ａ、１３ＡはＥＳＤやノイズから半導体装置を保護するダイオードＤ３およびチップ内部へ電源またはＧＮＤ（接地電位）を供給する配線の形成領域である。電源インピーダンスを均等に小さくする必要から、電源セル１２Ａ、１３Ａは、複数の入出力セル１１毎に分散して配置され、入出力セル１１と入出力セ

ル 1 1 の間へ隣接して配置される。E S D 保護回路 1 2 4 は入出力セル 1 1、電源セル 1 2 A、1 3 A よりも外側（チップ端部 2 1、2 2、2 3、2 4 側）に近接して配置され、チップ端部の 4 辺に沿ってそれぞれ延在する。なお、半導体装置 1 0 A のチップの四隅にはコーナセル 1 6 を備える。コーナセル 1 6 には電源配線および接地配線を備える。半導体装置 1 0 A は I O 領域よりも内側に内部回路を備える。半導体装置 1 0 A は半導体装置 1 0 S と同様、電源ドメインは 1 つであり、電源セル 1 2 A、1 3 A は 1 つのチップ辺に沿う I O 領域に 1 か所ずつ配置されている。なお、電源セル 1 2 A、1 3 A の配置個数はこれに限定されるものではなく、各半導体テクノロジーにおける保護素子の放電特性や配線インピーダンス等によって規定される。ただし、半導体装置 1 0 A が電源セルと E S D 保護回路を除いて、半導体装置 1 0 S と同等であれば、半導体装置 1 0 A の電源セル 1 2 A、1 3 A の配置個数は、半導体装置 1 0 S の電源セル 1 2、1 3 の配置個数よりも少なくすることができ、パッドネック解消に寄与することができる。

[0020] 図 1 0 は実施例 1 に係る電源セルおよび入出力セルと電源との接続関係を示す回路図であり、図 9 の下辺（チップ端部 2 1）側に配置される I O 領域の向きに合わせている。図 1 1 は図 9 の E S D 保護回路 1 2 4 の回路図である。入出力セル 1 1 は入出力端子（I/O）1 1 2 に接続される入出力回路 1 1 1 を内蔵する。電源セル 1 2 A は電源端子（V D D）1 2 2 からチップ内部へ電源を供給する電源配線 2 1 1 に接続する配線 2 1 7 および E S D 保護回路であるダイオード D 3 を備える。電源セル 1 3 A は接地端子（V S S）1 2 3 からチップ内部へ接地電位を供給する接地配線 2 1 2 に接続する配線 2 1 8 を備える。電源セル 1 2 A は図 4 の E S D 保護回路 1 2 1 のうちダイオード D 3 を備えるが、E S D 保護回路 1 2 1 のその他の回路は備えない。電源セル 1 3 A は E S D 保護回路 1 2 1 を備えない。すなわち、E S D 保護回路 1 2 4 は入出力セル 1 1、電源セル 1 2 A、1 3 A の外に位置する。E S D 保護回路 1 2 4 は図 4 の E S D 保護回路 1 2 1 の破線 A 内の回路と同様であり、電源配線 2 1 3、接地配線 2 1 4 に接続される。電源配線 2 1 1

、接地配線 2 1 2、電源配線 2 1 3、接地配線 2 1 4 は X 方向に沿って伸び、チップ端部 2 1 から接地配線 2 1 4、電源配線 2 1 3、接地配線 2 1 2、電源配線 2 1 1 の順に配置される。電源配線 2 1 1 と電源配線 2 1 3 とは接続され、接地配線 2 1 2 と接地配線 2 1 4 とは接続される。入出力端子 (I/O) 1 1 2、電源端子 1 2 2、接地端子 1 2 3 は、それぞれ入出力セル 1 1、電源セル 1 2 A、1 3 A の上に平面視で重なるように配置されるが、それぞれ入出力セル 1 1、電源セル 1 2 A、1 3 A から平面視で離れて配置されてもよい。図 9 の右辺 (チップ端部 2 2)、上辺 (チップ端部 2 3)、左辺 (チップ端部 2 4) 側に配置される電源セルおよび入出力セルと電源との接続関係もチップ端部 2 1 側に配置される電源セルおよび入出力セルと電源との接続関係と同様である。

[0021] 図 1 2 は図 1 1 の ESD 保護回路のレイアウト図であり、図 9 の下辺 (チップ端部 2 1) 側に配置される ESD 保護回路 1 2 4 の向きに合わせている。図 1 3 は図 1 1 の ESD 保護回路のレイアウト図であり、2 つ配置した場合を示している。チップ端部 2 4 側から N チャネル型トランジスタ Q 1、インバータ I N V 1、RC タイマ 1 2 6 の順に配置されている。チップ端部 2 2 側から N チャネル型トランジスタ Q 1、インバータ I N V 1、RC タイマ 1 2 6 の順に配置してもよい。ESD 保護回路 1 2 4 は入出力セル 1 1 や電源セル 1 2 A、1 3 A と異なり、X 方向の長さ (セル幅 (W)) が Y 方向の長さ (セル高さ (H)) よりも長い。すなわち、ESD 保護回路 1 2 4 のセルは高さを抑えた横長の形状である。1 つの ESD 保護回路 1 2 4 は複数の入出力セル 1 1 と対向している。また、ESD 保護回路 1 2 4 は X 方向に沿って複数縦列に配置されている。図 9 の右辺 (チップ端部 2 2)、上辺 (チップ端部 2 3)、左辺 (チップ端部 2 4) 側に配置される ESD 保護回路 1 2 4 もチップ端部 2 1 側に配置される ESD 保護回路 1 2 4 と同様に配置される。ESD 保護回路 1 2 4 は図 9 では I/O 領域の外側へ配置しているが、I/O 領域の内側に配置してもよい。

[0022] 実施例によれば、全ての入出力セルの直近に ESD 保護回路 1 2 4 が配置

されるため、ESD設計制約（IO領域の電源線や接地線の周回配線抵抗）の規定値を大幅に緩和させることができる。また、入出力セル間に配置する電源セル12Aには電源の引き込みメタル配線および電源線と接地線との間のダイオードD3を配置し、ESD保護回路124を配置していない。また、電源セル13Aには接地の引き込みメタル配線を配置し、ESD保護回路121を配置していない。これにより、電源セル12A、13Aは入出力セル11の面積よりも小さくすることができ、電源セル12A、13Aのセル幅およびセル高さを入出力セル11のセル幅およびセル高さと合わせることが可能となる。これは、ESD保護回路の削減効果であり、ESD保護回路をIO領域の内側配置で対応するケースも大幅に減る。これに付帯して発生していたチップ内部領域の圧迫やIO領域の周回配線との接続、凹凸部発生など、設計が複雑化する問題も解消することができる。また、比較例のIO領域の電源セルに配置されていたESD保護回路の面積を削減でき、その分チップ1辺辺りの長さを短縮することが可能となる。これにより、入出力パッドネックによる面積増加の問題が解消され、チップ面積を縮小することができる。

[0023] <変形例1>

実施例1のESD保護回路のセルレイアウトを変更した例（変形例1）について説明する。

図14は変形例1に係る半導体装置のESD保護回路のレイアウト図であり、図9の下辺（チップ端部21）側に配置されるESD保護回路の向きに合わせている。変形例1に係る半導体装置は二つのESD保護回路で持つRCタイマを共有化する。チップ端部24側からNチャネル型トランジスタQ1、インバータINV1、RCタイマ126、インバータINV1、Nチャネル型トランジスタQ1の順に配置されている。図14の第1のESD保護回路124AはX方向に沿って複数縦列に配置される。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部24）側に配置されるESD保護回路124Aもチップ端部21側に配置されるESD保護回

路 1 2 4 A と同様に配置される。

[0024] これにより、変形例 1 のチップで占める R C タイマ 1 2 6 の総面積を実施例 1 に対して半減させることができる。例えば、図 1 3 に示すように、R C タイマ 1 2 6 が E S D 保護回路 1 2 4 の 3 0 % の面積を占めるとすると、図 1 4 に示すように、変形例 1 の E S D 保護回路 1 2 4 A の面積は 1 5 % 削減することができる。

[0025] <変形例 2>

実施例 1 の入出力セルに別機能を追加した例（変形例 2）について説明する。

図 1 5 は変形例 2 に係る半導体装置の I O 領域の回路図であり、図 9 の下辺（チップ端部 2 1）側に配置される I O 領域の向きに合わせている。図 1 6 は図 1 5 の I O 領域のレイアウト図である。変形例 2 に係る半導体装置は通常の入出力セル 1 1 と異なる入出力セル 1 1 A を備える。入出力セル 1 1 A は入出力セル 1 1 の機能に加えて、シュミットトリガのノア（N O R）1 1 4 やインバータ 1 1 5 等の論理回路で構成される機能を備える。ノア 1 1 4 およびインバータ 1 1 5 は電源配線 2 1 1 と接地配線 2 1 2 とに接続される。この結果、入出力セル 1 1 A は入出力セル 1 1 よりも面積が大きくなる。例えば、入出力セル 1 1 A のセル幅を入出力セル 1 1 のセル幅に合わせると、入出力セル 1 1 A のセル高さが入出力セル 1 1 のセル高さよりも高くなる。しかし、入出力セル 1 1 A が配置される箇所に E S D 保護回路 1 2 4 を配置しないようにすることにより、入出力セル 1 1 A の高さが高くなった部分を吸収することが可能となる。面積の異なる様々な仕様の入出力セルにおいてセル幅を合せた場合や細幅化を行った際、チップ内側へ突き出るセルが存在する。この突出し部を E S D 保護回路 1 2 4 の配置領域で吸収するように配置する。図 9 の右辺（チップ端部 2 2）、上辺（チップ端部 2 3）、左辺（チップ端部 2 4）側に配置される入力セル 1 1 A もチップ端部 2 1 側に配置される入力セル 1 1 A と同様に配置される。

[0026] これにより、入出力セル幅の統一（または細幅化）で、等ピッチ化（狭ピ

タッチ化)による面積削減が可能となる。また、入出力セルの平坦化によるチップ内部領域の圧迫や凹凸部発生など、設計の複雑化が解消される。

[0027] <変形例3>

実施例1のパッドの位置を変更した例(変形例3)について説明する。

図17は変形例3に係る半導体装置のI/O領域のレイアウト図であり、図9の下辺(チップ端部21)側に配置されるI/O領域の向きに合わせている。変形例3に係る半導体装置は入出力端子112、電源端子122および接地端子123をESD保護回路124とチップ端21との間に配置した例である。入出力端子112、電源端子122および接地端子123の幅は、入出力セル11と同程度か小さい幅である。変形例3の半導体装置の入出力セル11、電源セル12A、13AおよびESD保護回路124は実施例1と同様である。図9の右辺(チップ端部22)、上辺(チップ端部23)、左辺(チップ端部24)側に配置される入出力端子112、電源端子122および接地端子123もチップ端部21側に配置される入出力端子112、電源端子122および接地端子123と同様に配置される。

[0028] なお、変形例3に係る半導体装置では、電源端子122に接続される電源配線211の電源電圧(VDD1)および接地端子123に接続される接地配線212の接地電圧(VSS1)が入出力回路111で使用され、電源配線221の電源電圧(VDD2)および接地配線222の接地電圧(VSS2)は内部回路で使用される。I/O領域には電源電圧(VDD1)および接地電圧(VSS1)の配線の他に電源電圧(VDD2)および接地電圧(VSS2)の配線が配置される。電源電圧(VDD2)および接地電圧(VSS2)は降圧回路によって、電源電圧(VDD1)および接地電圧(VSS1)から生成してもよいし、電源端子および接地端子を介して外部から供給するようにしてもよい。

[0029] <変形例4>

実施例1のパッドを千鳥配置にした例(変形例4)について説明する。

図18は変形例4に係る半導体装置のI/O領域のレイアウト図であり、図

9の下辺（チップ端部21）側に配置されるI/O領域の向きに合わせている。図19は図18のパッドを透視したレイアウト図である。図20は図18のパッドを取り除いたレイアウト図である。変形例4に係る半導体装置は、入出力セル11を変形例3よりも細幅化（セル高さは大きく）して、入出力端子112、電源端子122、接地端子123をI/O領域に千鳥配置（ジグザグ状に配置）して構成される。変形例4に係る入力端子112、電源端子122、接地端子123の幅は入出力セル11、電源セル12A、13Aの幅よりも大きい。よって、1つの入出力端子112または電源端子122または電源端子123は、入出力セル11または電源セル12Aまたは電源セル13Aが隣接する3つのセルに平面視で重なるようになる。1つの電源端子122は隣接する入出力セル11と電源セル13Aに平面視で重なる。変形例4の半導体装置の入出力セル11、電源セル12A、13AおよびESD保護回路124はセル形状を除いて実施例1、変形例3と同様である。図9の右辺（チップ端部22）、上辺（チップ端部23）、左辺（チップ端部24）側に配置される入出力端子112、電源端子122および接地端子123もチップ端部21側に配置される入出力端子112、電源端子122および接地端子123と同様に配置される。

[0030] 千鳥配置によって入出力パッドネックを改善できるので、チップ面積を削減することができる。

[0031] <変形例5>

実施例1の電源配線／接地配線の配置を変更した例（変形例5）について説明する。

図21は変形例5に係る半導体装置のI/O領域の電源配線と接地配線の結線図であり、図9の下辺（チップ端部21）側に配置されるI/O領域の向きに合わせている。図22は図21のI/O領域のレイアウト図である。変形例5では、実施例1のESD保護回路124の電源配線213と接地配線214の配置を入れ替え、それに伴いNチャネル型トランジスタおよびPチャネル型トランジスタなど配置を替えている。これ以外については、変形例5は

実施例 1 と同様である。入出力セル 1 1 と E S D 保護回路 1 2 4 が隣接する側のそれぞれの内側に接地配線 2 1 2、2 1 4 を配置接続する。図 2 2 のレイアウト例では、入出力セル 1 1 および E S D 保護回路 1 2 4 と、パッド 1 2 2 とは平面視で重なるが、見やすくするために、図 2 2 では重なる部分ではいずれか一方のみを記載している。図の左側に入出力セル 1 1 と E S D 保護回路 1 2 4 の配置を示し、その右側にパッド 1 2 2 の配置を示している。入出力セル 1 1 に接続する電源配線 2 1 1 を配置する領域、入出力セル 1 1 に接続する接地配線 2 1 2 および E S D 保護回路 1 2 4 に接続する接地配線 2 1 4 の領域、E S D 保護回路 1 2 4 に接続する電源配線 2 1 3 を配置する領域はそれぞれ X 方向に沿って伸びる。入出力セル 1 1 の電源配線 2 1 1 と E S D 保護回路 1 2 4 の電源配線 2 1 3 同士を配線 2 1 5 で接続する。配線 2 1 5 は、電源配線 2 1 1、2 1 3 のメタルよりも上層の低抵抗のメタルであり、パッド 1 2 2 間のスペースに配置される。図 9 の右辺（チップ端部 2 2）、上辺（チップ端部 2 3）、左辺（チップ端部 2 4）側に配置される電源配線および接地配線もチップ端部 2 1 側に配置される電源配線および接地配線と同様に配置される。

[0032] これにより抵抗値や電流密度といった設計制約に対応し易い配線構造となる。また、接地配線の結線がし易くなり同層のメタルで接続することができるため、配線総数の少ない製品においてはより大きな効果が得られる。

[0033] <変形例 6>

電源ドメインが複数の例（変形例 6）について説明する。

図 2 3 は変形例 6 に係る半導体装置の I O 領域のレイアウト図であり、図 9 の下辺（チップ端部 2 1）側に配置される I O 領域の向きに合わせている。図 2 4 は図 2 3 の I O 領域の回路図である。変形例 3 のように I O 領域で使用する電源と内部回路で使用する電源を異ならせる場合、半導体装置内は複数の電源領域（電源ドメイン）を備えることになる。変形例 6 に係る半導体装置では、電源（V D D 1）および接地（V S S 1）で動作する電源ドメイン P D 1 と、電源（V D D 2）および接地（V S S 2）で動作する電源ド

メインPD2とを備え、IO領域にも電源ドメインPD1と電源ドメインPD2を備える。電源ドメインPD1および電源ドメインPD2のそれぞれは、実施例1と同様に入出力セル11、電源セル12A、13AおよびESD保護回路124を備える。変形例6に係る半導体装置は、IO領域の電源ドメインPD1と電源ドメインPD2との間にブリッジセル（ブリッジ回路）14を備える。ブリッジセル14は電源ドメインPD1の接地配線212と電源ドメインPD2の接地配線222とを接続する双方向のダイオードD4、D5を備える。ダイオードD4のアノードは接地配線212に接続され、カソードは接地配線222に接続される。ダイオードD5のアノードは接地配線222に接続され、カソードは接地配線212に接続される。電源配線211と電源配線221は分離されている。

[0034] 図25は図23のIO領域の課題を説明するためのレイアウト図である。図26は図23のIO領域の課題を解決する手段を説明するためのレイアウト図である。例えば、IO領域の第2の電源ドメインが内部回路で電源セル12A、13Aのみで構成されるように小規模な電源ドメインでは、ESD保護回路124の幅が電源セル12A、13Aおよびブリッジセル14の幅よりも広くなり、デッドスペース15が発生してしまう。この場合は、図26の比較例のようにESD保護回路124を含む電源セル12、13を用いる方がよい場合がある。

実施例 2

[0035] 実施例1と比較例とを組み合わせた例（実施例2）について説明する。

図27は実施例2に係る半導体装置の概略レイアウト図である。図28は図27のIO領域の回路図であり、図27の下辺（チップ端部21）側に配置されるIO領域の向きに合わせている。半導体装置10Bには電源ドメインが4種類あり、図面上チップの左上と右下に実施例1に係る技術を適用した電源ドメインが2種類、左下と右上に比較例に係る技術を適用する電源ドメインが2種類ある。すなわち、半導体装置10Bは一つの半導体基板上に4つの電源ドメインPD1、PD2、PD3、PD4を備える。電源ドメイ

ンPD1、PD3のIO領域は、チップの外周部に実施例1と同様なIO領域（入出力セル11、入出力端子112、電源セル12A、13A、電源端子122、接地端子123およびESD保護回路124）を備える。電源ドメインPD2、PD4のIO領域は、チップの外周部に比較例と同様なIO領域（入出力セル11、入出力端子112、電源セル12、13、電源端子122および接地端子123）を備える。電源ドメインPD1、PD2、PD3、PD4のIO領域のそれぞれの境界にはブリッジセル（ブリッジ回路）14を備える。電源ドメインPD2、PD4のIO領域の面積は電源ドメインPD1、PD3のIO領域の面積よりも小さい。言い換えると、電源ドメインPD2、PD4のIO領域がチップ端部に沿う方向の長さは電源ドメインPD1、PD3のIO領域がチップ端部に沿う方向の長さよりも小さい。

[0036] 電源ドメインPD1の入出力セル11は電源配線211および接地配線212に接続され、電源セル12Aは電源配線211および接地配線212に接続され、電源セル13Aは接地配線212に接続される。ESD保護回路124は電源配線213および接地配線212に接続される。電源配線211、接地配線212、電源配線213はY方向（チップ端22が構成する辺が延在する方向）に沿って伸び、チップ端部22から電源配線213、接地配線212、電源配線211の順に配置される。電源ドメインPD1には、入出力セル11、電源セル12A、13AがX方向に直列に配置する部分もあり、この部分では電源配線211、接地配線212、電源配線213はX方向（チップ端21が構成する辺が延在する方向）に沿って伸びる。

[0037] 電源ドメインPD2の入出力セル11は電源配線221および接地配線222に接続され、電源セル12は電源配線221および接地配線222に接続され、電源セル13は電源配線221および接地配線222に接続される。電源配線221、接地配線222はY方向に沿って伸び、チップ端部22から接地配線222、電源配線221の順に配置される。

[0038] 電源ドメインPD1と電源ドメインPD2との間にブリッジセル14を備

える。ブリッジセル 1 4 は電源ドメイン P D 1 の接地配線 2 1 2 と電源ドメイン P D 2 の接地配線 2 2 2 とを接続する双方向のダイオード D 4、D 5 を備える。ダイオード D 4 のアノードは接地配線 2 1 2 に接続され、カソードは接地配線 2 2 2 に接続される。ダイオード D 5 のアノードは接地配線 2 2 2 に接続され、カソードは接地配線 2 1 2 に接続される。電源配線 2 1 1 と電源配線 2 2 1 は分離されている。

[0039] 電源ドメイン P D 1 の入出力端子 (I/O) 1 1 2、電源端子 1 2 2、接地端子 1 2 3 は、それぞれ入出力セル 1 1、電源セル 1 2 A、1 3 A の上に平面視で重なるように配置されるが、それぞれ入出力セル 1 1、電源セル 1 2 A、1 3 A から平面視で離れて配置されてもよい。電源ドメイン P D 2 の入出力端子 (I/O) 1 1 2、電源端子 1 2 2、接地端子 1 2 3 は、それぞれ入出力セル 1 1、電源セル 1 2、1 3 の上に平面視で重なるように配置されるが、それぞれ入出力セル 1 1、電源セル 1 2、1 3 から平面視で離れて配置されてもよい。

[0040] 電源ドメイン P D 3 の I O 領域は電源ドメイン P D 1 の I O 領域と同様な構成である。また、電源ドメイン P D 4 の I O 領域は電源ドメイン P D 2 の I O 領域と同様な構成である。ただし、電源ドメイン P D 4 の I O 領域はチップの角部に配置され、チップ端部 2 1 に対向する部分とチップ端部 2 4 に対向する部分を有する。

[0041] なお、半導体装置 1 0 B のチップの四隅にはコーナセル 1 6 を備える。同一電源ドメイン内のコーナセル 1 6 は当該電源ドメインの電源配線および接地配線を備える。半導体装置 1 0 B は半導体装置 1 0 A と同様に I O 領域よりも内側に内部回路を備える。

[0042] 小規模な電源ドメインに比較例に係る E S D 保護回路を配置し、大規模な電源ドメインに実施例 1 に係る E S D 保護回路を配置することにより、チップ面積の増加を抑制することができる。電源ドメインの規模に応じて、部分的に比較例の E S D 保護回路を入出力回路と直列に配置することにより、例えばアナログ回路用の電源ドメインには比較例の E S D 保護回路を用いるこ

とでのアナログ回路のノイズの影響等を抑えることができる。

[0043] 実施例 1 および変形例 1 から 6 を適宜組み合わせることができる。また、実施例 1 の変形例 1 から 5 を実施例 2 の変形例とすることができる。また、実施例 2 および変形例 1 から 5 を適宜組み合わせることができる。

[0044] 以上、本発明者によってなされた発明を実施形態、実施例および変形例に基づき具体的に説明したが、本発明は、上記実施形態、実施例および変形例に限定されるものではなく、種々変更可能であることはいうまでもない。

符号の説明

[0045] 1 0、1 0 A、1 0 B、1 0 S . . . 半導体装置

1 1 . . . 入出力セル

1 1 1 . . . 入出力回路

D 1、D 2 . . . ダイオード

Q 2 . . . Pチャネル型トランジスタ

Q 3 . . . Nチャネル型トランジスタ

I N V 3 . . . インバータ

1 1 2 . . . 入出力端子（入出力パッド）

1 2、1 3 . . . 電源セル

1 2 1 . . . E S D保護回路

1 2 2 . . . 電源端子（電源パッド）

1 2 3 . . . 接地端子（接地パッド）

1 2 A . . . 電源セル

1 2 4 . . . E S D保護回路

1 2 6 . . . R Cタイマ

R 1 . . . 抵抗

C 1 . . . 容量

I N V 1 . . . インバータ

Q 1 . . . Nチャネル型トランジスタ

1 3 A . . . 電源セル

D 3 . . . ダイオード

1 4 . . . ブリッジセル（ブリッジ回路）

1 6 . . . コーナセル

2 1、2 2、2 3、2 4 . . . チップ端部

D 4、D 5 . . . ダイオード

請求の範囲

[請求項1]

半導体装置は、

第1のパッドに接続される第1の入出力回路と、

前記第1の入出力回路に対しチップ端部が構成する1つの辺に沿う方向に配置され、第2のパッドに接続される第2の入出力回路と、

前記第1および第2の入出力回路の外側の前記チップ端部の近傍に配置される第1のESD保護回路と、

を備え、

前記第1のESD保護回路は、第1の抵抗と、第1の容量と、第1のインバータと、第1のNチャネル型トランジスタと、を備える。

[請求項2]

請求項1の半導体装置において、

第1の電源パッドに接続される第1の電源配線と、

第1の接地パッドに接続される第1の接地配線と、

を備える。

[請求項3]

請求項2の半導体装置において、

前記第1および第2の入出力回路は、それぞれ、信号配線にアノードが接続され第1の電源配線にカソードが接続される第1のダイオードと、第1の接地配線にアノードが接続され前記信号配線にカソードが接続される第2のダイオードと、前記信号配線に接続される出力回路または入力回路と、を備える。

[請求項4]

請求項3の半導体装置において、

前記第1の抵抗の一端は前記第1の電源配線に接続され、

前記第1の抵抗の他端は前記第1の容量の一端に接続され、

前記第1の容量の他端は前記第1の接地配線に接続され、

前記第1の抵抗の他端は第1のインバータの入力に接続され、

前記第1のインバータの出力は第1のNチャネル型トランジスタのゲート電極に接続され、

前記第1のNチャネル型トランジスタは前記第1の電源配線と前記

第1の接地配線との間に電流経路を構成するようにされる。

[請求項5]

請求項4の半導体装置において、

前記第1の入出力回路と前記第2の入出力回路との間に配置され、
前記第1の接地配線にアノードが接続され前記第1の電源配線にカソードが接続される第3のダイオードを備える。

[請求項6]

請求項2の半導体装置において、

前記第1のESD保護回路に対し前記1つの辺に沿う方向に配置される第2のESD保護回路を備え、

前記第2のESD保護回路は、前記第1の電源配線に一端が接続される第2の抵抗と、前記第2の抵抗の他端に一端が接続され前記第1の接地配線に他端が接続される第2の容量と、前記第2の抵抗の他端が入力される第2のインバータと、前記第2のインバータの出力にゲート電極が接続され前記第1の電源配線と前記第1の接地配線との間に電流経路を構成する第2のNチャネル型トランジスタと、を備える。

[請求項7]

請求項2の半導体装置において、

前記第1の保護回路に対し前記1つの辺に沿う方向に配置される第3のESD保護回路を備え、

前記第3のESD保護回路は、前記第1の抵抗の他端が入力される第3のインバータと、前記第3のインバータの出力にゲート電極が接続され前記第1の電源配線と前記第1の接地配線との間に電流経路を構成する第3のNチャネル型トランジスタと、を備える。

[請求項8]

請求項2の半導体装置において、

前記第1のパッドは平面視で前記第1の入出力回路が形成される領域に重なるように配置され、

前記第2のパッドは平面視で前記第2の入出力回路が形成される領域に重なるように配置される。

[請求項9]

請求項8の半導体装置において、

前記第1のパッドは平面視で前記第1の入出力回路が形成される領域および前記第2の入出力回路が形成される領域に重なるように配置され、

前記第2のパッドは平面視で前記第2の入出力回路が形成される領域および前記第1の入出力回路が形成される領域に重なるように配置される。

[請求項10]

請求項2の半導体装置において、

前記第1のパッドは平面視で前記第1のESD保護回路が形成される領域よりも前記1つの辺に近い側に配置され、

前記第2のパッドは平面視で前記第1のESD保護回路が形成される領域よりも前記1つの辺に近い側に配置される。

[請求項11]

請求項5の半導体装置において、

前記第1の電源配線は、前記1つの辺に沿う方向に延在する第3および第4の電源配線を有し、

前記第1の接地配線は、前記1つの辺に沿う方向に延在する第3および第4の接地配線を有し、

前記第3の電源配線は前記第1のダイオードのカソードと前記第3のダイオードのカソードとに接続され、

前記第3の接地配線は前記第2のダイオードのアノードと前記第3のダイオードのアノードとに接続され、

前記第4の電源配線は前記第1の抵抗の一端と前記第1のNチャネル型トランジスタに接続され、

前記第4の接地配線は前記第1の容量の他端と前記第1のNチャネル型トランジスタとに接続される。

[請求項12]

請求項11の半導体装置において、

前記チップ端部側から前記第4の接地配線、前記第4の電源配線、前記第3の接地配線、前記第3の電源配線の順に配置される。

[請求項13]

請求項11の半導体装置において、

前記チップ端部側から前記第4の電源配線、前記第4の接地配線、
前記第3の接地配線、前記第3の電源配線の順に配置される。

[請求項14]

請求項2の半導体装置において、
第2の電源パッドに接続される第2の電源配線と、
第2の接地パッドに接続される第2の接地配線と、
前記第1の入出力回路に対しチップ縁辺に沿う方向に配置される第3のESD保護回路と、
を備え、

前記第3のESD保護回路は、前記第2の電源配線に一端が接続される第3の抵抗と、前記第3の抵抗の他端に一端が接続され前記第2の接地配線に他端が接続される第3の容量と、前記第3の抵抗の他端が入力される第3のインバータと、前記第3のインバータの出力にゲート電極が接続され前記第2の電源配線と前記第2の接地配線との間に電流経路構成する第2のNチャネル型トランジスタと、前記第2の接地配線にアノードが接続され前記第2の電源配線にカソードが接続される第4のダイオードと、を備え、

[請求項15]

請求項14の半導体装置において、
前記第1の接地配線と前記第2の接地配線とを接続するブリッジ回路を備え、

前記ブリッジ回路は、前記第1の接地配線にアノードが接続され前記第2の接地配線にカソードが接続される第5のダイオードと、前記第2の接地配線にアノードが接続され前記第1の接地配線にカソードが接続される第6のダイオードと、を備える。

[請求項16]

半導体装置は、
第1の電源パッドと第1の接地パッドとに接続される第1の電源ドメインと、
第2の電源パッドと第2の接地パッドとに接続される第2の電源ドメインと、

を備え、

前記第1の電源ドメインは、

第1のパッドに接続される第1の入出力回路と、

前記第1の入出力回路に対しチップ端部が構成する1つの辺に沿う方向に配置され、第2のパッドに接続される第2の入出力回路と、

前記第1および第2の入出力回路の前記チップ端部側の近傍に配置される第1のESD保護回路と、

を備え、

前記第1のESD保護回路は、第1の抵抗と、第1の容量と、第1のインバータと、第1のNチャネル型トランジスタと、を備え、

前記第2の電源ドメインは、

前記第1の入出力回路に対しチップ縁辺に沿う方向に配置される第2のESD保護回路と、

を備え、

前記第2のESD保護回路は、第2の抵抗と、第2の容量と、第2のインバータと、第2のNチャネル型トランジスタと、第4のダイオードと、を備え、

前記第1の電源ドメインと前記第2の電源ドメインの間に前記第1の接地配線と前記第2の接地配線とを接続するブリッジ回路を備える。

[請求項17]

請求項16の半導体装置において、

第1の電源パッドに接続される第1の電源配線と、

第1の接地パッドに接続される第1の接地配線と、

を備え、

前記第1および第2の入出力回路は、それぞれ、信号配線にアノードが接続され第1の電源配線にカソードが接続される第1のダイオードと、第1の接地配線にアノードが接続され前記信号配線にカソードが接続される第2のダイオードと、前記信号配線に接続される出力回

路または入力回路と、を備え、

前記第1の抵抗の一端は前記第1の電源配線に接続され、

前記第1の抵抗の他端は前記第1の容量の一端に接続され、

前記第1の容量の他端は前記第1の接地配線に接続され、

前記第1の抵抗の他端は第1のインバータの入力に接続され、

前記第1のインバータの出力は第1のNチャネル型トランジスタのゲート電極に接続され、

前記第1のNチャネル型トランジスタは前記第1の電源配線と前記第1の接地配線との間に電流経路を構成するようにされる。

[請求項18]

請求項17の半導体装置において、

前記第1の入出力回路と前記第2の入出力回路との間に配置され、

前記第1の接地配線にアノードが接続され前記第1の電源配線にカソードが接続される第3のダイオードを備える。

[請求項19]

請求項17の半導体装置において、

前記第1の接地配線と前記第2の接地配線とを接続するブリッジ回路を備え、

前記ブリッジ回路は、前記第1の接地配線にアノードが接続され前記第2の接地配線にカソードが接続される第5のダイオードと、前記第2の接地配線にアノードが接続され前記第1の接地配線にカソードが接続される第6のダイオードと、を備え、

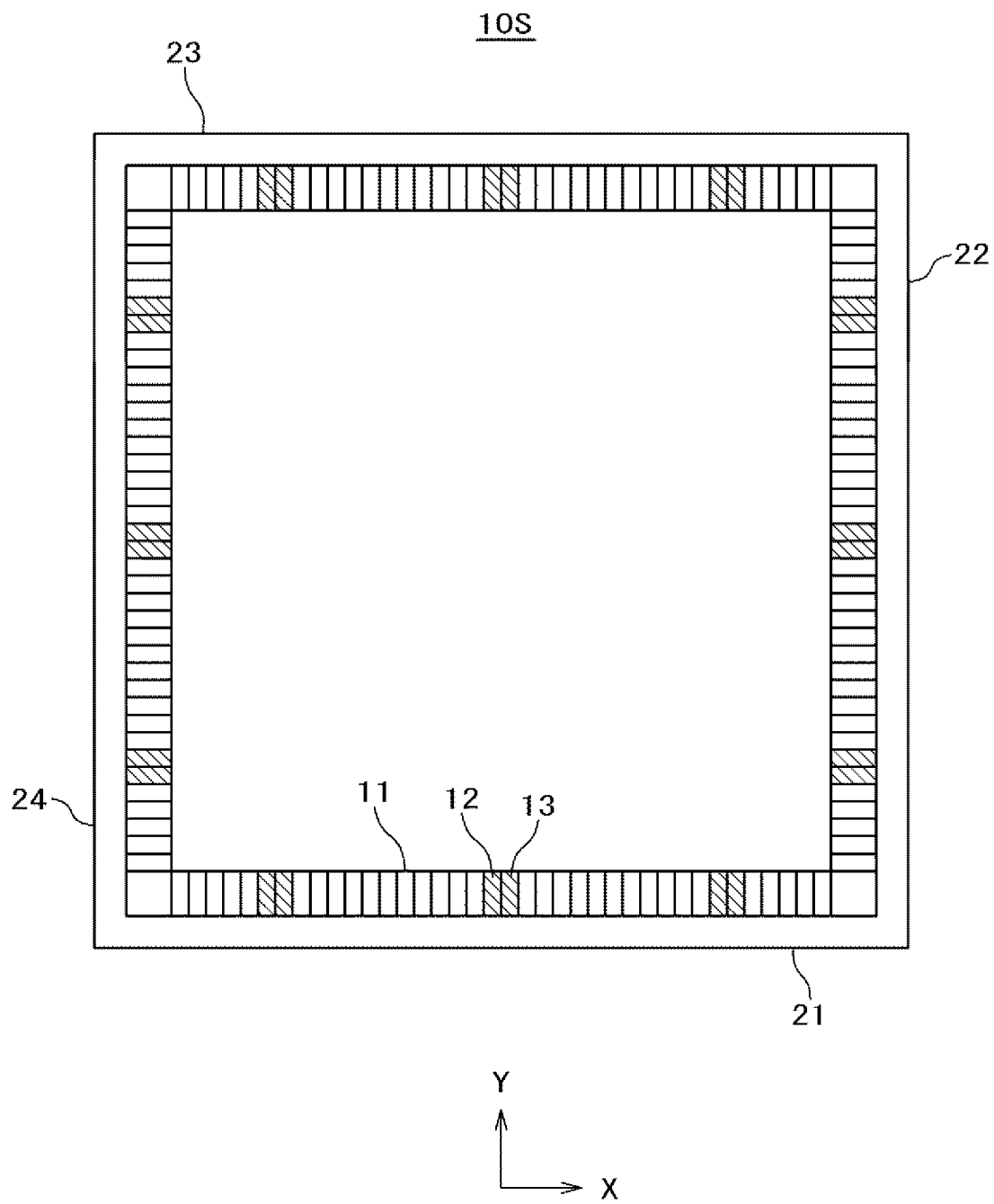
[請求項20]

請求項16の半導体装置において、

前記第2の電源ドメインの前記1つの辺に沿う方向の長さは前記第1の電源ドメインの前記1つの辺に沿う方向の長さよりも小さい。

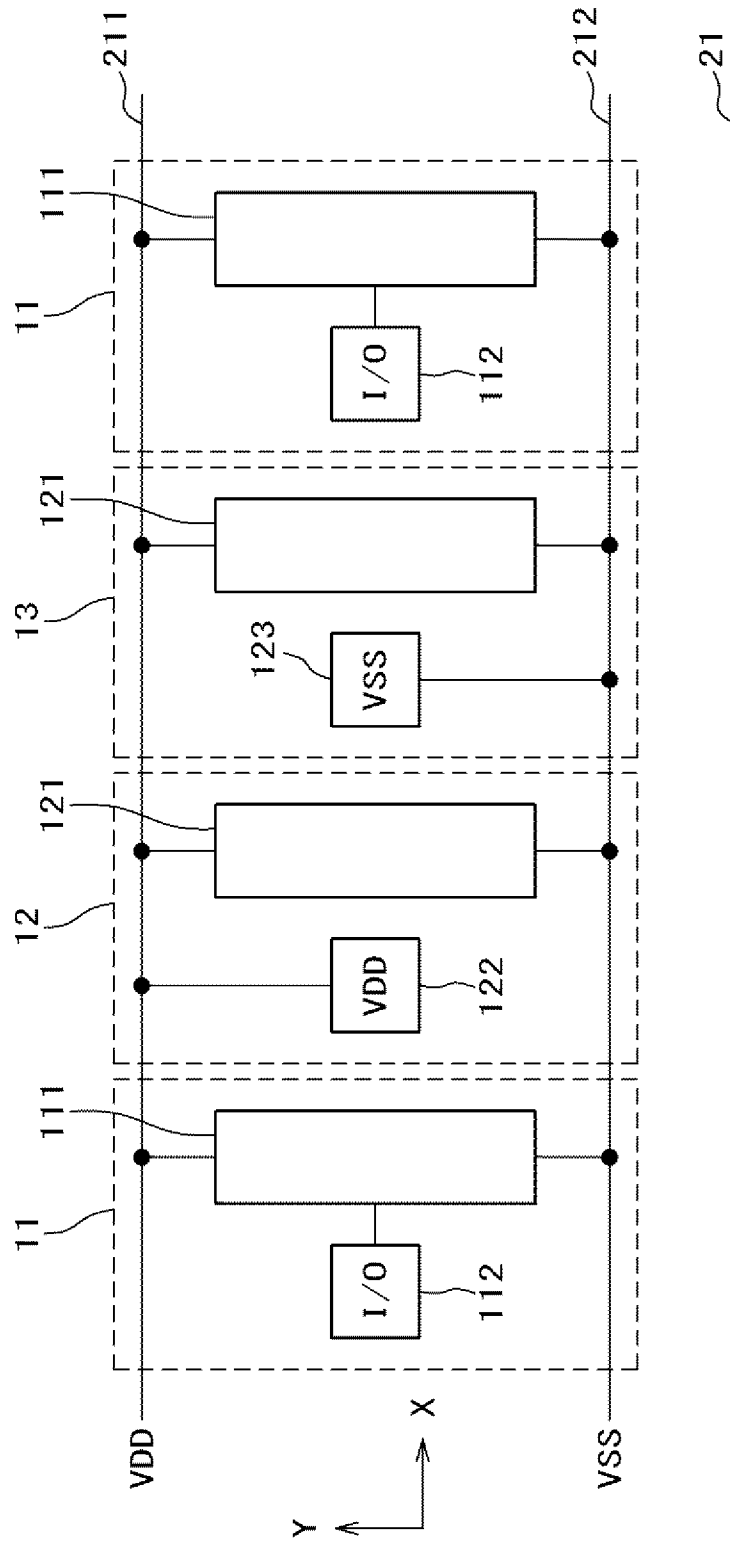
[図1]

図 1



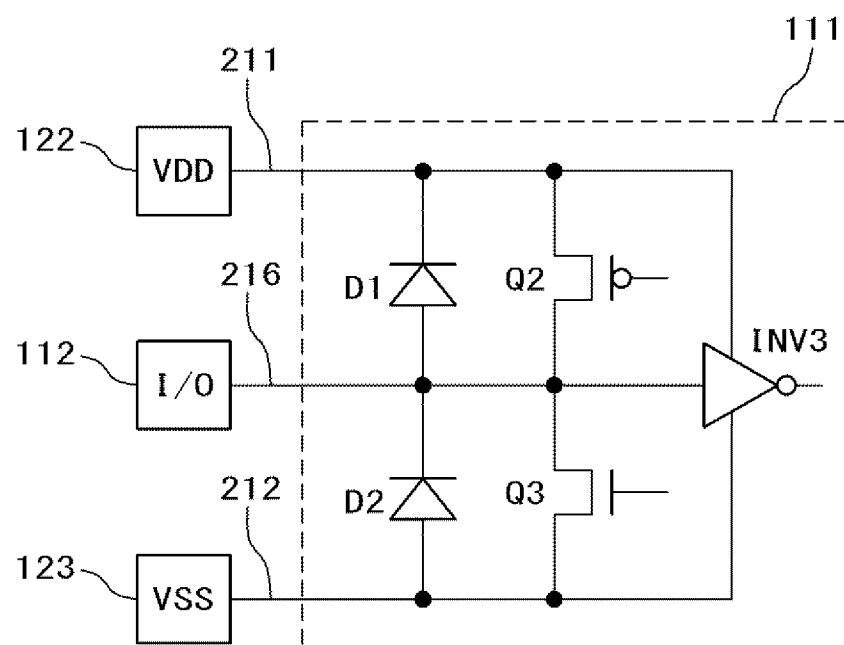
[図2]

図 2



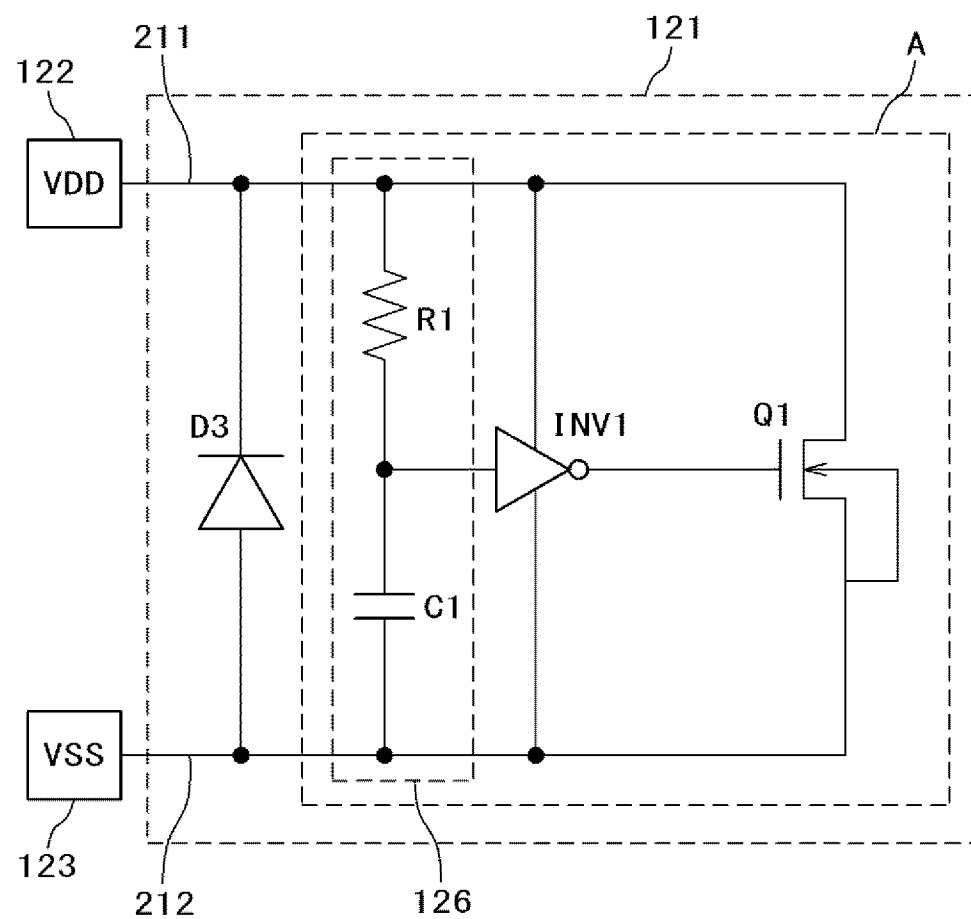
[図3]

図 3



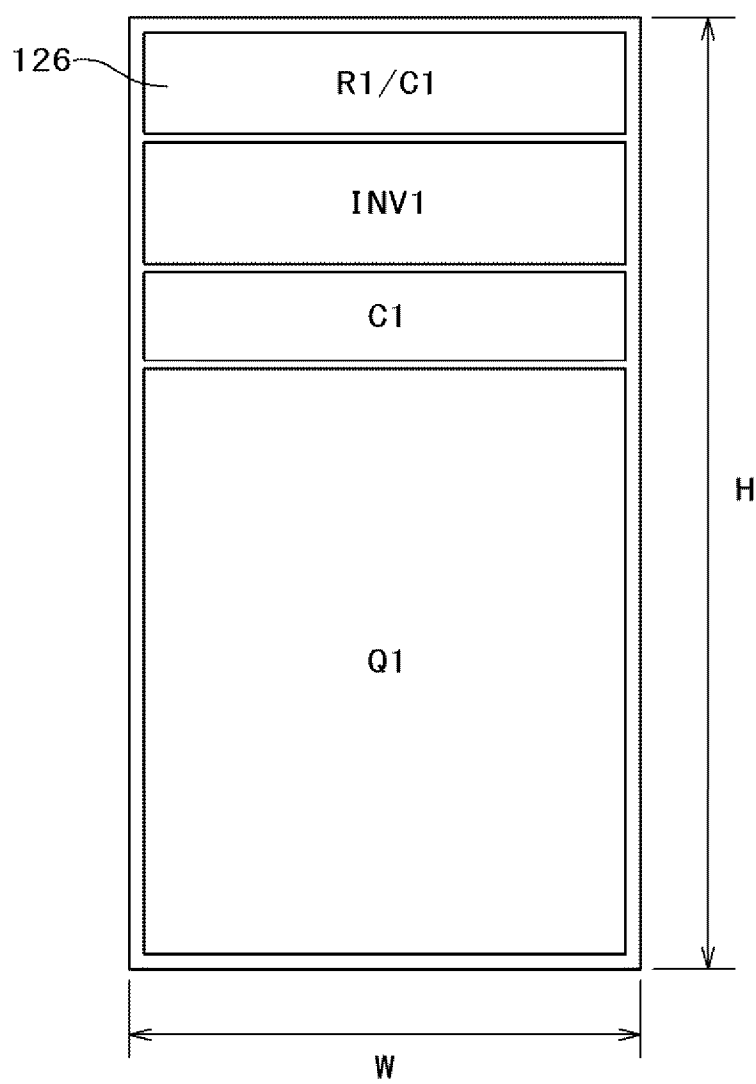
[図4]

図 4



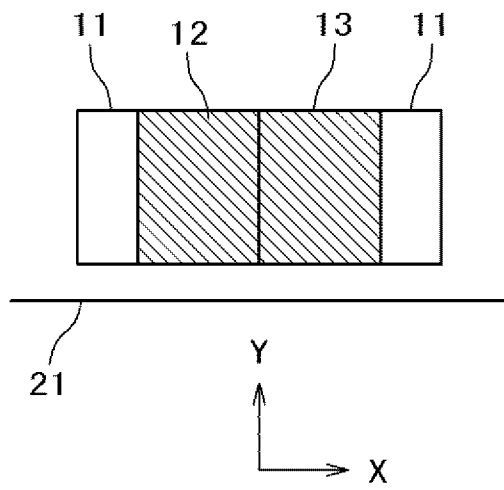
[図5]

図 5

124

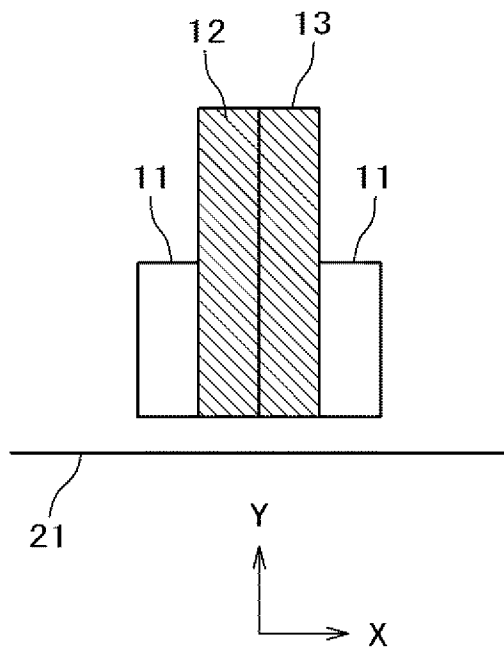
[図6]

図 6



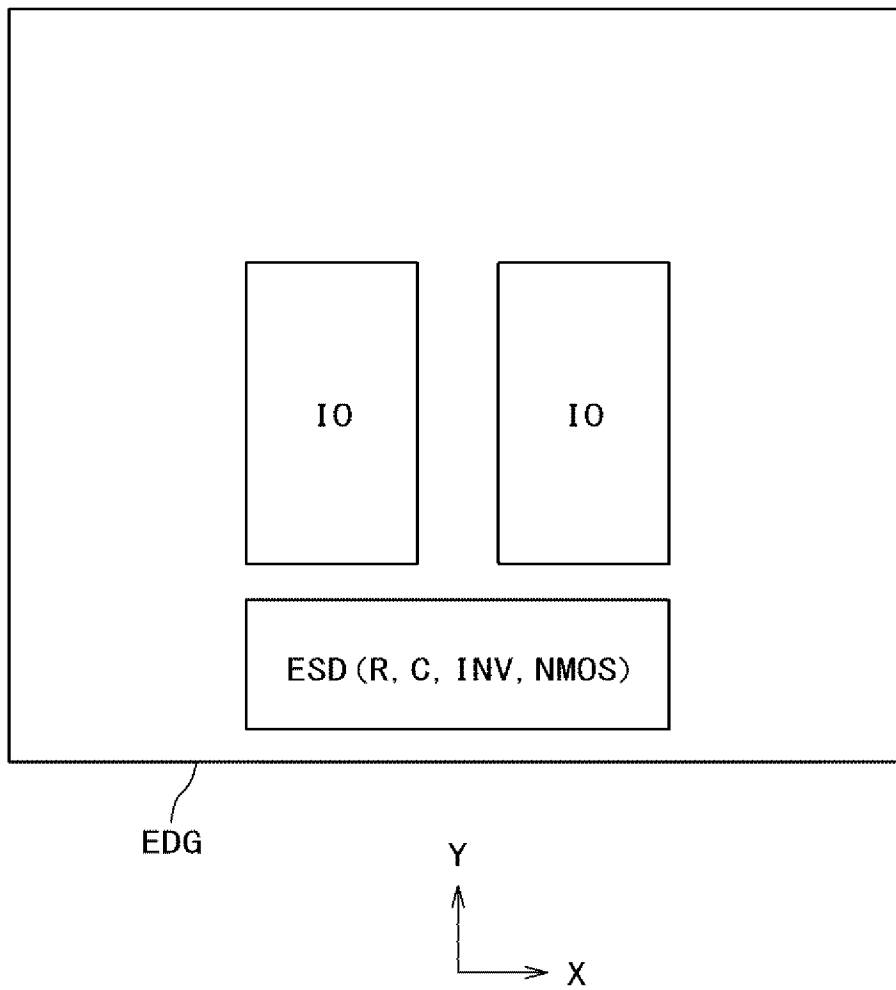
[図7]

図 7



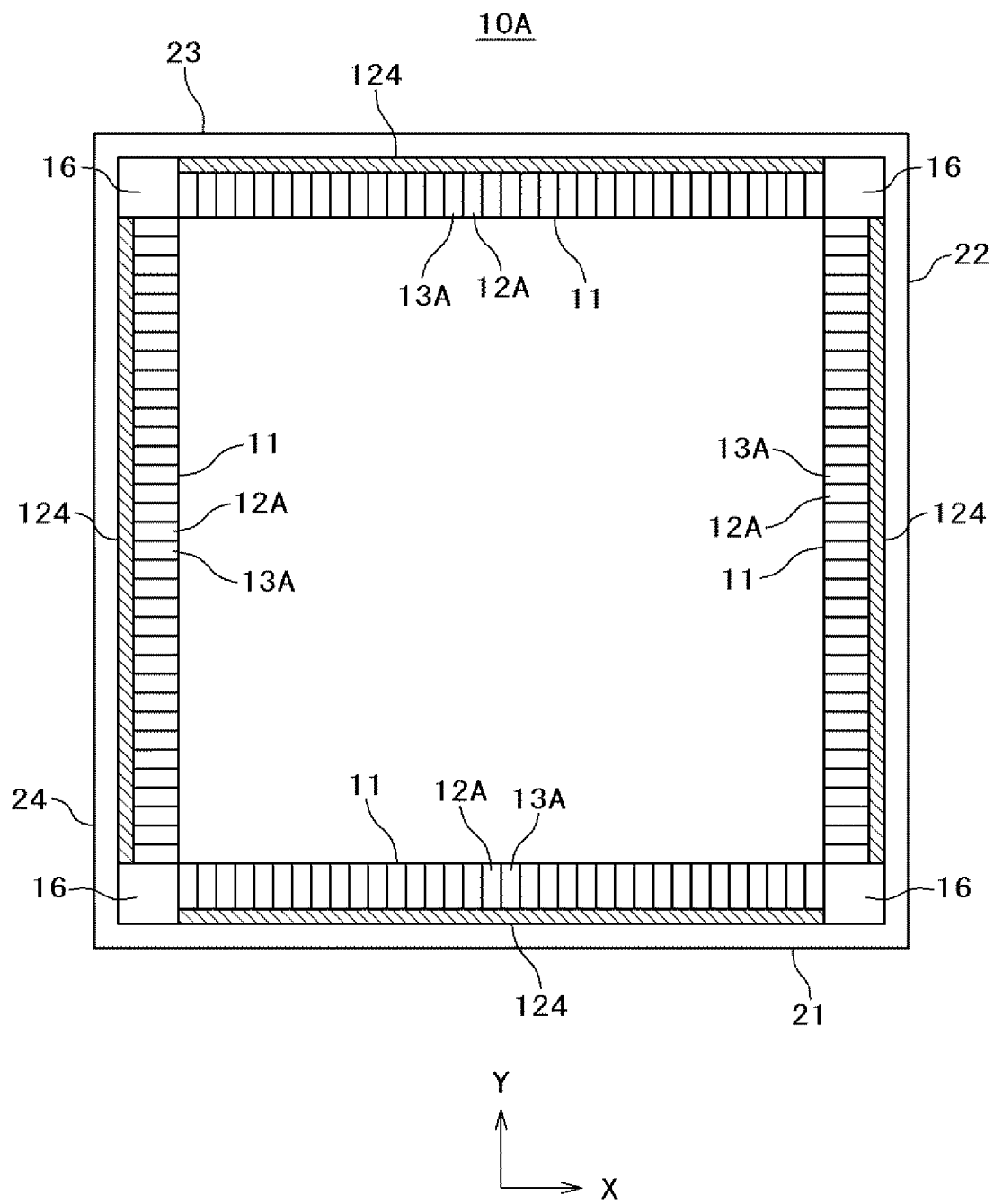
[図8]

図 8

10

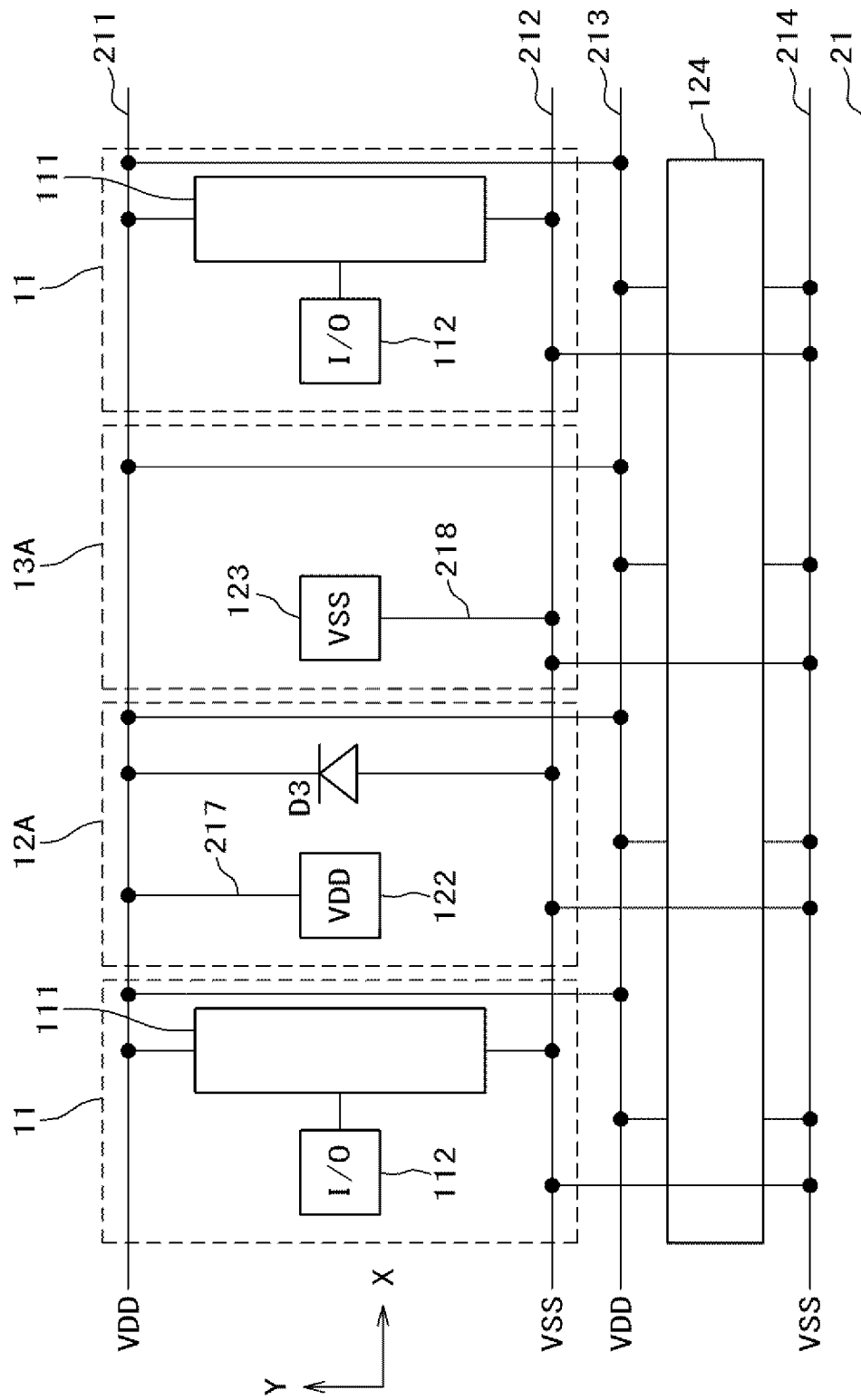
[図9]

図 9



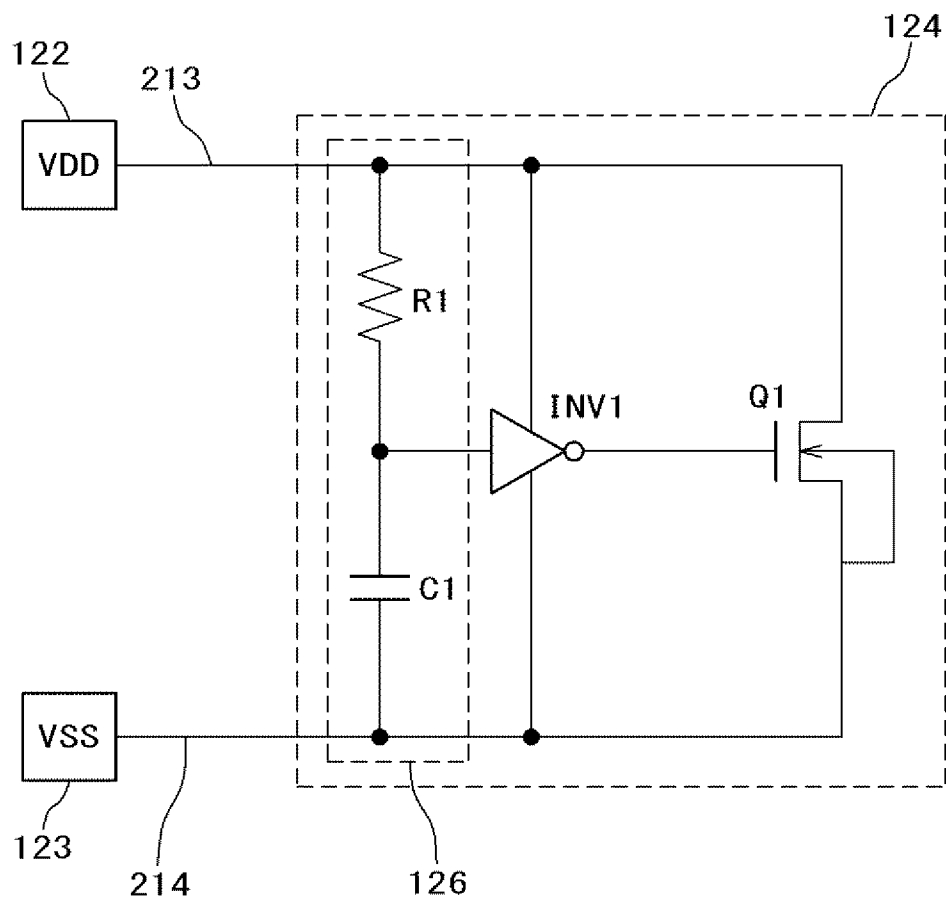
[図10]

図10



[図11]

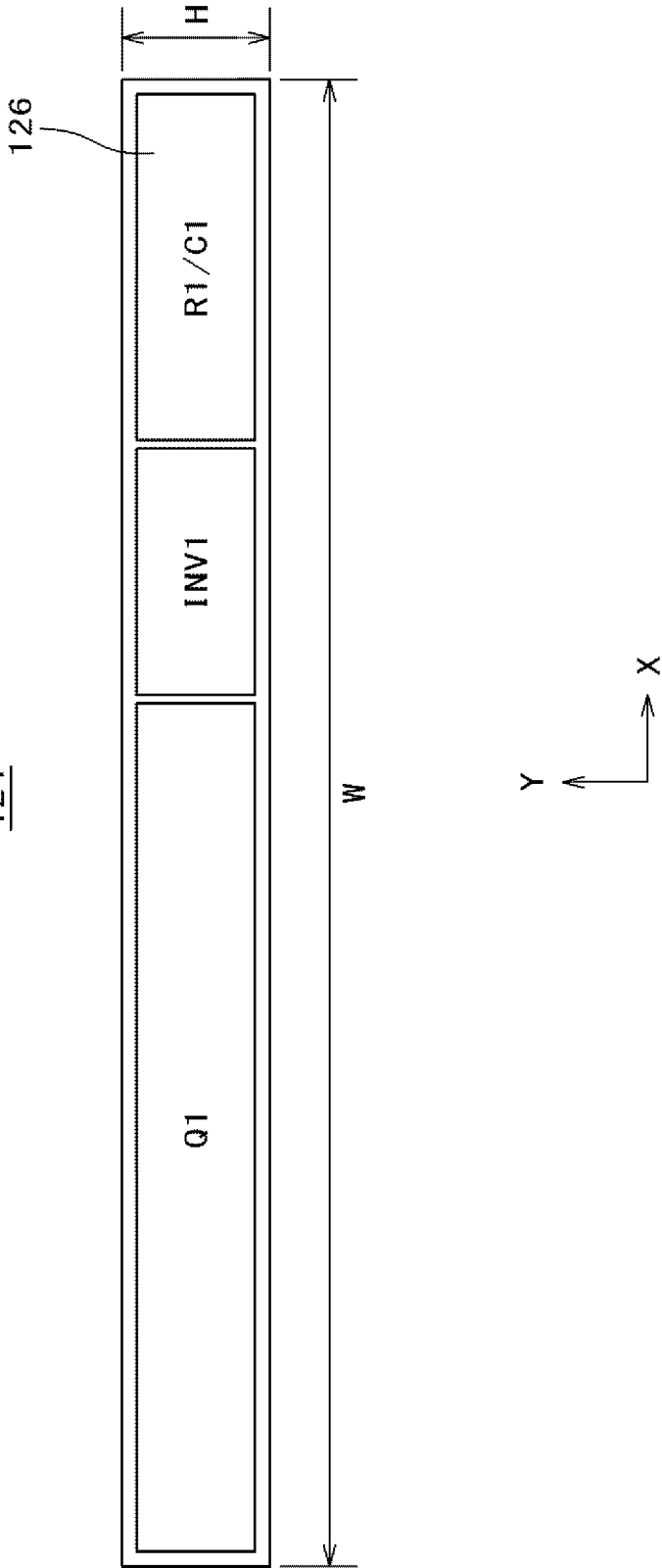
図 1 1



[図12]

図 12

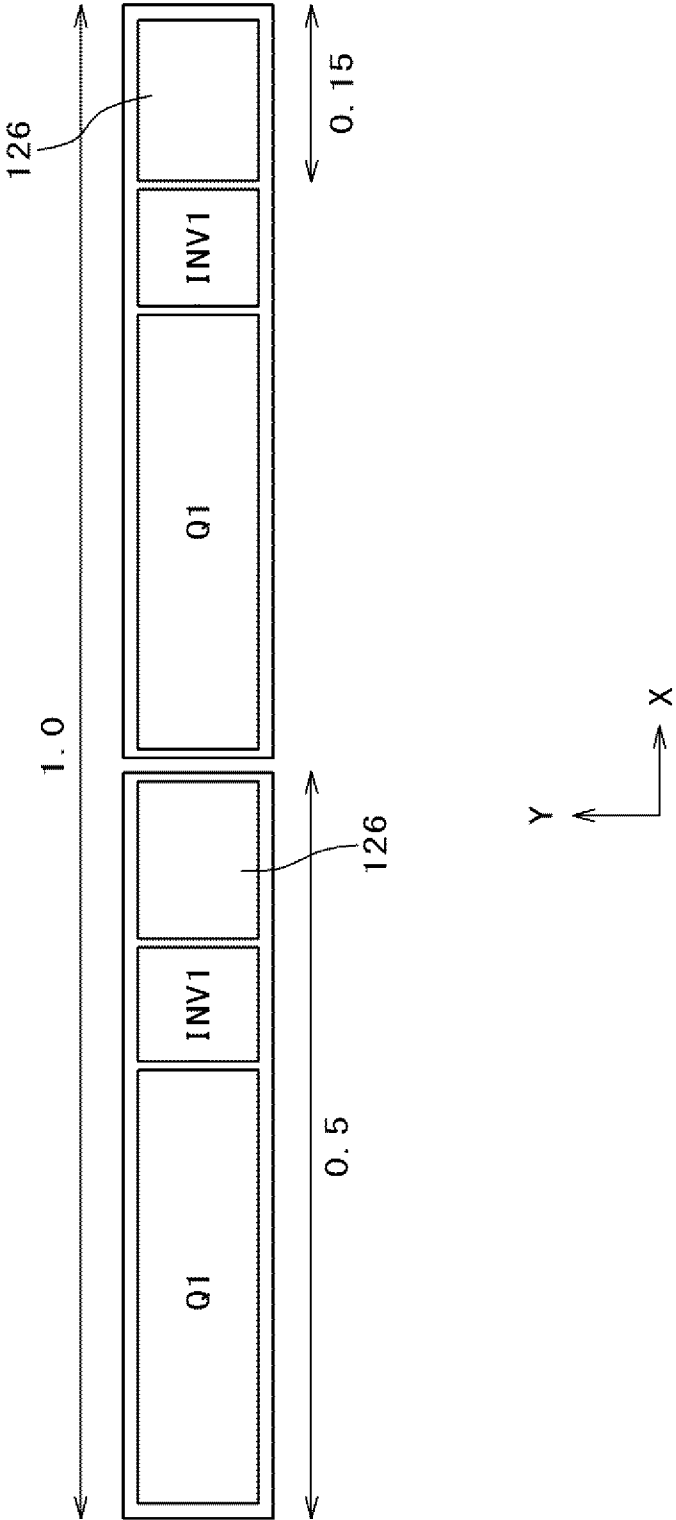
124



[図13]

図 13

124

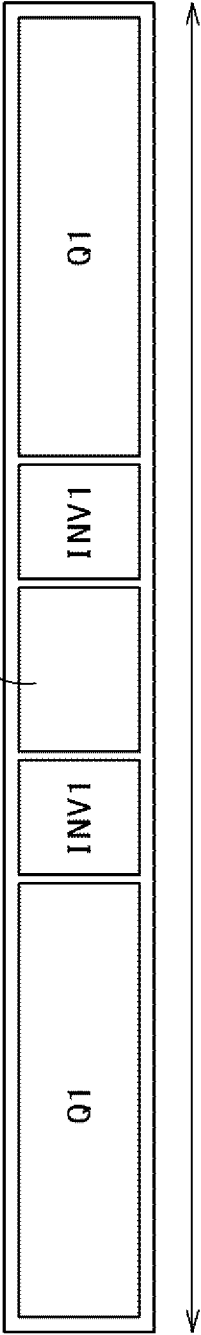


[図14]

図 14

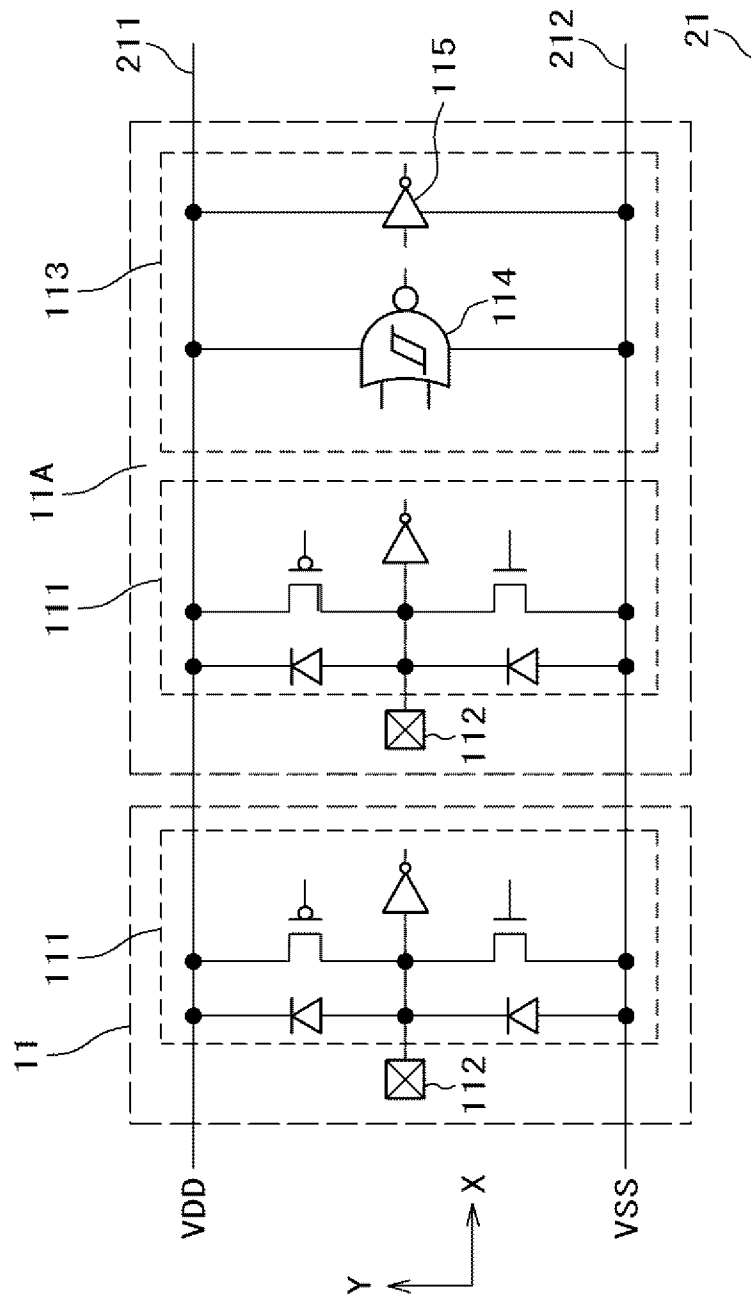
124A

126



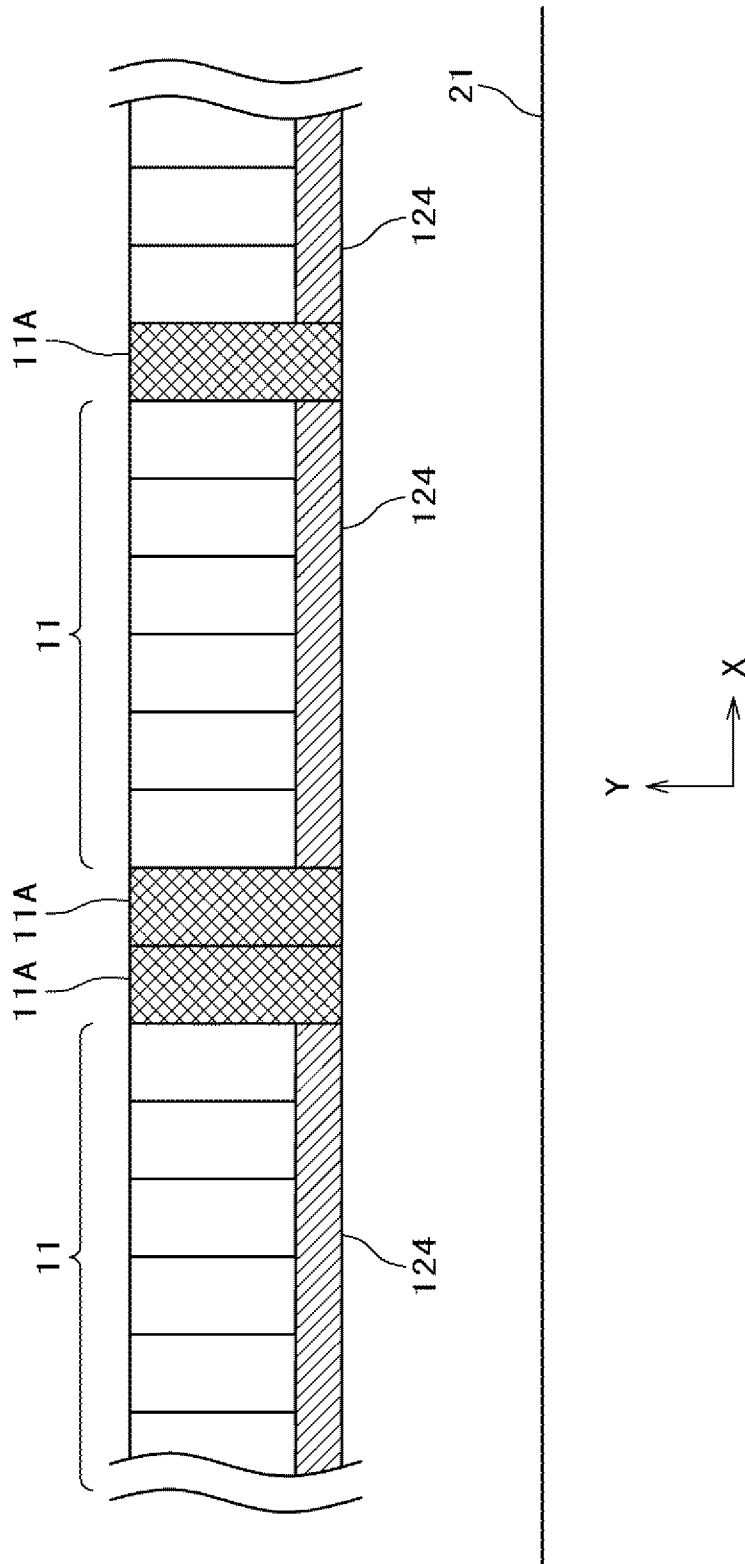
[図15]

図15



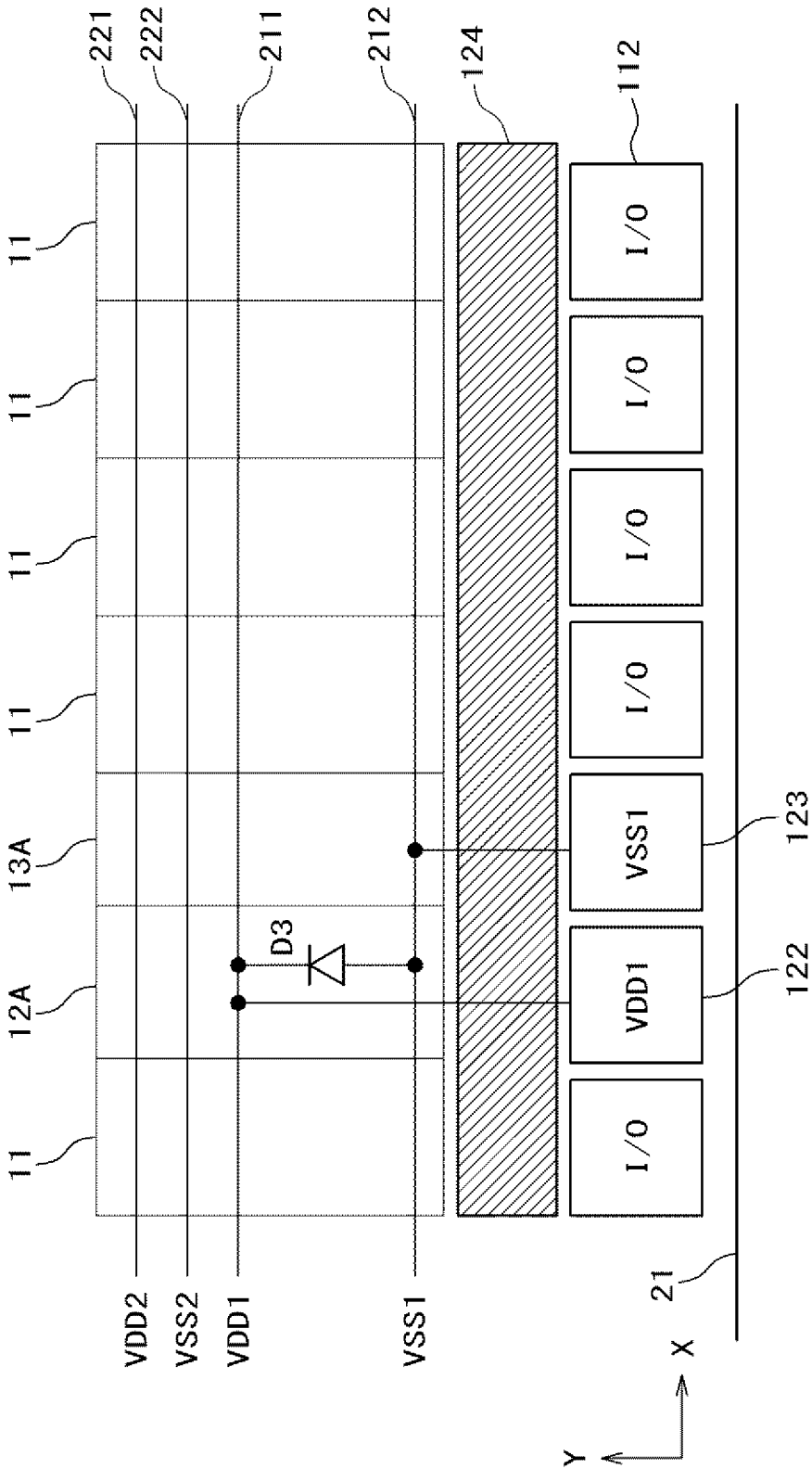
[図16]

図 16



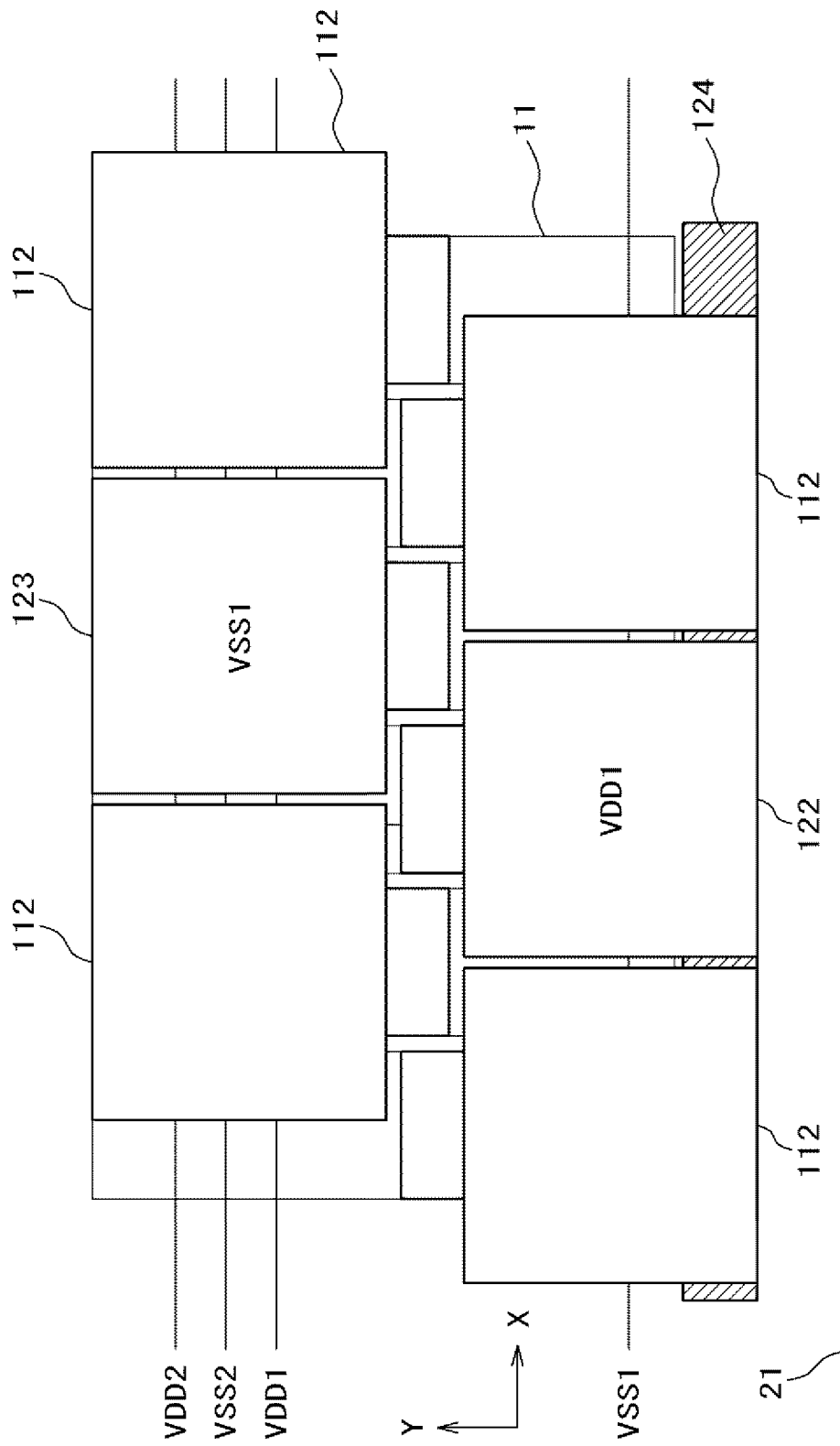
[図17]

図 17



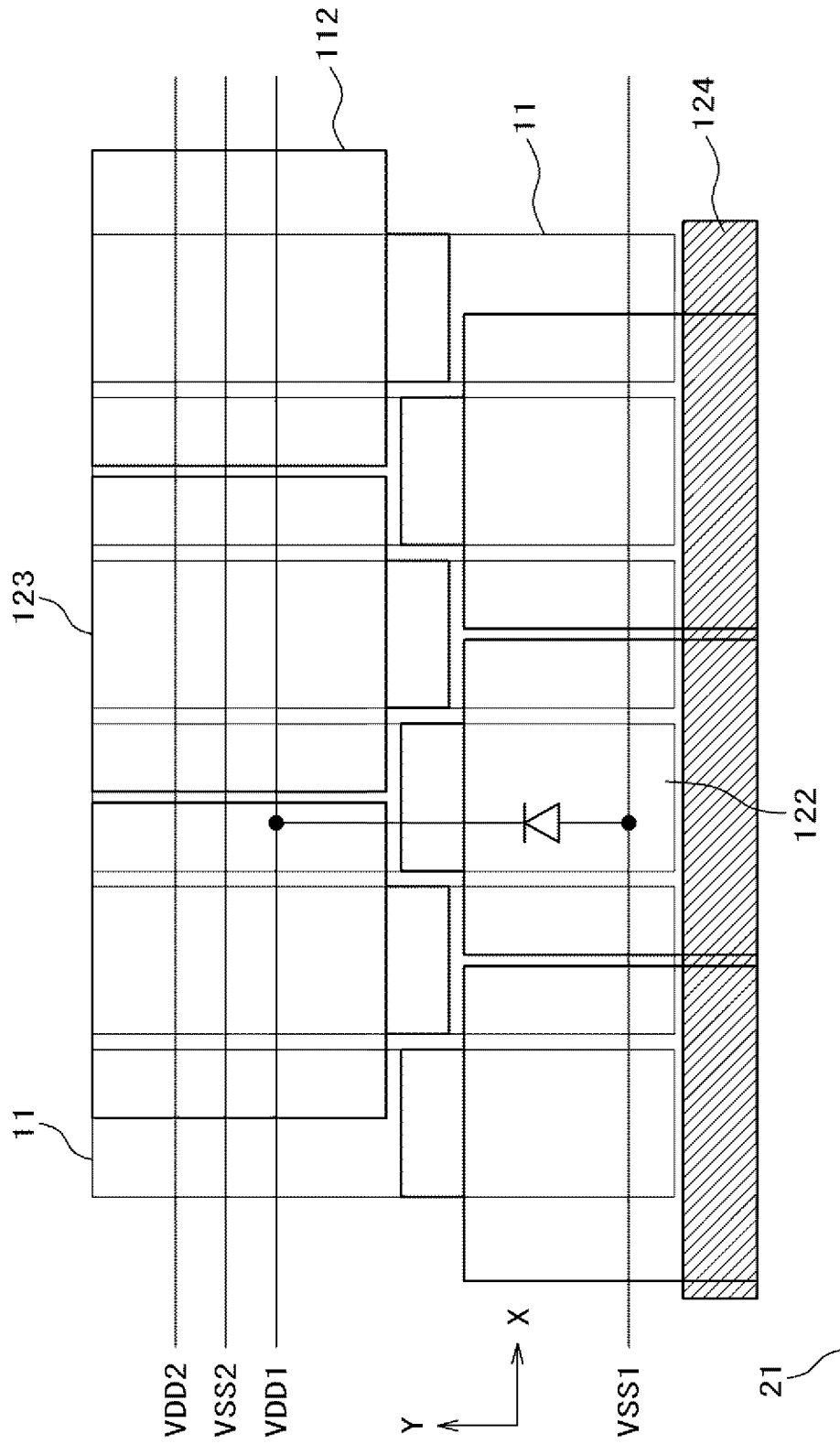
[図18]

図 18



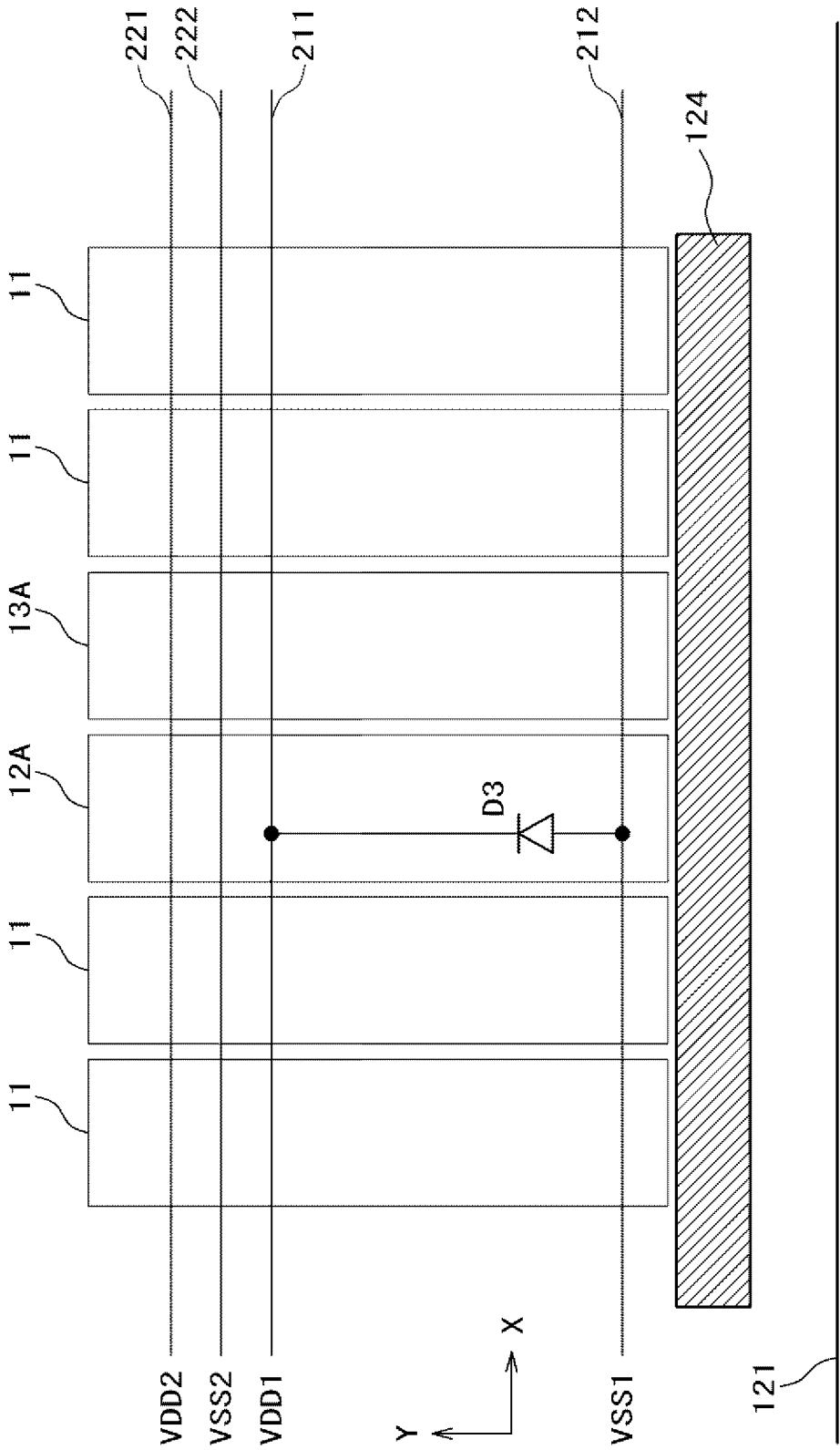
[図19]

図 19



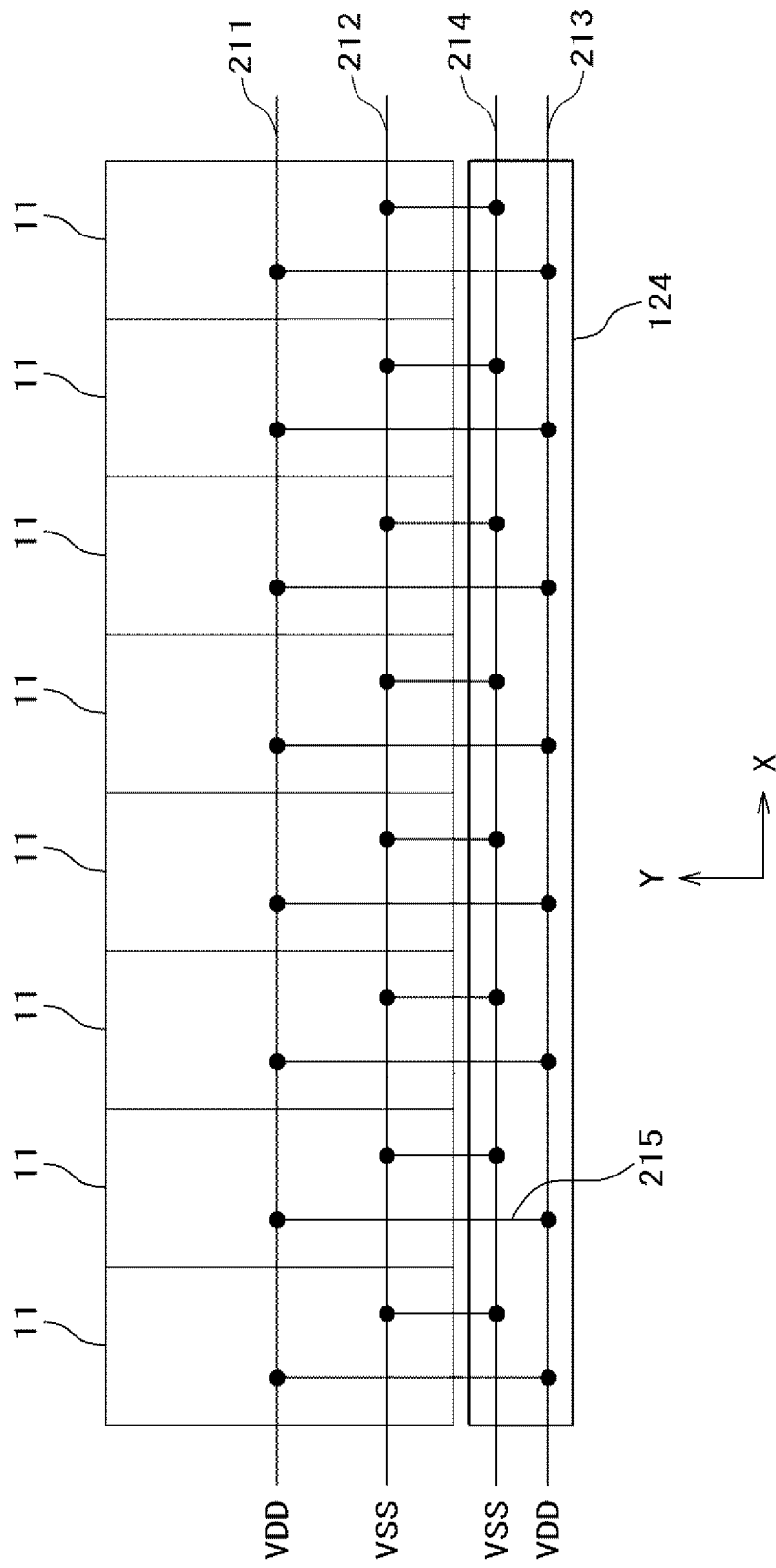
[図20]

図 20



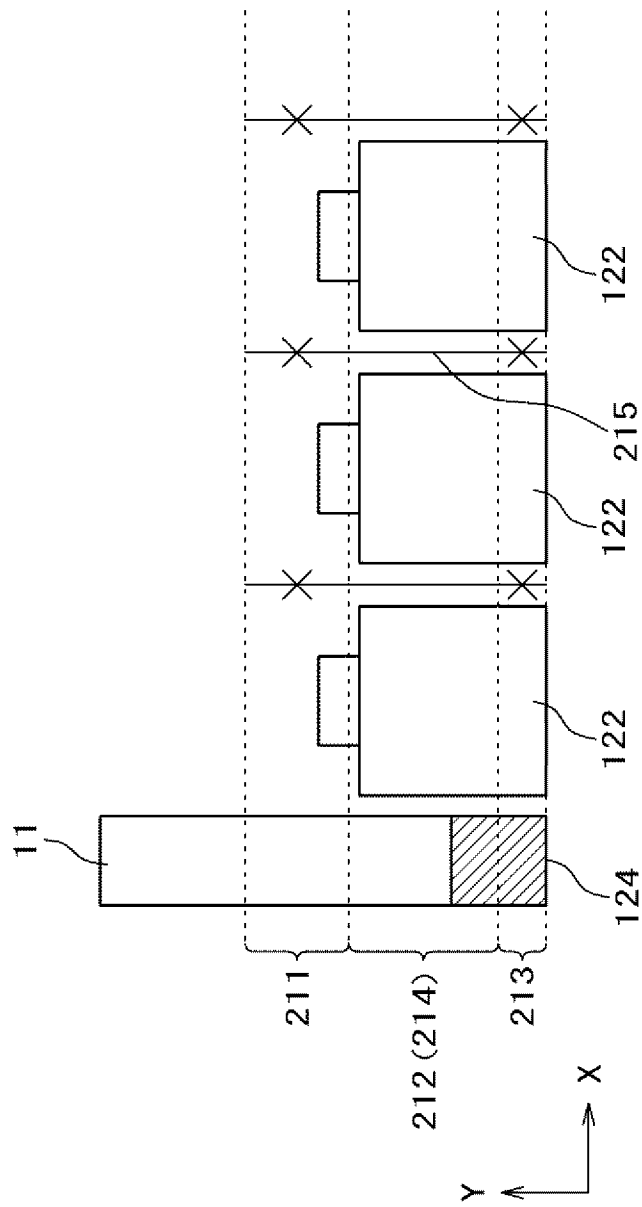
[図21]

図 21



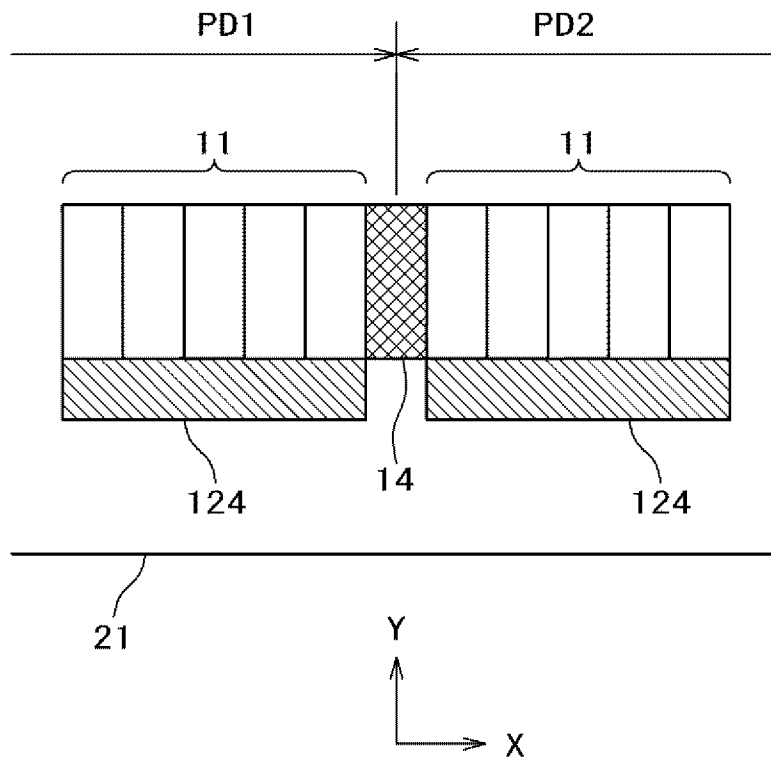
[図22]

図 22

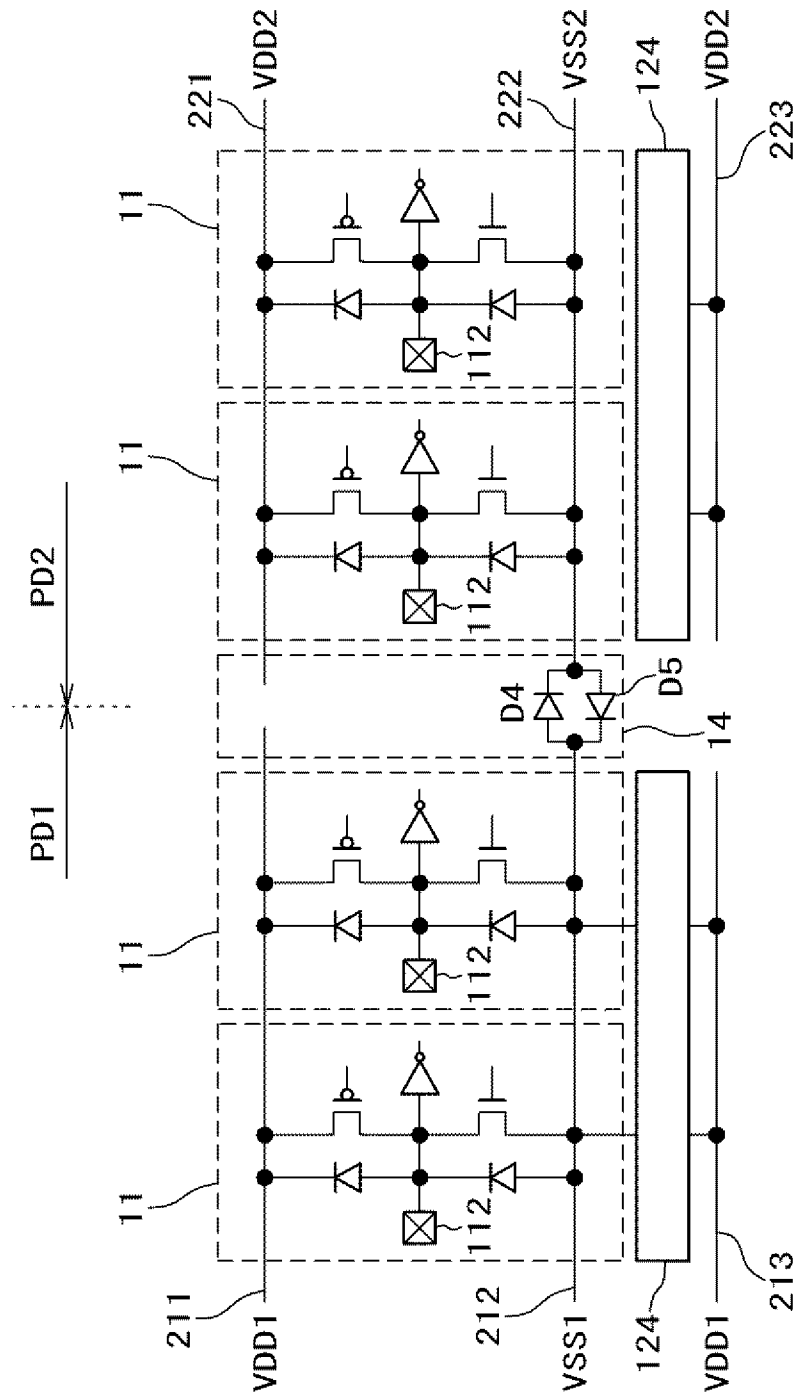


[図23]

図 23

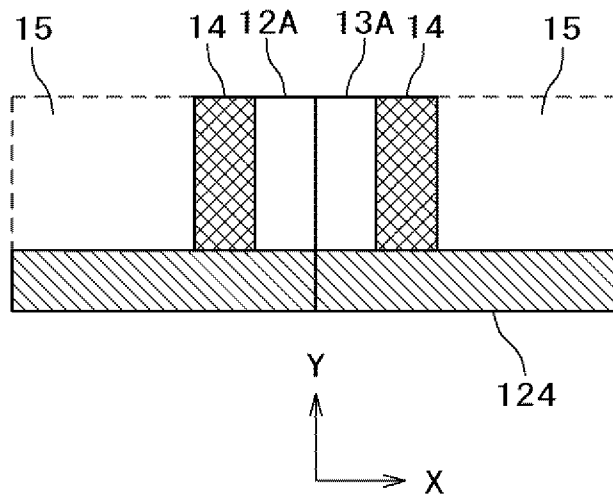


[図24]



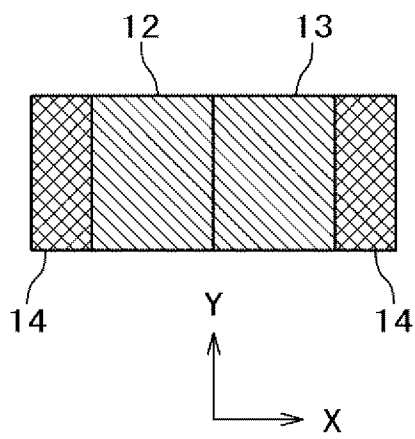
[図25]

図 2 5



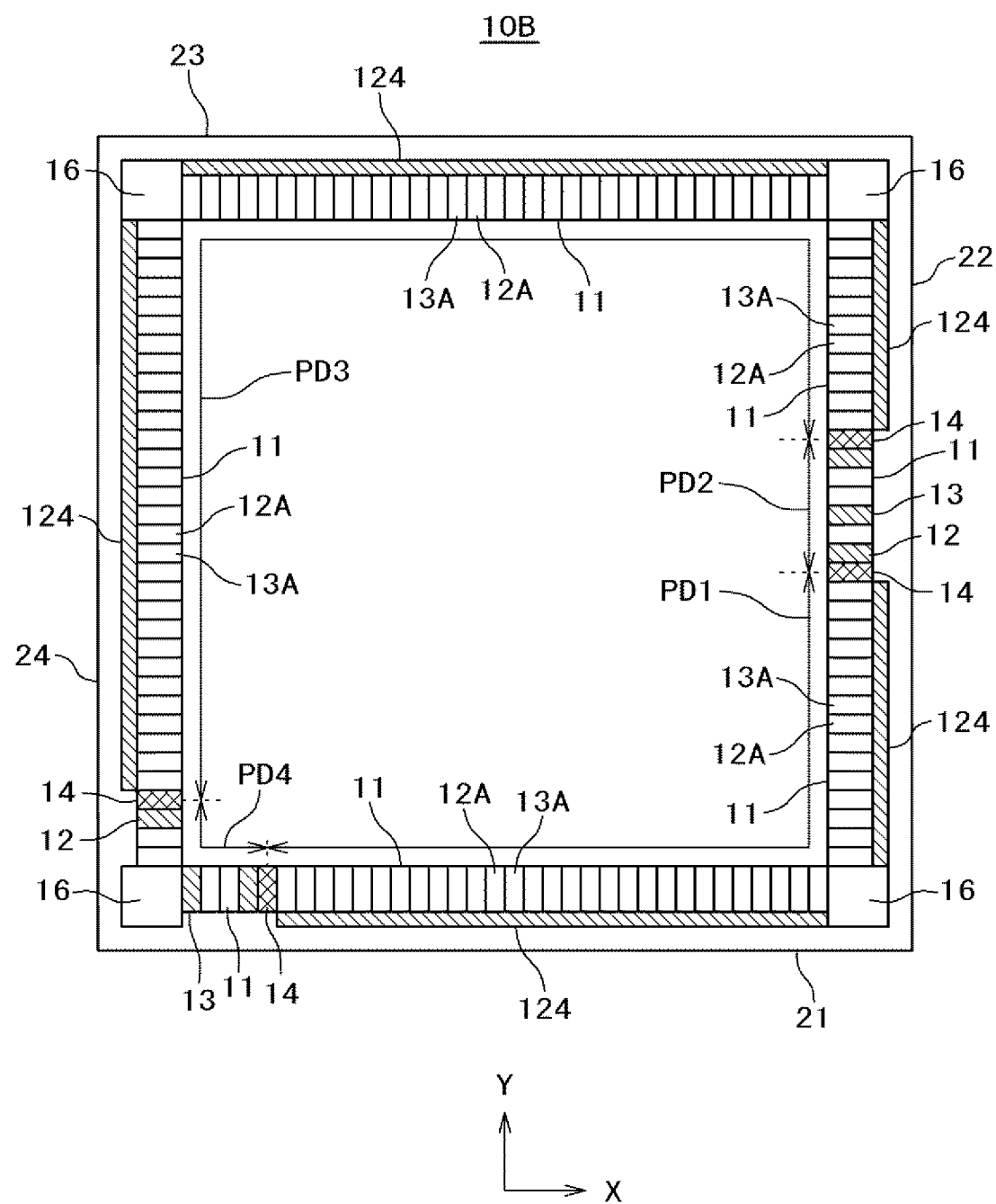
[図26]

図 2 6



[図27]

図 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/067766

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-536046 A (Freescall Semiconductor Inc.), 24 November 2005 (24.11.2005), entire text; the whole & US 2004/0027742 A1 & WO 2004/015776 A2 & EP 1527481 A2 & KR 10-2005-0026915 A & CN 1628385 A & TW 200418164 A & AU 2003254097 A & KR 10-1006825 B1	1-20
A	JP 2003-530698 A (Motorola, Inc.), 14 October 2003 (14.10.2003), entire text; all drawings & JP 5162070 B & US 6385021 B1 & WO 2001/078148 A1 & EP 1277236 A1 & AU 5130801 A & CN 1426601 A	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 July 2015 (22.07.15)

Date of mailing of the international search report
04 August 2015 (04.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/067766

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/011292 A1 (Matsushita Electric Industrial Co., Ltd.), 02 February 2006 (02.02.2006), entire text; all drawings & CN 1989609 A	1-20
A	JP 2013-21249 A (Toshiba Corp.), 31 January 2013 (31.01.2013), entire text; all drawings (Family: none)	1-20
A	JP 2013-183107 A (Renesas Electronics Corp.), 12 September 2013 (12.09.2013), entire text; all drawings (Family: none)	1-20
A	JP 6-89973 A (Kawasaki Steel Corp.), 29 March 1994 (29.03.1994), entire text; all drawings (Family: none)	1-20

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-536046 A（フリースケール セミコンダクター インコーポレイテッド）2005.11.24, 全文, 全部 & US 2004/0027742 A1 & WO 2004/015776 A2 & EP 1527481 A2 & KR 10-2005-0026915 A & CN 1628385 A & TW 200418164 A & AU 2003254097 A & KR 10-1006825 B1	1-20
A	JP 2003-530698 A（モトローラ・インコーポレイテッド）2003.10.14, 全文, 全図 & JP 5162070 B & US 6385021 B1 & WO 2001/078148 A1 & EP 1277236 A1 & AU 5130801 A & CN 1426601 A	1-20

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 7 . 2 0 1 5

国際調査報告の発送日

0 4 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4 0 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2006/011292 A1 (松下電器産業株式会社) 2006.02.02, 全文, 全図 & CN 1989609 A	1-20
A	JP 2013-21249 A (株式会社東芝) 2013.01.31, 全文, 全図 (ファミリーなし)	1-20
A	JP 2013-183107 A (ルネサスエレクトロニクス株式会社) 2013.09.12, 全文, 全図 (ファミリーなし)	1-20
A	JP 6-89973 A (川崎製鉄株式会社) 1994.03.29, 全文, 全図 (ファミリーなし)	1-20