(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00
H03K 19/0175

(45) 공고일자 1997년04월30일
(11) 공고번호 97-006875

| | | | |
|---|---|---|---|
| (21) 출원번호 | 특1989-0004414 | (65) 공개번호 | 특1989-0016767 |
| (22) 출원일자 | 1989년04월04일 | (43) 공개일자 | 1989년11월30일 |

(30) 우선권주장 8800872 1988년04월06일 네델란드(NL)

엔.브이.필립스 글로아이람펜파브리켄 이반 밀러 레르너
네델란드왕국, 아인드호펜, 그로네보드세베그 1

(73) 특허권자
네덜란드왕국 아인드호펜 그로네보드세베그 1

(72) 발명자 토마스 제임스 데이비스
네덜란드왕국, 아인드호펜, 그로네보드세베그 1
레오나르두스 크리티인 마테우스 기엘라우메스 페닝스
네덜란드왕국, 아인드호펜, 그로네보드세베그 1
피터 허만 보스
네덜란드왕국, 아인드호펜, 그로네보드세베그 1
클맥 마이클 오코넬
네덜란드왕국, 아인드호펜, 그로네보드세베그 1
카텔 제라드 필랜
네덜란드왕국 ,아인드호펜, 그로네보드세베그 1
한스 온트로프

(74) 대리인 이병호, 최달용

*심사관 : 김성운 (책자공보 제4985호)*

**(54) 집적회로**

*요약*

내용없음.

*대표도*

*도1*

*명세서*

[발명의 명칭]

집적회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 논리 출력 버퍼도.

제2도는 본 발명에 따른 논리 출력 버퍼의 실시예도.

제3도는 본 발명에 따른 논리 출력 버퍼의 양호한 실시예도.

제4도는 제3도에서 도시된 논리 출력 버퍼부에 대한 상세도.

제5도는 본 발명에 따른 논리 출력 버퍼의 다른 실시예도.

[발명의 상세한 설명]

본 발명은 논리 데이타 신호를 발생하는 기능부와, 이와 피드된 메모리 회로와, 메모리 회로의 출력에 접속되어 메모리 회로로부터 출력 신호를 수신하여 전송하는 논리 출력 회로를 구비하는 집적 회로에 관한 것이다.

상기 형태의 회로는 1986년 10월자 제5호 Vs. SC-21의 플랭나강씨와 그외 공동인에 의한 고상 회로의 IEEE잡지의 제11도인 최저 활성 전력의 Two 13-ns 64K CMOS SRAM's 및 개선된 비동기식 회로 기술에서 공지되어 있다. 상기 잡지에서 기술된 메모리 회로는 서로 집속된 입력 및 출력을 갖는 랫치 소자를 구비하여, 논리 출력 회로는 다수의 반전 소자 및 3개의 출력 트랜지스터를 구비한다.

상기 잡지에서 랫치 소자는 논리 로우인 제어 신호 $\overline{\text{STABLE}}$ 동안 신호 DATA 및 를 수신하는 데 사용되어 저 출력 임피던스를 갖는 이들 신호를 논리 출력 회로에 인가하므로 예를들어 인접한 신호 도통 라인에서의 누화로 인하거나 또는 공급된 전력의 중단으로 인해 초래되는 현상의 방해을 감소시킨다. 새로운 데이타 DATA 및 $\overline{\text{DATA}}$가 신호 순차로 출력 버퍼에 인가되기 전에, 트랜지스터 및 논리 하이 $\overline{\text{STABLE}}$ 제어신호에 의해 입력 라인은 논리 로우 레벨로 랫치되어, 랫치 소자는 결함 있는 어떠한 신호 정보라도 수신하지 않고 상기 잡지에서는 기술되지 않은 메모리부에서 시간 함수로서 DATA 및 $\overline{\text{DATA}}$ 신호의 발생 진행중에 이 정보를 나중에 보유한다. 이러한 목적상, $\overline{\text{STABLE}}$ 및 $\overline{\text{CYC-END}}$ 신호의 정확한 동조를 필요로 하는데, 이것은 랫치 소자가 논리 하이 $\overline{\text{STABLE}}$ 제어신호에서 스위치 온되기 때문이며, 이로써 입력 라인중 하나는 논리 하이 레벨까지 풀업된다. 이러한 상황 때문에 바람직하지 않은 소산이 발생한다. 상기 소산이 발생되지 않는다는 확신은 $\overline{\text{STABLE}}$ 및 $\overline{\text{CYC-END}}$ 의 오버랩을 허용하지 않음으로써 얻어지지만, 자연을 발생시킬 수가 있다. 따라서, 시간 함수로서 정확한 동조는 STABLE 모니터링 신호와 $\overline{\text{CYC-END}}$ 제어 사이에서 요구된다. 새로운 판독 주기의 시작시에 DATA및 $\overline{\text{DATA}}$ 신호의 신호 천이 지속 기간의 논리 로우 랫치된 입력 라인 동안 트랜지스터 M14, M15 및 M16의 차단으로 인해 $\overline{\text{CYC-END}}$ 및 $\overline{\text{STABLE}}$ 논리 하이), 출력 DATA OUT는 3상태 모드이다. 약 5볼트의 공급 전압으로, 논리 출력 버퍼의 출력에서의 전압은, 트랜지스터 M14, M15 및 M16의 블로킹 상태 지속 기간 동안 트랜지스터-트랜지스터 논리(TTL)회로로 부하될때(제1공급 단자의 부하 저항은 제2공급 단자의 부하 저항의 약 2배이다) 약 1.7볼트의 값에 도달한다. 이것은 연속 판독 주기 사이에서 일정한 DATA 및 $\overline{\text{DATA}}$신호를 갖는 논리 출력 버퍼의 출력에서의 전압이 논리 하이 또는 논리 로우로 남아있지 않고 출력 버퍼의 3상태 모드에도 불구하고 약 1.7볼트의 레벨로 셋트되는 것을 의미한다. 이들 레벨 변화는 집적 회로에서 임의 인접 신호 라인에서 누화를 발생시키기 때문에 바람직하지가 않다.

본 발명의 목적은 출력 회로가 기능부로부터 발생하는 데이타 신호 동안 3상태로 되지 않으며, 기능부에서 발생하는 제어 또는 모니터링 신호가 시간에 대해 중요하지 않으며, 그럼에도 불구하고 메모리 회로 및 논리 출력 회로가 고속의 스위칭 동작을 하는 집적 회로를 제공하는데 있다.

이러한 목적상 본 발명에 따른 집적 회로에 있어서, 메모리 회로의 입력 및 출력은 분리되며 논리 출력 회로는 바이패싱 동안 메모리 회로의 입력과 병렬 접속된 제2입력을 구비하여 논리 출력 회로 및 메모리 회로는 기능부에서 발생하는 데이타 신호에 의해 정해진 논리 상태로 되어, 이 출력 회로는 메모리 회로의 출력 신호에 의해 상기 논리 상태로 보유되는 특징이 있다. 이러한 집적 회로는 메모리 회로의 출력이 항상 메모리 출력의 입력으로 정해지므로, 제어 또는 모니터링 신호는 메모리 회로의 동작을 필요로 하지 않는다. 따라서, 논리 출력 버퍼의 출력은 새로운 데이타 입력 신호마다 3상태 모드로 될 필요는 없다. 논리 출력 회로에서 새로운 데이타 신호의 전달 동안 3상태 출력이 피해지므로, 출력이 항상 한정된다. 따라서, 불필요한 충전이나 방전전류가 발생되지 않으므로, 어떠한 인접 신호 전달 라인에서라도 누화가 발생되지 않는다. 또한, 출력에 접속된 용량성 부하 때문에, 불필요한 충전 또는 방전으로 인한 시간 지연을 방지할 수 있다. 시간 함수로서 서로에 상관되어 결정된 제어 또는 모니터링 신호의 부재로 인해, 회로의 최대 속도를 달성할 수 있다. 또한, 메모리 회로의 입력에 연결된 병렬 링크는 집적 회로의 보다 빠른 스위칭 동작을 수반하는데, 이것은 병렬 링크가 인가된 신호를 수신하기 위해 종속 접속된 메모리 소자의 고유 시간 지연을 방지하기 때문이다.

본 발명에 따른 집적 회로의 실시예에 있어서 메모리 회로의 입력 및 출력은 논리 출력 회로부를 형성하는 대칭 논리기능을 갖는 논리 부회로를 통해 논리 출력 회로의 나머지부에 접속되는 것을 특징으로 한다. 사실상, 논리 출력 회로는 기능부에서 발생하는 데이타 신호 및 메모리 회로의 출력상의 신호에 직접 응답하며, 메모리 회로의 출력상의 신호는 메모리 회로의 고유 시간 지연후에 유용하다.

본 발명에 따른 집적 회로의 다른 실시예에 있어서, 메모리 회로는 적어도 하나 이상의 단일 플립플롭 회로를 구비하며, 논리 부회로는 OR 기능을 수행하는 제1 및 제2 논리 게이트를 구비하며, 플립플롭 회로의 반전출력($\overline{Q}$) 및 제1입력은 각각 제2논리 게이트의 한 입력 및 다른 입력에서 접속되며 플립플롭 회로의 비반전 출력(Q) 및 제2입력 각각은 제1논리 게이트의 한 입력 및 다른 입력에 접속된다. 플립플롭 회로의 입력 및 출력 신호의 결합은, 예를들어, OR 게이트 또는 NAND 게이트로 수행되며 반전 입력 신호를 수신한다.

본 발명에 따른 집적 회로의 적합한 실시예에 있어서, 메모리 회로는 다른 플립플롭 회로를 구비하며, 이 회로의 제1입력은 논리 게이트를 통해 데이타 입력 단자에 결합되며 제2입력은 모니터링 입력 단자에 결합되며 출력은 논리 부회로에서 논리 OR 기능을 갖는 제3논리 게이트에 접속되며, 제3논리 게이트의 다른 입력은 다른 플립플롭 회로의 제2입력에 접속된다. 다른 플립플롭 회로는 출력 버퍼의 출력이 3상태인지 아닌지를 나타내는 모니터링 신호를 기억하는데 사용된다. 3상태 모드로서 천이는 직접 정해지며 또는 특정한 논리 레벨의 모니터링 신호에 의해서만 정해진다. 그러나 3상태 모드로 남아 있는 것은 모니터링 신호의 다른 논리 레벨 발생시에 데이타 입력 단자의 신호에서 인출된 신호에 의해서 실현된다. 따라서, 여분의 모니터링 신호가 시간에 대해서 매우 정확하게 정해질 필요가 전혀 없다.

본 발명은 첨부된 도면을 참조하여 기술된 실시예를 들어 설명하고자 한다.

제1도에서는 본 발명에 따른 논리 출력 버퍼를 도시한다. 출력 버퍼는 N개 입력 신호(D1내지 DN)를 수신하며 메모리 회로(M), 논리 부회로(L) 및 논리 출력단(D)을 구비한다. 메모리 회로(M)은 적어도 두개 이상의 입력과 적어도 두개 이상의 출력을 갖는다. 논리 부회로(L)는 적어도 두개 이상의 논리 게이트를 가지며, 이 게이트의 입력은 메모리 회로(M)의 입력 단자 및 출력 단자에 각각 연결된다. 적어도 두개 이상의 출력 트랜지스터를 구비하는 출력단(O)은 논리 부회로(L)의 두 출력 단자에 연결된다.

논리 로우 또는 논리 하이인 신호는 로우 또는 하이 각각으로 참조되며, n형 트랜지스터 또는 p형 트랜지스터로서 n채널 전계 효과 트랜지스터 또는 바이폴라 npn 트랜지스터 및 p형 전계 효과 트랜지스터 또는 바이폴라 pnp 트랜지스터로 참조된다.

제1도의 출력 버퍼에 대한 동작을 후술하고자 한다. 메모리 회로(M)은 입력 단자에서 N논리 신호(D1 내지 DN)를 수신하며, 이 신호는 메모리 회로(M)에 기억되어 병렬 링크를 통해 논리 부회로(L)에 절단된다. 메모리 회로(M)의 출력 신호는 논리 부회로(L)에 전달된다. 메모리 회로(M)은 신호(D1 내지 DN)의 논리 레벨(예를들어 논리 하이)을 기억하는데 사용되어, 신호(D1 내지 DN) 중 어떠한 간단한 활성 레벨이라도 보유된다. 메모리 회로(M)는 신호(D1 내지 DN)의 논리 활성 레벨을 수신 및 전달을 하기 위한 고유 시간 지연을 가져, 지연된 후에 메모리 회로(M)의 입력 단자에서의 논리 변화가 출력 단자로 전달된다. 그러나 논리 부회로(L)에 신호(D1 내지 DN)의 병렬 링크를 직접 연결함에 의해 이들 신호에 변화가 지연없이 논리 부회로(L)에 전달된다. 논리게이트(P1 내지 PN)는 부회로(L)의 또다른 논리에 신호(D1 내지 DN) 및 메모리 회로(M)의 출력 신호를 전달한다. 부회로(L)의 출력 신호는 부하인가되는 단자에 하이, 로우 또는 3상태 레벨을 공급할 수 있는 논리 출력단(O)을 최종적으로 제어한다.

제2도에서 도시된 본 발명에 따른 논리 출력 버퍼의 실시예는 제1도의 실시예와 상응하므로 동일 성분을 표시하는데 동일 참조 부호를 사용한다. 메모리 회로(M)는 반전( $\overline{Q}$ )및 비반전 출력(Q)를 갖는 셋트-리셋트(SR) 플립플롭을 구비하며, 플립플롭 회로의 셋트 및 리셋트 입력 각각은 신호(D1 및 D2) 각각을 수신한다. 논리 부회로(L)는 두 OR 게이트(P1 및 P2)를 구비한다.

제2도의 논리 출력 버퍼에 대한 동작을 후술하고자 한다. 신호(D1 및 D2)는 이들 신호가 하이일때 활성신호이며, D1이 하이이며 D2가 로우 또는 D1이 로우이고 D2가 하이일때 출력단의 출력 단자는 하이나 로우, 또는 로우나 하이 각각으로 되며, D1 및 D2가 로우일때는 출력 단자에서의 레벨은 변화되지 않은 상태로 남아 있는다. 하이신호(D1 및 D2)의 동시 발생은 어떠한 논리의 의미도 없으며 셋트 리셋트 플립플롭 회로의 정확한 동작에는 부적당하므로 피해야만 된다. 하이신호(D1)가 있을 때(이 경우에 D2는 로우) 셋트 리셋트 플립플롭 회로는 셋트된다. 이러한 셋팅은 일정한 지연 시간 후에 실행되어 일정한 지연 시간후에만 출력 Q 또는 ( $\overline{Q}$ )가 하이 또는 로우로 된다. 하이신호 D1이 OR 게이트 P1에 직접 인가되기 때문에, OR 게이트(P1)는 지연되지 않은 하이 신호(D1)를 수신하며 출력은 논리 부회로(L)에서 또다른 논리에 하이 신호를 전달한다. 플립플롭 회로의 상기 셋팅 지연 후에 출력 Q 또는 Q 각각은 하이 또는 로우 각각으로 되며, OR 게이트(P1)의 출력은 하이로 되어 더 이상 신호 D1의 논리값으로는 좌우되지 않는다. 이것은 셋트-리셋트 플립플롭 회로가 신호 D1에서 하이레벨을 수신하며 논리 부회로(L)는 플립플롭 회로로 연속 구동된다는 것을 의미한다. 하이 신호(D2)가 존재하면, 셋트 리셋트 플립플롭 회로는 리셋트된다. 이러한 리셋팅 역시 일정한 지연 시간이 경과된 후에만 실현되어 반전 출력 Q 신호 또는 비반전 출력(Q) 신호 각각은 리셋트 입력(R) 신호에 상관한 지연 후에 하이 또는 로우로 된다. 하이신호 D2가 OR 게이트 P2에 직접 인가된다는 사실 때문에, OR 게이트는 지연되지 않은 하이 신호 D2를 수신하며 출력은 논리 부회로(L)의 다른 논리에 하이 신호를 전달한다. 플립플롭 회로의 상기 지연후에, 출력( $\overline{Q}$ ) 또는 Q 각각은 하이 또는 로우각각으로 되며 OR 게이트(P2) 역시 신호 D2의 논리값과는 무관하게 하이 출력 신호를 연속 공급한다. 이러한 것은 회로(L)가 플립플롭 회로에 의해 고정 상태로 유지된다는 것을 의미한다.

제3도에서 도시된 본 발명에 따른 논리 출력 버퍼의 적합한 실시예는 제1도의 실시예와 상응하므로, 동일한 성분을 표시하는데 동일한 참조부호를 사용하며, 메모리 회로(M)는 제1 및 제2셋트-리셋트 플립플롭 FF1, FF2를 구비하며, 논리 부회로(L)는 4개의 OR 게이트 P1, P2, P6 및 P7, 단일 NOR 게이트 P3, 두 NAND 게이트 P4 및 P5를 포함하며, 출력단(O)은 두 PMOS 트랜지스터(T1 및 T2)를 포함하며 출력 버퍼는 입력 신호 D1, D2 및 $\overline{OE}$ 가 존재하는 3개의 입력 단자를 갖는다. 입력 신호(D1, D2 및 $\overline{OE}$ )가 인가되어지는 출력 버퍼 입력과 제2플립플롭 회로(FF2)의 리셋트(R) 입력 사이에는 OR 게이트(P8), AND 게이트(P9) 및 반전용 소자(I1)가 삽입되어 있다. 입력 신호(D1, D2)는 제1플립플롭 회로 FF1의 셋트 및 리셋트 입력(S 및 R)과, OR 게이트(P1 및 P2)의 제1 및 제2입력에 인가된다.

제1플립플롭 회로(FF1)의 비반전 출력(Q) 및 반전 출력( $\overline{Q}$ )은 OR 게이트(P1 및 P2)의 제2 및 제1입력에 각각 연결된다. 각각의 제1 및 제2출력 버퍼 입력 단자는 OR 게이트(P8)의 제1 및 제2입력 단자에 연결되며, OR 게이트(P8)의 출력은 AND 게이트(P9)의 제2입력 단자에 연결된다. 모니터링 신호(OE)가 인가되어지는 제3출력 버퍼 입력 단자는 반전 소자(I1)의 입력 단자, 제2플립플롭 회로(FF2)의 셋트 입력(S), NOR 게이트(P3)의 제1입력 단자, OR 게이트(P6)의 제2입력 단자 및 OR 게이트(P7)의 제2입력 단자에 나열된 순서로 결합된다. 반전 소자(I1)의 출력은 AND 게이트(P9)의 제1입력 단자에 결합되며, AND 게이트(P9)의 출력은 제2플립플롭 회로(FF2)의 리셋트 입력(R)에 결합된다. 플립플롭 회로(FF2)의 비반전 출력(Q)은 NOR 게이트(P3)의 제2입력 단자에 결합되며 NOR 게이트(P3)의 출력은 NOR 게이트(P4 및 P5)의 제2입력 단자에 결합된다. 논리 동작에 대한 관점으로부터, NOR 게이트 P3의 기능은 OR 게이트 및 반전 소자의 종속 배열의 기능과 동일하다. OR 게이트 P1 및

P2의 출력은 NAND 게이트(P4 및 P5)의 제1입력 단자 각각에 결합된다. NAND 게이트(P4 및 P5)의 출력은 OR 게이트(P6 및 P7)의 제1입력 단자에 결합된다. OR 게이트(P6 및 P7)의 출력은 트랜지스터(T1 및 T2)의 각 게이트 전극에 결합된다. 트랜지스터(T)의 소스 및 드레인은 제1공급 단자(V1) 및 출력 단자(OUT)에 결합되며 트랜지스터(T2)의 소스 및 드레인은 출력 단자(OUT) 및 제2공급 단자(V2)에 나열된 순서로 연결된다.

제3도의 출력 버퍼에 대한 동작을 후술하고자 한다. 신호(D1 및 D2)는 이미 제2도의 회로 동작에 대해서 설명된 바와같이 하이일때는 활성 신호이다. 하이일때 역시 활성 신호인 제3입력 신호( $\overline{OE}$ )는 모니터링 동작을 수행하며 출력 버퍼가 3상태인지( $\overline{OE}$ 는 하이) 또는 제3상태가 아닌지( $\overline{OE}$ 로우)를 표시한다. 회로의 동작은 또한 로우 및 하이입력 신호( $\overline{OE}$ )에 관해서 기술된다.

로우입력 신호( $\overline{OE}$ )가 존재하면, OR 게이트(P6 및 P7)의 제2입력 단자는 로우신호를 수신한다. 로우신호(D2)가 존재하며 신호(D1)이 로우에서 하이로 변경되면, 게이트(P1)의 제1입력 단자는 하이신호를 수신하며, OR 게이트(P1)의 출력은 하이로 되며, 제1플립플롭 회로(FF1)는 셋트된다. 제1플립플롭 회로(FF1)의 셋팅 지연후에, 비반전 출력(Q) 및 반전 출력( $\overline{Q}$ )는 하이 및 로우가 되며 플립플롭 회로(FF1)은 입력 단자(D1 및 D2)의 정보를 수신한다. 따라서 OR 게이트(P1 및 P2)의 출력은 계속 하이 및 로우로 된다. OR 게이트(P8)의 출력은 반전 소자(I1)의 출력과 같이 제2입력 단자의 하이신호의 결과로써 하이로 되어, AND 게이트(P9)의 출력은 또한 하이로 된다. 따라서, 제2플립플롭 회로(FF2)는 플립플롭 회로(FF2)의 리셋팅 지연후에 출력(Q)가 리셋트전에 하이인 경우에는 Q출력이 로우로 되거나, 또는 출력(Q)가 리셋트전에 이미 로우인 경우에는 로우로 남아 있는 결과로써 리셋트된다. 이것으로 NOR 게이트(P3)의 출력은 하이로 되어, NAND 게이트(P4 및 P5)의 출력은 로우 및 하이로 된다. 따라서 OR 게이트(P6 및 P7)의 출력은 로우 및 하이로 되어, 트랜지스터(T1 및 T2)는 도통 또는 차단되는 출력 단자(OUT)는 하이로 된다. 입력 단자(D1) 상의 신호가 하이에서 로우로 변화되며 입력 단자(D2)상의 신호가 로우상태로 남아 있으며, 출력 단자(OUT)는 제1플립플롭 회로(FF1)의 메모리 기능의 결과로써 하이상태로 남아 있는다.

신호 ( $\overline{OE}$ 및 D1)가 로우이지만 신호(D2)가 로우에서 하이로 변화되면, OR 게이트(P1)의 출력은 일시적으로 하이상태로 남아 있으며, OR 게이트(P2)의 출력은 하이로 된다. 플립플롭 회로(FF1)는 리셋트되어, 일정한 리셋팅 지연후에는 출력(Q 및 $\overline{Q}$ )이 로우 및 하이로 되며 따라서 OR 게이트(P1)의 출력은 로우로 되며 따라서 OR게이트(P2)의 출력은 하이로 남아 있는다. OR 게이트(P8) 및 반전 소자(I1)의 하이출력의 결과로써, AND 게이트(P9)의 출력은 하이로 되며 플립플롭 회로(FF2)는 리셋트되어, 출력버퍼는 가능한 3상태 모드로 남아 있는다. NOR 게이트(P3)의 출력은 하이로 되어 NAND 게이트(P4 및 P5)의 출력은 하이 및 로우로 된다. OR 게이트(P6 및 P7)의 출력은 따라서 하이 및 로우로 되어 각 트랜지스터(T1 및 T2)는 비전도(block) 및 전도되며 출력 단자(OUT)는 로우로 된다. 입력 단자(D2)상의 신호가 변화되면 출력 단자(OUT)는 제1플립플롭 회로(FF1)의 메모리 기능의 결과로써 로우로 남아 있는다.

입력 단자( $\overline{OE}$ )상의 신호가 로우에서 하이로 변화되면, 플립플롭 회로(FF2)는 셋트된다. OR 게이트(P6 및 P7)의 제2입력은 하이신호를 직접 수신하여 출력(P6 및 P7)은 하이로 되며 트랜지스터(T1 및 T2)는 비전도(3상태)로 된다. 제2플립플롭 회로(FF2)의 셋팅 지연 시간후에, 플립플롭 회로(FF2)의 출력(Q)은 하이로 되며 NOR 게이트(P3)의 출력은 로우로 된다. 이 때문에 NAND 게이트(P4 및 P5)의 출력은 하이로 되어 OR 게이트(P6 및 P7)의 출력은 하이로 남아 있는다. 트랜지스터(T1 및 T2)는 플립플롭 회로(FF2)의 메모리 기능의 결과로써 계속 비전도(3상태)된다. 상기에서 나타난 바와같이, 출력 버퍼의 출력은 하이논리 활성 신호(D1 또는 D2)가 나타날때 3상태 모드에서 논리 하이 또는 논리 로우 상태로 된다.

제3도에서 도시된 셋트 리셋트 플립플롭 회로(FF1 및 FF2) 각각은, 예를들어, 두 궤환 반전 소자로 구성될 수 있다. 본 기술에 숙련된 사람에게는 메모리 회로(M)가 셋트 리셋트 플립플롭 회로와는 다른 메모리 소자로 실현될 수 있다는 것은 명백하다. 셋트 리셋트 플립플롭 회로는, 예를들어, 논리 출력 버퍼 회로의 구조를 변경시킬 필요없이 JK 플립플롭 회로로 대체될 수 있다. 제2플립플롭 회로(FF2)의 셋트 및 리셋트 입력의 결합은 복잡하지 않게 변경될 수 있으며, 게이트(P3)는 비반전 출력(Q) 대신에 반전 출력(Q)에 접속된다. 출력단(O)에서의 상기 PMOS 트랜지스터는 단지 실시예로서만 작용한다. 기본적으로, 출력단은 두 임의 트랜지스터(바이폴라 및 유니폴라)의 종속 접속으로 형성될 수 있으며, 이 경우에 사용된 트랜지스터의 도전형은 이 트랜지스터를 전도 또는 비전도 상태로 만들기 위해 관여된 트랜지스터의 게이트 전극의 필요한 구동에 관하여 고려된다.

제4도에서는 제3도의 논리 출력 버퍼부를 보다 상세히 도시하며 동일한 성분 즉, 게이트(P1, P4 및 P6)를 표시하는데 동일한 참조 번호를 사용한다. 게이트(P1)는 두 PMOS 트랜지스터(T3 및 T4)와 두 PMOS 트랜지스터(T5 및 T6)를 구비한다. 게이트(P4)는 PMOS 트랜지스터(T7) 및 NMOS 트랜지스터(T8)을 구비하며, 최종적으로, 게이트(P6)는 PMOS 트랜지스터(T9)를 구비한다.

제4도에서 도시된 회로는 4개의 입력 신호 즉 신호( $\overline{OE}$ )가 반전되어 반전 소자(I1; 제3도 참조)의 출력에서 유용한 신호(OE), 제1플립플롭 회로(FF1)의 출력(Q)에서 발생하는 신호(OQ), 입력 신호(D1) 및 게이트(P3; 제3도 참조)의 출력에서 발생하는 신호(OP3)를 수신한다. 회로 출력 신호(OP6)는 트랜지스터(T1)의 게이트 전극에 인가된다. 트랜지스터(T3, T7 및 T9)의 소스는 상호 접속되며 제1공급 단자(V1)에 접속된다. 트랜지스터(T4, T5, T6, T7 및 T9)의 드레인은 상호 접속되며 회로의 출력 단자에 접속되며, 트랜지스터(T5, T6)의 소스는 상호 접속되며 트랜지스터(T8)의 드레인에 접

속된다. 트랜지스터(T8)의 소스는 제2공급 단자(V2)에 접속되며, 트랜지스터(T3)의 드레인은 트랜지스터(T4)의 소스에 접속된다. 입력 신호(OE)는 트랜지스터(T9)의 게이트에 접속되며, 입력 신호(OQ 및 D1)는 트랜지스터(T3, T5 및 T4, T6)의 게이트 전극에 인가된다. 최종으로, 입력 신호(OP3)는 트랜지스터(T8)의 게이트 전극에 인가된다.

제4도의 회로 동작을 후술하고자 한다. 트랜지스터(T9)가 도통될때 OP6은 하이이며, 또한 트랜지스터(T5, T6 및 T8)가 회로 출력 단자와 제2공급 단자(V2)간에 전도 경로를 형성하지 않는 경우이다. 신호(OP6)는 아래의 방법으로 2진 논리의 도움으로 신호(OE, OQ, D1 및 OP3)로 형성된다.
OP6=OQ+D1+OP3+OE신호 OP6에 대하여 이러한 결과는 게이트(P1, P4 및 P6)로 실행된 동작과 상응한다. 제4도에서 도시된 바와같이 게이트(P1, P4 및 P6)를 실현하는데 7개 이하의 트랜지스터를 필요로 한다. 이 갯수는 표준 논리 게이트로 상기 게이트 소자를 실현하는데 필요한 수보다 상당히 적다. 표준 논리 게이트에서는 6개 트랜지스터(NOR 게이트용의 4개 트랜지스터와 방전 소자용의 2개 트랜지스터)가 OR 게이트를 실현하는데 필요로 하며 NOR 게이트를 실현하는 데는 4개 트랜지스터를 필요로 한다. 두 OR 게이트 및 단일 NOR 게이트를 실현하기 위해서 모두 16개 트랜지스터가 필요로 된다.

게이트(P2, P5 및 P7)는 이들 게이트가 게이트(P1, P4 및 P6)와 동일한 논리 동작을 실행하므로 제4도에서 도시된 바와같이 게이트(P1, P4 및 P6)를 실현하기 위한 것과 동일한 방법으로 실현될 수 있다. 따라서 또한 게이트(P2, P5 및 P7)도 7개의 트랜지스터만으로 실현된다. 게이트(P1, P4, P6 및 P2, P5, P7)도 또한 3표준 논리 게이트 소자보다 적은 스위칭 지연을 갖는다.

제5도에서는 본 발명에 따른 다수의 병렬 논리 출력 버퍼 및 논리 회로의 실시예를 도시한다. 제5도의 실시예는 병렬로 동작하는 8개 셋트 리셋트 플립플롭 회로(FF11 내지 FF18), 1개의 셋트 리셋트 플립플롭 회로(FF21), 8개의 병렬 논리 부회로(L11 내지 L18), 8개의 병렬 논리 출력단(011 내지 018), 16개 입력 단자를 갖는 OR 게이트(P88), 반전 소자(I11), AND 게이트(P91) 및 NOR 게이트(P31)를 구비한다. 논리 부회로(L11 내지 L18)는 제3도에서 도시된 방법과 동일한 방법으로 상호 접속된(제3도에서 도시된 바와 같이) 논리 게이트(P1, P2, P4, P5, P6 및 P7)를 구비한다. 논리 출력단(011 내지 018)은 제3도에 관해서 기술된 바와같이 논리 출력단(O)와 동일하다. 셋트-리셋트 플립플롭 회로(FF11 및 FF18)와 논리 부회로(L11 내지 L18) 사이의 결합, 논리 출력단(011 내지 018)과 논리 부회로(L11 내지 L18) 사이의 결합은 제3도에서 도시된 것과 동일하다. 입력 신호(D11, D21 내지 D18, D28) 각각은 플립플롭 회로(FF11 및 FF18) 각각에 인가되며, OR 게이트(P88)의 분리 입력에 인가된다. OR 게이트(P88)의 출력은 AND 게이트(P91)의 제1입력 단자에 접속되며, 모니터링 신호(OE)는 반조 소자(I11)를 통해 AND 게이트(P91)의 제2입력 단자에 인가된다. 모니터링 신호(OE) 및 AND 게이트(P91)의 출력 신호는 플립플롭 회로(FF21)의 셋트 및 리셋트 입력에 인가되며, 모니터링 신호(OE) 및 플립플롭 회로의 반전 출력 신호(Q)는 NOR 게이트(P31)의 제1 및 제2입력 단자에 인가된다. 모니터링 신호(OE) 및 NOR 게이트(P31)의 출력 신호는 제3도에 관해서 기술된 바와같은 동일한 방법으로 논리 부회로(L11 내지 L18) 각각에 인가된다.

제5도의 논리 회로의 동작은 제3도에서 도시된 회로의 동작과 실제로 동일하므로 제3도의 회로 동작에 대한 기술을 참조하기 바란다. 제5도의 논리 회로는 제3도의 기술에서 나타난 바와같은 원리에 따라 입력 데이타를 기억하여 가능한한 8개 출력으로 전달하기 위한 병렬 경로를 갖는다. 그러나, 제5도의 논리 회로는 하나의 플립플롭 회로(FF21) 및 모니터링 신호(OE)를 기억 및 처리하기 위한 3개의 논리 게이트(I11, P31 및 P91)만을 필요로 한다. 모니터링 신호 및 처리된 신호는 모두 8개의 논리부회로 L11, L12, …, L18에 동시에 인가된다. 입력 신호(D11, D21 내지 D18, D28; 병렬 경로를 통하는 입력 신호는 다른 병렬 경로를 통하는 입력 신호에 상관하여 지연되지 않는다)는 OR 게이트 P88의 입력에 각각 인가되어, 상기 입력 신호중 적어도 하나 이상이 하이일때, 모든 출력단의 가능한 3상태 모드는 모드 출력단에서 무효로 된다. 이것은 논리 부회로(L11 내지 L18)가 출력단(011 내지 018) 각각을 제어하기 위해 플립플롭 회로(FF21) 및 다수의 논리 게이트(I11, P31, P91) 모두를 필요로 하지 않고 단지 하나의 모니터링 회로만이 필요하며, 필요로 되는 성분의 갯수를 감소시킬 수 있다. 본 기술에 숙련된 자에게는 상기 8개의 병렬 데이타 경로가 단지 실시예로서만 사용되며 본 발명의 전체 구성에서 고려된 이 갯수는 임의 갯수이다.

## *(57) 청구의 범위*

### 청구항 1

논리 데이타 신호를 발생하는 기능부와, 이와 피드된 메모리 회로와, 메모리 회로 출력에 접속되어 메모리 회로로부터 출력 신호를 수신하여 이를 전송하는 논리 출력 회로를 구비하는 집적 회로에 있어서, 상기 메모리 회로의 입력 및 출력은 분리되며, 상기 논리 출력 회로는 바이패싱동안 메모리 회로의 입력과 병렬로 접속된 제2입력을 구비하여 논리 출력 회로 및 메모리 회로를 기능부에서 발생하는 데이타 신호로 정해진 논리 상태로 만들므로 이 출력 회로는 메모리 회로의 출력 신호에 의해 상기 논리 상태로 보유되는 것을 특징으로 하는 집적 회로.

### 청구항 2

제1항에 있어서, 상기 메모리 회로의 입력 및 출력은 상기 논리 출력 회로부를 형성하는 대칭 논리 기능을 갖는 논리 부회로를 통해 상기 논리 출력 회로의 나머지부에 접속되는 것을 특징으로 하는 집적 회로.

### 청구항 3

제2항에 있어서, 상기 메모리 회로는 최소한 하나의 단일 플립플롭 회로를 구비하며, 상기 논리 부회로는 OR 기능을 수행하는 최소한의 제1 및 제2 논리 게이트를 구비하며, 플립플롭 회로의 반전출력(Q) 및 제1입력은 제2논리 게이트의 한 입력 및 다른 입력에 접속되며 플립플롭 회로의 비반전 출력(Q) 및 제2입력은 제1논리 게이트의 한 입력 및 다른 입력에 각각 접속되는 것을 특징으로 하는

집적 회로.

**청구항 4**

제3항에 있어서, 상기 메모리 회로는 다른 플립플롭 회로를 구비하며, 이 회로의 제1입력은 논리 게이트를 통해 데이타 입력 단자에 결합되며 제2입력은 모니터링 입력 단자에 접속되며 출력은 논리 부회로에서 논리 OR 기능을 갖는 제3논리 게이트에 접속되며 제3논리 게이트의 다른 입력은 상기 다른 플립플롭 회로의 제2입력에 접속되는 것을 특징으로 하는 집적 회로.

**청구항 5**

제3항에 있어서, 상기 집적 회로는 여러 논리 출력 버퍼를 구비하며, 제1입력이 논리 게이트를 통해 데이타 입력 단자에 결합되며 제2입력이 모니터링 입력 단자에 접속되며 출력이 논리 부회로에서 논리 OR 기능을 수행하는 제3게이트에 접속되는 다른 플립플롭 회로가 제공되며, 제3논리 게이트의 다른 입력은 상기 다른 플립플롭의 제2입력에 접속되는 것을 특징으로 하는 집적 회로.

**청구항 6**

제3항 내지 제5항중 어느 한 항에 있어서, 상기 플립플롭 회로는 셋트 리셋트형(SR)이며, 제1 및 제2입력 각각은 셋트 리셋트(SR) 플립플롭 회로의 리셋트 또는 셋트 입력인 것을 특징으로 하는 집적 회로.

**청구항 7**

제4항 또는 제5항에 있어서, 상기 플립플롭 회로들은 셋트-리셋트형(SR)이며, 제1입력은 셋트-리셋트 플립플롭 회로의 리셋트 입력이고 제2입력은 셋트-리셋트(SR) 플립플롭 회로의 셋트 입력이며, 모든 데이타 입력 단자는 논리 OR 기능을 수행하는 제4게이트를 통해 다른 플립플롭 회로의 리셋트 입력에 결합되는 것을 특징으로 하는 집적 회로.

**청구항 8**

제7항에 있어서, 상기 모니터링 입력 단자는 제1반전 소자 및 제4의 OR게이트의 출력을 통해 제1 AND 게이트의 제1 및 제2입력 단자에 각각 결합되며 상기 AND 게이트의 출력은 상기 다른 플립플롭 회로의 리셋트 입력에 접속되는 것을 특징으로 하는 집적 회로.

**청구항 9**

제8항에 있어서, 상기 제4논리 게이트는 각각의 게이트 전극이 각각의 데이타 입력 단자에 결합되는 병렬 n형 트랜지스터를 구비하며, 상기 제1 AND 게이트는 단일 n형 트랜지스터를 구비하며, 이 트랜지스터의 게이트 전극은 제1반전 소자의 출력에 접속되며, 상기 병렬 트랜지스터의 소스는 상기 단일 트랜지스터의 드레인에 결합되며, 상기 단일 트랜지스터의 소스는 제2공급 단자에 결합되며 상기 병렬 트랜지스터의 드레인은 다른 플립플롭 회로의 출력에 결합되는 것을 특징으로 하는 집적 회로.

**청구항 10**

제8 또는 9항에 있어서, 상기 논리 부회로는 제1 및 제2 NAND 게이트, 제5 및 제6의 OR 게이트, 제2반전 소자를 포함하며, 상기 제3의 OR게이트의 출력은 상기 제2반전 소자를 통해 상기 제1 및 제2NAND 게이트의 제2입력 단자에 결합되며, 제1 및 제2의 OR 게이트의 출력은 제1 및 제2 NAND 게이트의 제1입력 단자에 접속되며, 이 NAND 게이트의 출력 단자는 제5 및 제6의 OR게이트의 제1입력 단자에 접속되며 이들 OR 게이트의 제2입력 단자는 상기 모니터링 입력 단자에 결합되는 것을 특징으로 하는 집적 회로.

**청구항 11**

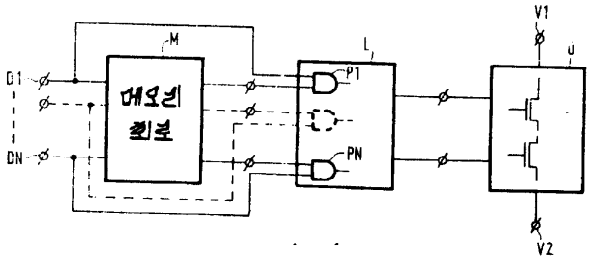
제10항에 있어서, 상기 제1의 OR 게이트는 제1 및 제2 p-형 트랜지스터 및 제1 및 제2 n-형 트랜지스터를 구비하며, 상기 제 1 NAND 게이트는 제3 p-형 트랜지스터 및 제3 n-형 트랜지스터를 구비하며, 제5의 OR 게이트는 제4 p-형 트랜지스터를 구비하며, 상기 제1, 제3 및 제4 p-형 트랜지스터의 소스는 상호 접속되며 제1공급 단자에 접속되며, 제2, 제3 및 제4 p형 트랜지스터 및 제1, 제2 n-형 트랜지스터의 드레인은 상호 접속되며 제5의 OR 게이트의 출력을 구성하며, 상기 제1, 제2 n-형 트랜지스터의 소스 전극은 서로 접속되며 제3 n-형 트랜지스터의 드레인에 접속되며, 제3 n-형 트랜지스터의 소스는 제2공급 단자에 접속되며, 상기 제1 p-형 트랜지스터의 드레인은 제2 p-형 트랜지스터의 소스에 접속되며, 상기 제1플립플롭 회로의 비반전 출력은 제1 p-형 및 제1 n-형 트랜지스터의 게이트에 접속되며, 상기 제1반전 소자의 출력은 제4 p-형 트랜지스터의 게이트 전극에 접속되며, 상기 제1데이타 입력 단자는 제2 p-형 및 제2 n-형 트랜지스터의 게이트 전극에 접속되며, 상기 제3의 OR 게이트의 출력은 제3 p-형 및 제3 n-형 트랜지스터의 게이트 전극에 접속되는 것을 특징으로 하는 집적 회로.

**청구항 12**

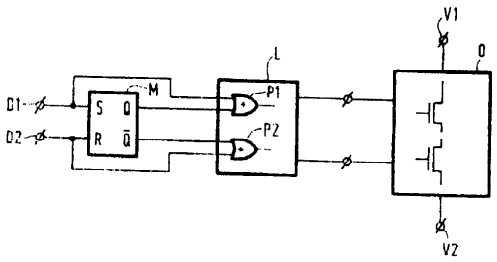
제9 또는 11항에 있어서, n-형 트랜지스터는 n-채널 전계 효과 트랜지스터 또는 바이폴라 npn 트랜지스터이며, p-형 트랜지스터는 p-채널 전계 효과 트랜지스터 또는 바이폴라 pnp 트랜지스터인 것을 특징으로 하는 집적 회로.

*도면*

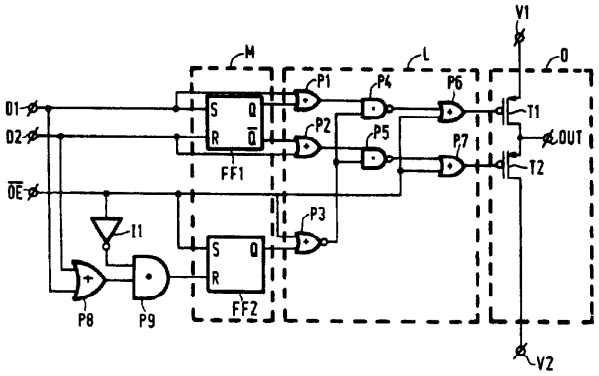
도면1



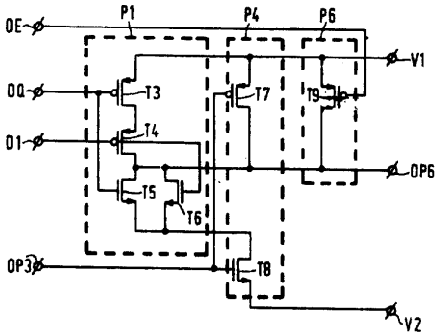

도면2



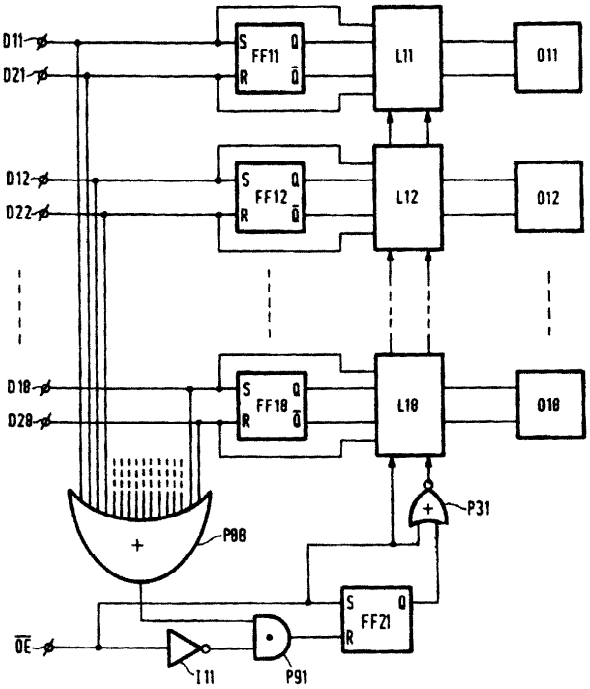

도면3




도면4



도면5


D11
D21
D12
D22
D18
D28
FF11
FF12
FF18
FF21
L11
L12
L18
O11
O12
O18
P88
P31
P91
I11
OE