

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 13 日 (13.10.2016)



(10) 国际公布号
WO 2016/161725 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) *G11C 19/28* (2006.01)
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/085941
- (22) 国际申请日: 2015 年 8 月 3 日 (03.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510165136.2 2015 年 4 月 9 日 (09.04.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路 118 号, Beijing 100176 (CN)。
- (72) 发明人: 王峥 (WANG, Zheng); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER UNIT, GATE ELECTRODE DRIVER DEVICE, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元、栅极驱动装置以及显示装置

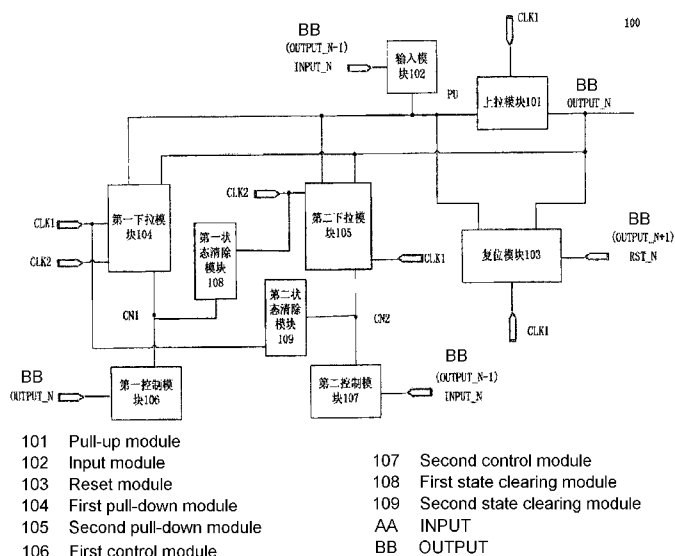


图 1

(57) Abstract: A shift register unit (100) comprising a pull-up module (101), an input module (102), a reset module (103), a first pull-down module (104), a second pull-down module (105), a first control module (106), a second control module (107), a first state clearing module (108), and a second state clearing module (109). The shift register unit (100) employs a first clock signal and a second clock signal for alternating pull-down of each other, thus maintaining the stability of an output signal. Also, the duty cycles of all TFTs in a circuit structure are less than 50%, thus the service life of the TFTs is greatly extended.

(57) 摘要: 一种移位寄存器单元(100)包括上拉模块(101)、输入模块(102)、复位模块(103)、第一下拉模块(104)、第二下拉模块(105)、第一控制模块(106)、第二控制模块(107)、第一状态清除模块(108)和第二状态清除模块(109)。该移位寄存器单元(100)采用第一时钟信号和第二时钟信号来进行交替互相下拉,从而维持输出信号的稳定。而且电路结构当中的所有 TFT 的占空比均小于 50%,从而极大地

提升了 TFT 的寿命。

移位寄存器单元、栅极驱动装置以及显示装置

技术领域

本公开涉及显示技术的领域，更具体地涉及一种移位寄存器单元、
5 以及使用该移位寄存器单元的栅极驱动装置以及显示装置。

背景技术

作为与现有的液晶显示装置的驱动电路相关的技术，本领域已经
开发出 GOA (Gate-driver on Array) 技术。GOA 电路通常包括多个级
10 联的移位寄存器单元，每一个移位寄存器单元分别与相邻行的移位寄
存器单元相连接，每一个移位寄存器单元均对应一行栅线，每一个移
位寄存器单元在输出栅极驱动信号的同时会将输出信号提供给下一个
移位寄存器单元，以保证下一个移位寄存器单元在下一个时钟周期内
实现栅极驱动信号的输出。

15 在现有技术中，通常采用薄膜晶体管 (TFT) 来使移位寄存器
单元的输出信号的电位下拉为低电平。然而，下拉 TFT 的占空比通常
情况下都会大于 99%，从而使得下拉 TFT 急剧老化，整体电路出现问
题，影响产品寿命。

20 发明内容

本公开的目标是提供一种移位寄存器单元、以及使用该移位寄存
器单元的栅极驱动装置以及显示装置来部分或全部解决上述的缺点。

根据本公开的一个方面，提供了一种移位寄存器单元，其包括上
拉模块、输入模块、复位模块、第一下拉模块、第二下拉模块、第一
25 控制模块、第二控制模块、第一状态清除模块和第二状态清除模块。
上拉模块连接第一时钟信号端口、上拉控制节点(PU)以及信号输出端，
用于根据上拉控制节点的电位和所述第一时钟信号端口输入的第一时
钟信号将信号输出端输出的信号上拉为高电平，所述上拉控制节点为
上拉模块与输入模块的连接点；输入模块连接信号输入端以及上拉控
30 制节点，用于根据信号输入端输入的信号控制上拉控制节点的电位；
复位模块连接复位信号端、第一时钟信号端口、上拉控制节点以及信
号输出端，用于根据复位信号端输入的信号和第一时钟信号将上拉控

制节点的电位和信号输出端输出的信号下拉为低电平；第一下拉模块连接第一时钟信号端口、输入第二时钟信号的第二时钟信号端口、第一控制节点、上拉控制节点以及信号输出端，用于在第一时钟信号电位为高且第二时钟信号电位为低时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平，第一控制节点为第一下拉模块与第一控制模块的连接点；第二下拉模块连接第一时钟信号端口、第二时钟信号端口、第二控制节点、上拉控制节点以及信号输出端，用于在第一时钟信号电位为低且第二时钟信号电位为高时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平，第二控制节点为第二下拉模块与第二控制模块的连接点；第一控制模块连接信号输出端和第一控制节点，用于在信号输出端输出信号时停用第一下拉模块；第二控制模块连接信号输入端和第二控制节点，用于在信号输入端输入信号时停用第二下拉模块；第一状态清除模块连接第二时钟信号端口和第一控制节点，用于在第二时钟信号电位为高时清除第一下拉模块的状态；第二状态清除模块连接第一时钟信号端口和第二控制节点，用于在第一时钟信号电位为高时清除第二下拉模块的状态。

上述移位寄存器单元采用第一时钟信号和第二时钟信号来使第一下拉模块和第二下拉模块进行交替下拉，从而维持输出信号的稳定。而且电路结构当中的所有 TFT 的占空比均小于 50%，从而极大地提升了 TFT 的寿命。

根据本公开的另一个方面，提供了一种栅极驱动装置，包括多个所述的移位寄存器单元，其中所述多个移位寄存器单元相互级联，除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的信号输出端都连接与其相邻的下一个移位寄存器单元的输入端以及连接与其相邻的上一个移位寄存器单元的复位信号端；其中所述第一个移位寄存器单元的信号输入端输入帧起始信号，信号输出端与第二个移位寄存器单元的信号输入端连接，所述最后一个移位寄存器单元的信号输出端连接与其相邻的上一个移位寄存器单元的复位信号端。

在实施例 1 中，相邻两级移位寄存器单元的第一时钟信号端口输入的时钟信号互为反相，第二时钟信号端口输入的时钟信号互为反相。

根据本发明的又一个方面，提供了一种显示装置，其包括如上所

述的栅极驱动装置。

5 本发明内容被提供来以简化形式引入在下面在具体实施方式中被进一步描述的构思的选择。本发明内容不旨在识别所要求保护的主题的关键特征或必要特征，它也不旨在用来帮助确定所要求保护的主题的范围。

附图说明

现将参考示出本发明的实施例的附图更详细地描述本发明的上述和其它方面。

10 图 1 图示了根据本公开的一个实施例的移位寄存器单元的示意图；

图 2 图示了根据本公开的一个实施例的移位寄存器单元的一个示意性结构图；

图 3 图示了根据本公开的一个实施例的移位寄存器单元的信号时序图；以及

15 图 4 图示了根据本公开的一个实施例的栅极驱动装置的示意性结构图。

具体实施方式

20 下面的实施例作为例子被提供使得本公开内容将是彻底的且完整的，并且将完全地将本发明的范围传达给本领域的技术人员。本公开内容在代表性实施例的上下文中被阐述，代表性实施例在任何方面不旨在为限制性的。

25 本发明的所有实施例中采用的晶体管可以是薄膜晶体管或场效应管或者其它具有相同特性的器件。在本发明的实施中，每个晶体管的源极和漏极可以互换地使用，因此为了描述方便，将其中的一个称为第一极，另一个称为第二极。

30 图 1 图示了根据本公开的一个实施例的移位寄存器单元的示意图。如图 1 所示，所述移位寄存器单元 100 包括上拉模块 101、输入模块 102、复位模块 103、第一下拉模块 104、第二下拉模块 105、第一控制模块 106、第二控制模块 107、第一状态清除模块 108 和第二状态清除模块 109。所述上拉模块连接第一时钟信号端口 CLK1、上拉控制节点 PU 以及信号输出端 OUTPUT_N（以级联结构中的第 N 个移位寄存器

单元为例)，用于根据上拉控制节点的电位和所述第一时钟信号端口输入的第一时钟信号将信号输出端输出的信号上拉为高电平，所述上拉控制节点为上拉模块与输入模块的连接点。所述输入模块连接信号输入端 INPUT_N（其通常连接上一个移位寄存器单元的信号输出端口 OUTPUT_N-1）以及上拉控制节点，用于根据信号输入端输入的信号控制上拉控制节点的电位。所述复位模块连接复位信号端 RST_N（其通常连接下一个移位寄存器单元的信号输出端口 OUTPUT_N+1）、第一时钟信号端口、上拉控制节点以及信号输出端，用于根据复位信号端输入的信号和第一时钟信号端口输入的第一时钟信号时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平。第一下拉模块连接第一时钟信号端口、输入第二时钟信号的第二时钟信号端口 CLK2、第一控制节点 CN1、上拉控制节点以及信号输出端，用于在第一时钟信号电位为高且第二时钟信号电位为低时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平，第一控制节点为第一下拉模块与第一控制模块的连接点。第二下拉模块连接第一时钟信号端口、第二时钟信号端口、第二控制节点 CN2、上拉控制节点以及信号输出端，用于在第一时钟信号电位为低且第二时钟信号电位为高时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平，第二控制节点为第二下拉模块与第二控制模块的连接点。第一控制模块连接信号输出端和第一控制节点，用于在信号输出端输出信号时停用第一下拉模块。第二控制模块连接信号输入端和第二控制节点，用于在信号输入端输入信号时停用第二下拉模块。第一状态清除模块连接第二时钟信号端口和第一控制节点，用于在第二时钟信号电位为高时清除第一下拉模块的状态。第二状态清除模块连接第一时钟信号端口和第二控制节点，用于在第一时钟信号电位为高时清除第二下拉模块的状态。

图 2 图示了根据本公开的一个实施例的移位寄存器单元的一个示意性结构图。如图 2 所示，上拉模块包括：第一晶体管 M1，其栅极连接到上拉控制节点 PU，第一极连接到第一时钟信号端口 CLK1，第二极连接到信号输出端 OUTPUT_N；第一电容 C1，其一端连接到上拉控制节点 PU，另一端连接到信号输出端 OUTPUT_N。

输入模块包括第二晶体管 M2，其栅极和第一极连接到信号输入端 INPUT_N，第二极连接到上拉控制节点 PU。

复位模块包括:第三晶体管 M3,其栅极连接到复位信号端 RST_N,第一极连接到第一时钟信号端口,第二极连接到上拉控制节点;第四晶体管 M4,其栅极连接到复位信号端,第一极连接到信号输出端口,第二极连接到第一时钟信号端口。

5 第一下拉模块包括:第五晶体管 M5,其栅极和第一极连接到第一时钟信号端口,第二极连接到第一控制节点;第六晶体管 M6,其栅极连接到第一控制节点 CN1,第一极连接到上拉控制节点,第二极连接到第二时钟信号端口 CLK2;第七晶体管 M7,其栅极连接到第一控制节点,第一极连接到信号输出端,第二极连接到第二时钟信号端口。

10 第二下拉模块包括:第八晶体管 M8,其栅极和第一极连接到第二时钟信号端口,第二极连接到第二控制节点 CN2;第九晶体管 M9,其栅极连接到第二控制节点,第一极连接到上拉控制节点,第二极连接到第一时钟信号端口;第十晶体管 M10,其栅极连接到第二控制节点,第一极连接到第一时钟信号端口,第二极连接到信号输出端。

15 第一控制模块包括第十一晶体管 M11,其栅极连接到信号输出端,第一极连接到第二时钟信号端口,第二极连接到第一控制节点。

第二控制模块包括第十二晶体管 M12,其栅极连接到信号复位端,第一极连接到第二控制节点,第二极连接到第一时钟信号端口。

20 第一状态清除模块包括第十三晶体管 M13,其栅极连接到第二时钟信号端口,第一极连接到第一控制节点,第二极连接到第一时钟信号端口。

第二状态清除模块包括第十四晶体管 M14,其栅极连接到第一时钟信号端口,第一极连接到第二时钟信号端口,第二极连接到第二控制节点。

25 图 2 所示电路结构均以 P 型晶体管为例进行说明,但是本领域普通技术人员基于本文对 P 型晶体管实现方式的描述和教导,在不需要付出创造性劳动的前提下也能够容易想到采用 N 型晶体管的实现方式,所有这些实现方式都涵盖在本发明的保护范围内。因此,应当指出,上面所描述的各模块的结构仅仅是示例性的而不是限制性的,任何可以实施上面所述描述的模块的功能的结构都被设想。

30 图 3 图示了根据本公开的一个实施例的移位寄存器单元的信号时序图。为了使对本公开内容的描述更加透彻,现结合图 2 的示例性结

构图进行描述。

如图 3 所示, 第一时钟信号端口 CLK1 输入的第一时钟信号和第二时钟信号端口 CLK2 输入的第二时钟信号互为反相, 并且优选地第一时钟信号和第二时钟信号为占空比小于 50% 的信号。在 a 阶段, CLK1 端为低电平, CLK2 端出现高电平, 并且信号输入端 INPUT_N 有信号输入 (即, 端口出现高电平), 复位信号端 RST_N 无信号输入 (端口为低电平)。应当指出, 信号输入端 INPUT_N 通常与上一个移位寄存器单元的信号输出端 (OUTPUT_N-1) 连接。此时, 第二晶体管 M2 导通, 对第一电容 C1 进行充电, 因此 PU 点的电位被控制成为高电平。此时, 由于信号输入端有信号输入, 导致第二控制模块启动 (即, M12 导通) 以便停用第二下拉模块 (CN2 点为低电平, 从而导致 M9、M10 截止), 同时由于 CLK1 端为低电平, 第一下拉模块也不起作用 (M5 截止)。

在 b 阶段, CLK1 端出现高电平, CLK2 端为低电平, 信号输入端无信号输入, 复位信号端也无信号输入。此时, 由于 a 阶段第一电容 C1 已充电并且 PU 点的电位为高电平, 导致上拉模块的第一晶体管 M1 导通, 从而使得信号输出端 OUTPUT_N 输出的信号被上拉为高电平。信号输出端可以连接像素区的栅极, 以便为其提供栅极驱动信号。需要指出, 由于电容的耦合作用, PU 点的电位将继续升高。此时, 由于信号输出端有信号输出 (OUTPUT_N 端为出现高电平), 导致第一控制模块启动 (M11 导通) 以便停用第一下拉模块 (CN1 点为低电平, 从而导致 M6 和 M7 截止), 同时由于 CLK2 端为低电平, 第二下拉模块也不起作用 (M8 截止)。

在 c 阶段, CLK1 端为低电平, CLK2 端出现高电平, 并且信号输入端无信号输入, 而复位信号端 RST_N 有信号输入, 这是因为相邻的下一个移位寄存器单元的信号输出端 (OUTPUT_N+1) 有信号输出。此时, 复位模块中的 M3 和 M4 导通, 进而将 PU 点和 OUTPUT_N 点的电位迅速下拉为低电平。同时, 由于 CLK2 端出现高电平, 第二下拉模块被启用 (M8、M9 和 M10 导通), 确保将 PU 点和 OUTPUT_N 电的电位下拉为低电平。

在 d 阶段, CLK1 端出现高电平, CLK2 端为低电平, 信号输入端和复位信号端均无信号输入, 信号输出端无电平输出。这时, 第一下拉模块被启用 (M5、M6 和 M7 导通), 保持 PU 点和 OUTPUT_N 电

的电位为低电平。同时，第二状态清除模块工作（M14 导通）来清除第二下拉模块的上一状态，以避免其悬浮而导致电路的不稳定。

同理，在 e 阶段，第二下拉模块被启用，保持 PU 点和 OUTPUT_N 电的电位为低电平。同时，第一状态清除模块工作（M13 导通）来清除第一下拉模块的上一状态，以避免其悬浮而导致电路的不稳定。

在之后的各个阶段中，CLK1 和 CLK2 交替出现高电平，导致第一下拉模块和第二下拉模块交替工作来将 PU 点和 OUTPUT_N 电的电位下拉为低电平，直到在信号输入端有新的信号到来，则重复上述 a-e 阶段。

图 4 图示了根据本公开的一个实施例的栅极驱动装置的示意性结构图。如图 4 所示，栅极驱动装置 400 包括多个移位寄存器单元 100_1, ... , 100_N，它们中的每一个都可以与图 1 中的移位寄存器单元具有相同的结构。所述多个移位寄存器单元相互级联，除第一个移位寄存器单元 100_1 和最后一个移位寄存器单元 100_N 外，其余每个移位寄存器单元的信号输出端都连接与其相邻的下一个移位寄存器单元的输入端以及连接与其相邻的上一个移位寄存器单元的复位信号端。所述第一个移位寄存器单元的信号输入端输入帧起始信号 STV，信号输出端与第二个移位寄存器单元的信号输入端连接。所述最后一个移位寄存器单元的信号输出端连接与其相邻的上一个移位寄存器单元的复位信号端。在图 4 中所示的第一电压源 CLK 和第二电压源 CLKB 互为反相，因此相邻两级移位寄存器单元的第一时钟信号端口输入的时钟信号互为反相，第二时钟信号端口输入的时钟信号互为反相。

同样，一种显示装置被公开，其包括如上面所述的栅极驱动装置。

鉴于所公开的发明的原理可以被应用于的许多可能的实施例，应认识到，所图示的实施例仅是本发明的优选例子，并且不应该被视为限制本发明的范围。相反地，本发明的范围由以下权利要求来定义。我们因此要求落入这些权利要求和它们的等同物的范围内的全部作为我们的发明。

权 利 要 求

1. 一种移位寄存器单元，包括上拉模块、输入模块、复位模块、第一下拉模块、第二下拉模块、第一控制模块、第二控制模块、第一状态清除模块和第二状态清除模块；

上拉模块连接第一时钟信号端口、上拉控制节点(PU)以及信号输出端，用于根据上拉控制节点的电位和所述第一时钟信号端口输入的第一时钟信号将信号输出端输出的信号上拉为高电平，所述上拉控制节点为上拉模块与输入模块的连接点；

输入模块连接信号输入端以及上拉控制节点，用于根据信号输入端输入的信号控制上拉控制节点的电位；

复位模块连接复位信号端、第一时钟信号端口、上拉控制节点以及信号输出端，用于根据复位信号端输入的信号和第一时钟信号将上拉控制节点的电位和信号输出端输出的信号下拉为低电平；

第一下拉模块连接第一时钟信号端口、输入第二时钟信号的第二时钟信号端口、第一控制节点、上拉控制节点以及信号输出端，用于在第一时钟信号电位为高且第二时钟信号电位为低时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平，第一控制节点为第一下拉模块与第一控制模块的连接点；

第二下拉模块连接第一时钟信号端口、第二时钟信号端口、第二控制节点、上拉控制节点以及信号输出端，用于在第一时钟信号电位为低且第二时钟信号电位为高时将上拉控制节点的电位和信号输出端输出的信号下拉为低电平，第二控制节点为第二下拉模块与第二控制模块的连接点；

第一控制模块连接信号输出端和第一控制节点，用于在信号输出端输出信号时停用第一下拉模块；

第二控制模块连接信号输入端和第二控制节点，用于在信号输入端输入信号时停用第二下拉模块；

第一状态清除模块连接第二时钟信号端口和第一控制节点，用于在第二时钟信号电位为高时清除第一下拉模块的状态；

第二状态清除模块连接第一时钟信号端口和第二控制节点，用于在第一时钟信号电位为高时清除第二下拉模块的状态。

2. 根据权利要求 1 的移位寄存器单元, 所述上拉模块包括:

第一晶体管, 其栅极连接到上拉控制节点, 第一极连接到第一时钟信号端口, 第二极连接到信号输出端;

5 第一电容, 其一端连接到上拉控制节点, 另一端连接到信号输出端。

3. 根据权利要求 1 的移位寄存器单元, 所述输入模块包括:

第二晶体管, 其栅极和第一极连接到信号输入端, 第二极连接到上拉控制节点。

4. 根据权利要求 1 的移位寄存器单元, 所述复位模块包括:

10 第三晶体管, 其栅极连接到复位信号端, 第一极连接到第一时钟信号端口, 第二极连接到上拉控制节点;

第四晶体管, 其栅极连接到复位信号端, 第一极连接到信号输出端口节点, 第二极连接到第一时钟信号端口。

5. 根据权利要求 1 的移位寄存器单元, 所述第一下拉模块包括:

15 第五晶体管, 其栅极和第一极连接到第一时钟信号端口, 第二极连接到第一控制节点;

第六晶体管, 其栅极连接到第一控制节点, 第一极连接到上拉控制节点, 第二极连接到第二时钟信号端口;

20 第七晶体管, 其栅极连接到第一控制节点, 第一极连接到信号输出端, 第二极连接到第二时钟信号端口。

6. 根据权利要求 1 的移位寄存器单元, 所述第二下拉模块包括:

第八晶体管, 其栅极和第一极连接到第二时钟信号端口, 第二极连接到第二控制节点;

25 第九晶体管, 其栅极连接到第二控制节点, 第一极连接到上拉控制节点, 第二极连接到第一时钟信号端口;

第十晶体管, 其栅极连接到第二控制节点, 第一极连接到第一时钟信号端口, 第二极连接到信号输出端。

7. 根据权利要求 1 的移位寄存器单元, 所述第一控制模块包括:

30 第十一晶体管, 其栅极连接到信号输出端, 第一极连接到第二时钟信号端口, 第二极连接到第一控制节点。

8. 根据权利要求 1 的移位寄存器单元, 所述第二控制模块包括:

第十二晶体管, 其栅极连接到信号复位端, 第一极连接到第二控

制节点，第二极连接到第一时钟信号端口。

9. 根据权利要求 1 的移位寄存器单元，所述第一状态清除模块包括：

第十三晶体管，其栅极连接到第二时钟信号端口，第一极连接到第一控制节点，第二极连接到第一时钟信号端口。

10. 根据权利要求 1 的移位寄存器单元，所述第二状态清除模块包括：

第十四晶体管，其栅极连接到第一时钟信号端口，第一极连接到第二时钟信号端口，第二极连接到第二控制节点。

11. 一种栅极驱动装置，包括多个根据权利要求 1-10 中任意一项所述的移位寄存器单元，

其中所述多个移位寄存器单元相互级联，除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的信号输出端都连接与其相邻的下一个移位寄存器单元的输入端以及连接与其相邻的上一个移位寄存器单元的复位信号端；

其中所述第一个移位寄存器单元的信号输入端输入帧起始信号，信号输出端与第二个移位寄存器单元的信号输入端连接，所述最后一个移位寄存器单元的信号输出端连接与其相邻的上一个移位寄存器单元的复位信号端。

12. 根据权利要求 11 所述的栅极驱动装置，其中相邻两级移位寄存器单元的第一时钟信号端口输入的时钟信号互为反相，第二时钟信号端口输入的时钟信号互为反相。

13. 一种显示装置，其包括如权利要求 11-12 中任意一项所述的栅极驱动装置。

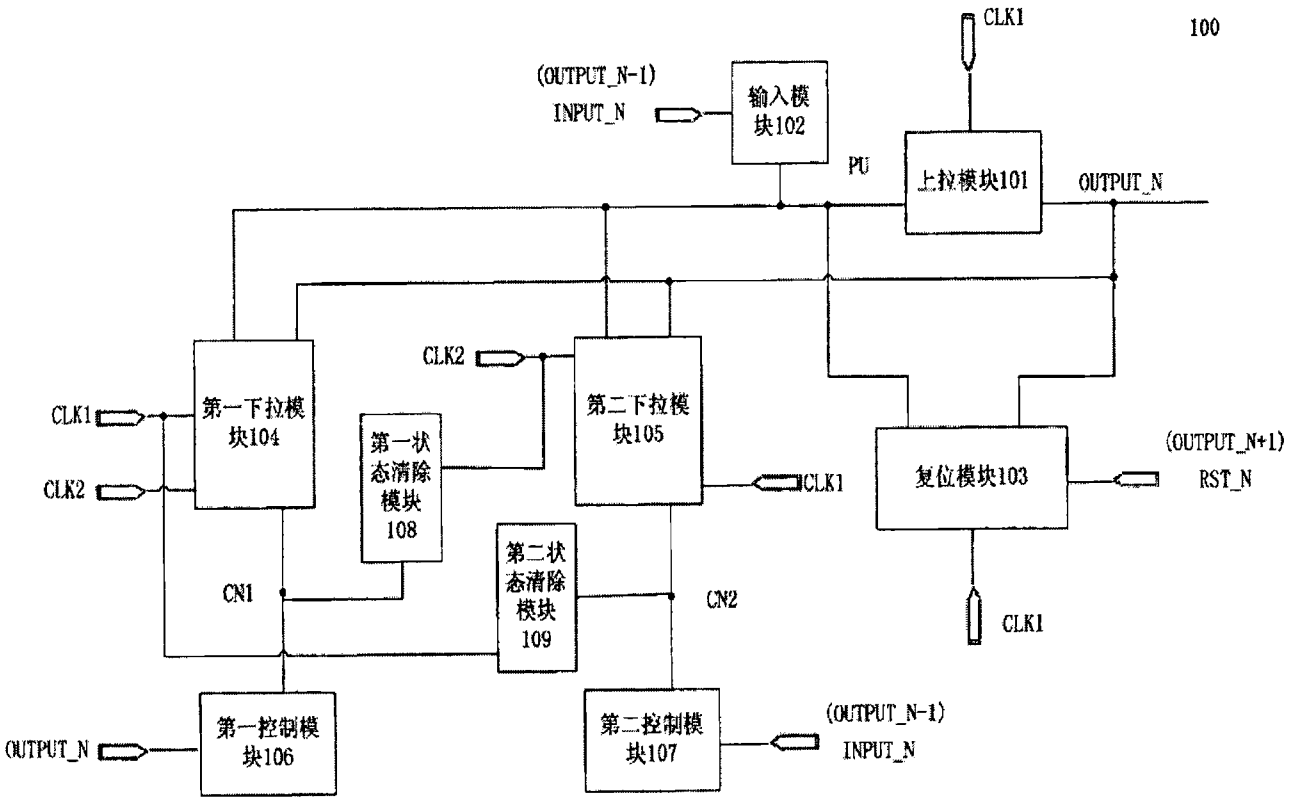


图 1

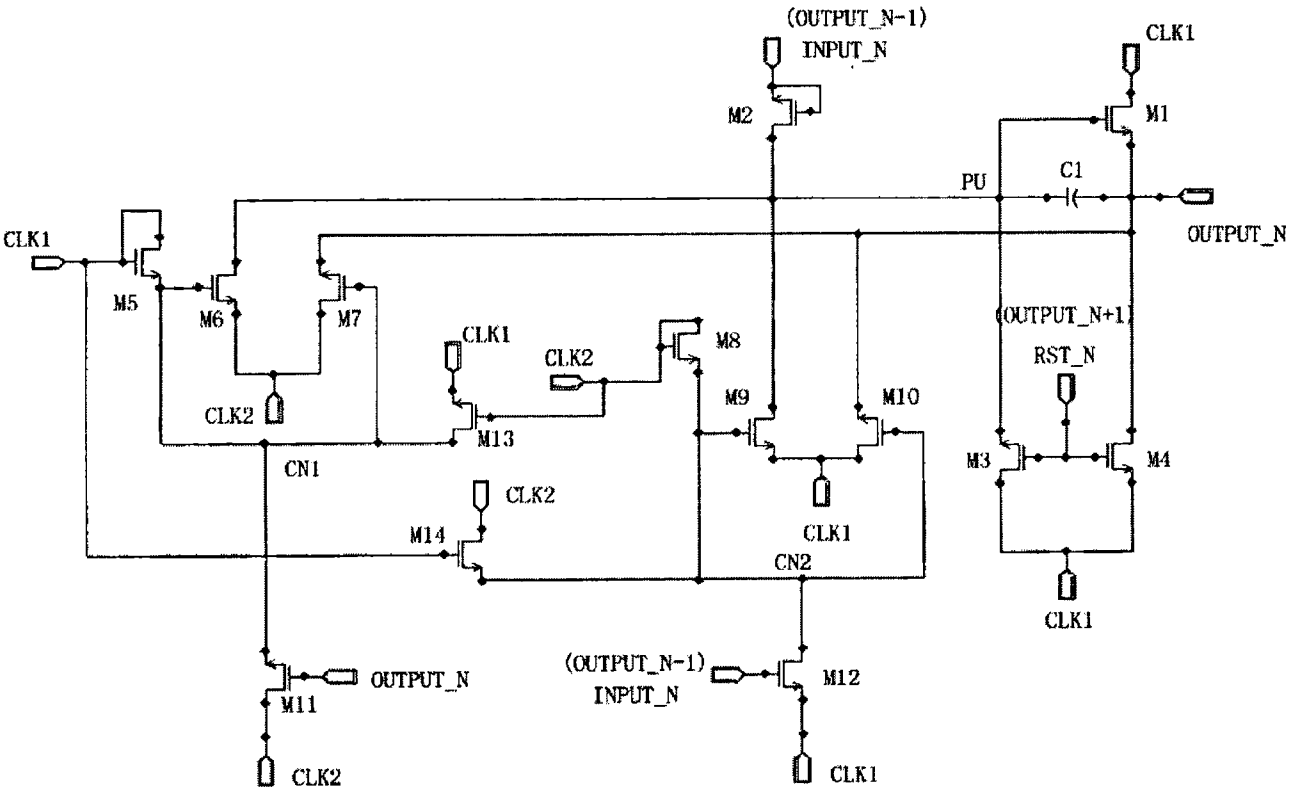


图 2

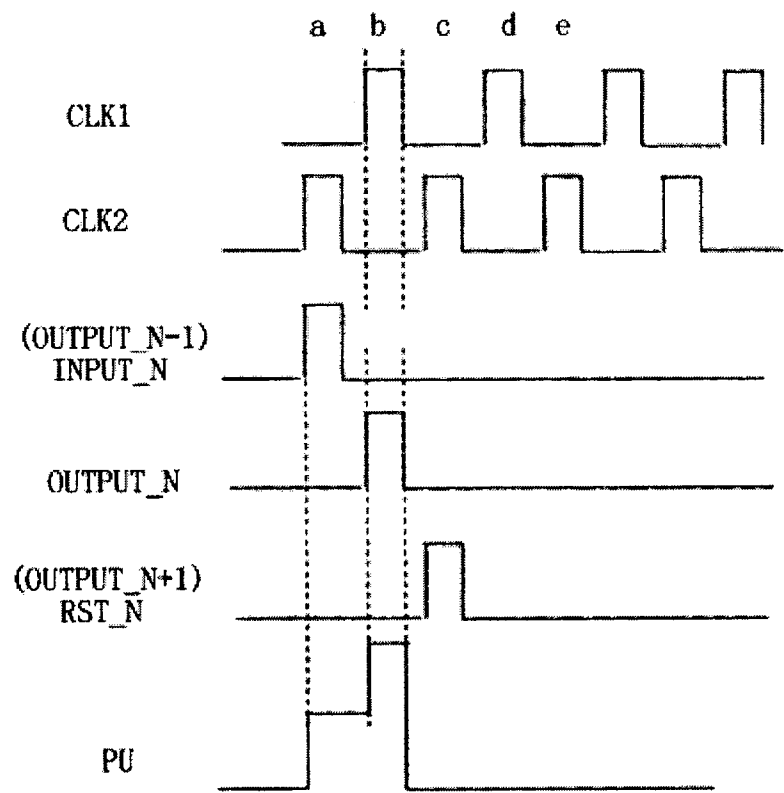


图 3

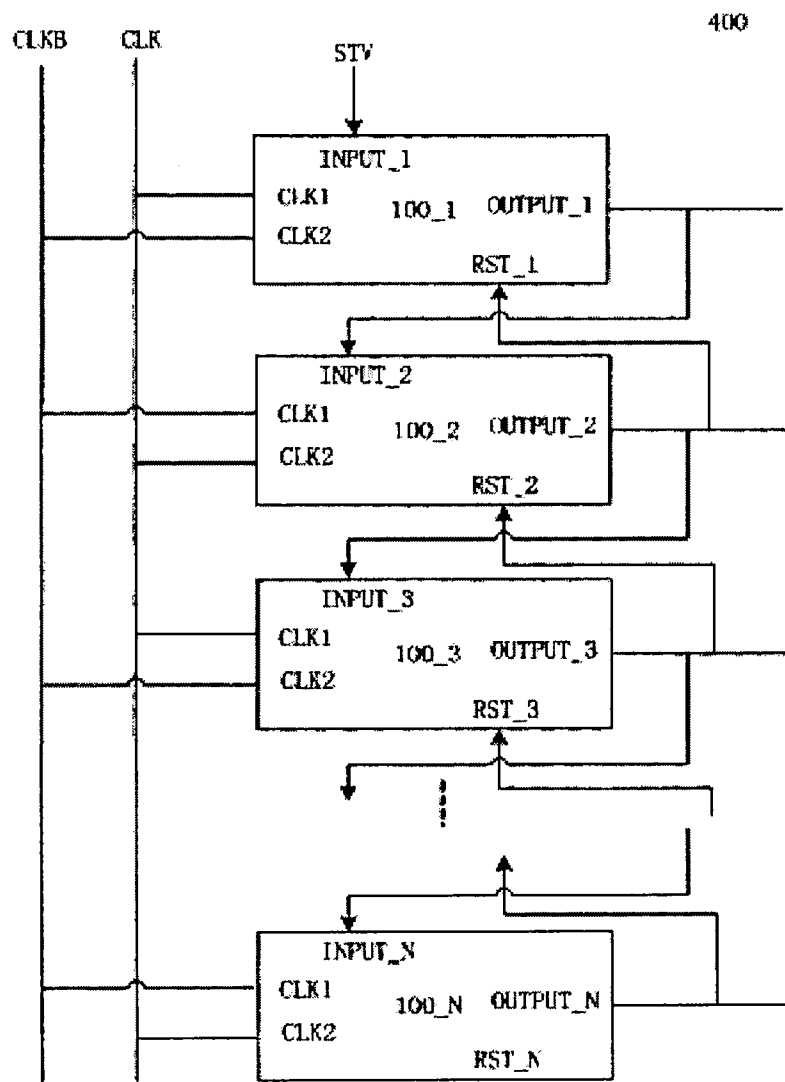


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/085941

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT: shift register, pull down, pull up, unit, circuit, SHIFT, REGISITER, CLOCK, CLEAR, RESET, PULL, UP, DOWN, DRIVE, INPUT+, OUTPUT+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104700769 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 10 June 2015 (10.06.2015), claims 1-13	1-13
A	CN 102654986 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 05 September 2012 (05.09.2012), description, paragraphs 0005-052, and figures 3-4	1-13
A	CN 102629459 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-13
A	EP 1160796 A2 (CASIO COMPUTER CO., LTD.), 05 December 2001 (05.12.2001), the whole document	1-13
A	US 2007242000 A1 (SHIN, D.Y.), 18 October 2007 (18.10.2007), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 December 2015 (15.12.2015)	Date of mailing of the international search report 11 January 2016 (11.01.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XU, Yan Telephone No.: (86-10) 62085794

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/085941

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104700769 A	10 June 2015	None	
CN 102654968 A	05 September 2012	WO 2013075536 A1	30 May 2013
		CN 102654968 B	10 December 2014
CN 102629459 A	08 August 2012	EP 2772902 A1	03 September 2014
		EP 2772902 A4	01 April 2015
		JP 2015502564 A	22 January 2015
		WO 2013060285 A1	02 May 2013
		US 2014050294 A1	20 February 2014
		KR 101459521 B1	07 November 2014
		KR 20130056876 A	30 May 2013
EP 1160796 A2	05 December 2001	CN 1326178 A	12 December 2001
		KR 20020004821 A	16 January 2002
		EP 1160796 A3	19 May 2004
		DE 60138429 D1	28 May 2009
		EP 1684310 A1	26 July 2006
		US 6611248 B2	26 August 2003
		DE 60121257 D1	17 August 2006
		HK 1042369 A1	27 January 2006
		EP 1160796 B1	05 July 2006
		EP 1684310 B1	15 April 2009
		DE 60121257 T2	06 June 2007
		CN 1213394 C	03 August 2005
		US RE40673 E1	24 March 2009
		US 2002003964 A1	10 January 2002
		TW 514926 B	21 December 2002
		KR 100393750 B1	27 August 2003
US 2007242000 A1	18 October 2007	US 7679597 B2	16 March 2010
		KR 100776511 B1	16 November 2007
		JP 2007286583 A	01 November 2007
		EP 1847983 B1	25 January 2012
		KR 20070103183 A	23 October 2007
		CN 101059933 A	24 October 2007
		EP 1847983 A1	24 October 2007
		CN 100565642 C	02 December 2009

国际检索报告

国际申请号

PCT/CN2015/085941

A. 主题的分类

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT:移位寄存器, 复位, 输入, 时钟, 下拉, 清除, 上拉, 单元, 电路, 清除, SHIFT, REGISITER, CLOCK, CLEAR, RESET, PULL, UP, DOWN, DRIVE, INPUT+, OUTPUT+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104700769 A (京东方科技集团股份有限公司 等) 2015年 6月 10日 (2015 - 06 - 10) 权利要求1-13	1-13
A	CN 102654986 A (京东方科技集团股份有限公司 等) 2012年 9月 5日 (2012 - 09 - 05) 说明书第0005-052段, 附图3-4	1-13
A	CN 102629459 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-13
A	EP 1160796 A2 (CASIO COMPUTER CO LTD) 2001年 12月 5日 (2001 - 12 - 05) 全文	1-13
A	US 2007242000 A1 (SHIN DONG YONG) 2007年 10月 18日 (2007 - 10 - 18) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 12月 15日

国际检索报告邮寄日期

2016年 1月 11日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

许彦

电话号码 (86-10)62085794

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/085941

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104700769	A	2015年 6月 10日	无			
CN	102654968	A	2012年 9月 5日	WO	2013075536	A1	2013年 5月 30日
				CN	102654968	B	2014年 12月 10日
CN	102629459	A	2012年 8月 8日	EP	2772902	A1	2014年 9月 3日
				EP	2772902	A4	2015年 4月 1日
				JP	2015502564	A	2015年 1月 22日
				WO	2013060285	A1	2013年 5月 2日
				US	2014050294	A1	2014年 2月 20日
				KR	101459521	B1	2014年 11月 7日
				KR	20130056876	A	2013年 5月 30日
EP	1160796	A2	2001年 12月 5日	CN	1326178	A	2001年 12月 12日
				KR	20020004821	A	2002年 1月 16日
				EP	1160796	A3	2004年 5月 19日
				DE	60138429	D1	2009年 5月 28日
				EP	1684310	A1	2006年 7月 26日
				US	6611248	B2	2003年 8月 26日
				DE	60121257	D1	2006年 8月 17日
				HK	1042369	A1	2006年 1月 27日
				EP	1160796	B1	2006年 7月 5日
				EP	1684310	B1	2009年 4月 15日
				DE	60121257	T2	2007年 6月 6日
				CN	1213394	C	2005年 8月 3日
				US	RE40673	E1	2009年 3月 24日
				US	2002003964	A1	2002年 1月 10日
				TW	514926	B	2002年 12月 21日
				KR	100393750	B1	2003年 8月 27日
US	2007242000	A1	2007年 10月 18日	US	7679597	B2	2010年 3月 16日
				KR	100776511	B1	2007年 11月 16日
				JP	2007286583	A	2007年 11月 1日
				EP	1847983	B1	2012年 1月 25日
				KR	20070103183	A	2007年 10月 23日
				CN	101059933	A	2007年 10月 24日
				EP	1847983	A1	2007年 10月 24日
				CN	100565642	C	2009年 12月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)