

(21)申請案號：100132831

(22)申請日：中華民國 100 (2011) 年 09 月 13 日

(51)Int. Cl. : **H01L27/15 (2006.01)**

H01L29/78 (2006.01)

(30)優先權：2010/09/14 日本

2010-205016

2010/09/14 日本

2010-205024

(71)申請人：櫟尾計算機股份有限公司 (日本) CASIO COMPUTER CO., LTD. (JP)

日本

(72)發明人：山本和人 YAMAMOTO, KAZUTO (JP)

(74)代理人：何金塗；丁國隆

申請實體審查：有 申請專利範圍項數：20 項 圖式數：62 共 178 頁

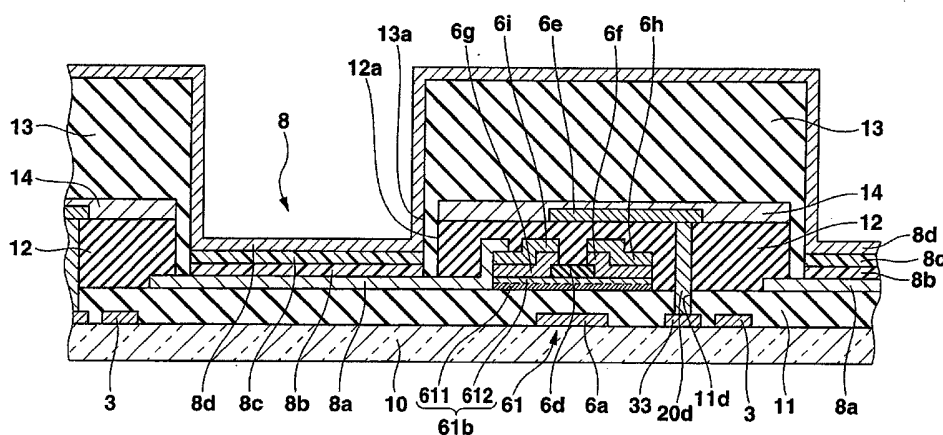
(54)名稱

電晶體構造體、電晶體構造體之製造方法及發光裝置

TRANSISTOR STRUCTURE, MANUFACTURING METHOD OF TRANSISTOR STRUCTURE, AND LIGHT EMITTING APPARATUS

(57)摘要

一種電晶體構造體，具備：第 1 薄膜電晶體，係具備第 1 閘極電極、覆蓋該第 1 閘極電極之第 1 絕緣膜、設於該第 1 絕緣膜上之與該第 1 閘極電極對應之位置的第 1 半導體膜、覆蓋該第 1 半導體膜之第 2 絕緣膜，及設於該第 2 絕緣膜上之與該第 1 半導體膜對應之位置的第 1 遮光膜；以及第 2 薄膜電晶體，係具備設於該第 1 絕緣膜上之第 2 半導體膜、覆蓋該第 2 半導體膜之該第 2 絕緣膜、設於該第 2 絕緣膜上之與該第 2 半導體膜對應之位置的第 2 閘極電極、及設於該第 1 絕緣膜下之與該第 2 半導體膜對應之位置的第 2 遮光膜；該第 1 半導體膜及該第 2 半導體膜，係從該第 1 絕緣膜側沿著厚度方向，具有第 1 區域與第 2 區域，該第 1 區域與該第 2 區域之一方之矽的結晶度，係較該第 1 區域與該第 2 區域之另一方之該矽的結晶度高。



3：信號線

6a：第 1 閘極電極

6d：保護絕緣膜

6f：雜質半導體膜

6g：雜質半導體膜

6h：汲極電極

6i：源極電極

8：EL 元件

8a：像素電極

8b：電洞注入層

8c：發光層

8d：對向電極

10：基板

11：第 1 絕緣膜

11d：接觸孔

12：第 2 絕緣膜

12a：開口部

13：邊堤

13a：開口部

14：鈍化膜

20d：接觸栓

33：接地配線

61：驅動電晶體

61b：第 1 半導體膜

611：第 1 區域

612：第 2 區域

(21)申請案號：100132831

(22)申請日：中華民國 100 (2011) 年 09 月 13 日

(51)Int. Cl. : **H01L27/15 (2006.01)**

H01L29/78 (2006.01)

(30)優先權：2010/09/14 日本

2010-205016

2010/09/14 日本

2010-205024

(71)申請人：櫟尾計算機股份有限公司 (日本) CASIO COMPUTER CO., LTD. (JP)

日本

(72)發明人：山本和人 YAMAMOTO, KAZUTO (JP)

(74)代理人：何金塗；丁國隆

申請實體審查：有 申請專利範圍項數：20 項 圖式數：62 共 178 頁

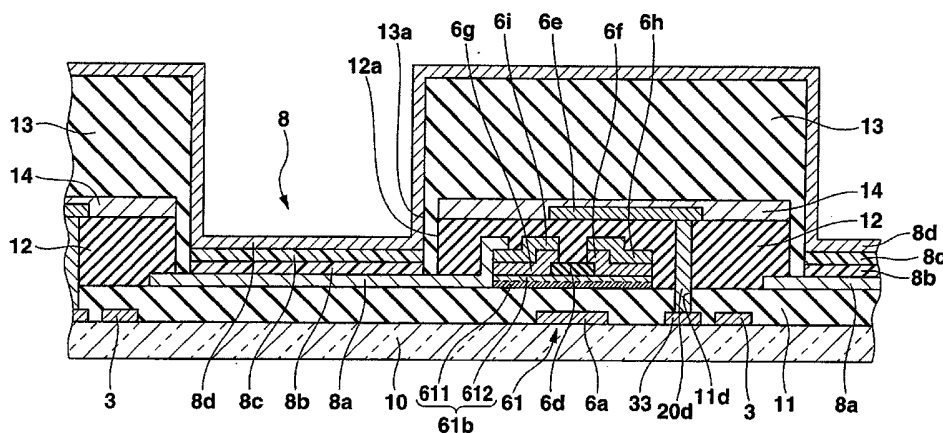
(54)名稱

電晶體構造體、電晶體構造體之製造方法及發光裝置

TRANSISTOR STRUCTURE, MANUFACTURING METHOD OF TRANSISTOR STRUCTURE, AND LIGHT EMITTING APPARATUS

(57)摘要

一種電晶體構造體，具備：第 1 薄膜電晶體，係具備第 1 閘極電極、覆蓋該第 1 閘極電極之第 1 絕緣膜、設於該第 1 絕緣膜上之與該第 1 閘極電極對應之位置的第 1 半導體膜、覆蓋該第 1 半導體膜之第 2 絕緣膜，及設於該第 2 絕緣膜上之與該第 1 半導體膜對應之位置的第 1 遮光膜；以及第 2 薄膜電晶體，係具備設於該第 1 絕緣膜上之第 2 半導體膜、覆蓋該第 2 半導體膜之該第 2 絕緣膜、設於該第 2 絕緣膜上之與該第 2 半導體膜對應之位置的第 2 閘極電極、及設於該第 1 絕緣膜下之與該第 2 半導體膜對應之位置的第 2 遮光膜；該第 1 半導體膜及該第 2 半導體膜，係從該第 1 絕緣膜側沿著厚度方向，具有第 1 區域與第 2 區域，該第 1 區域與該第 2 區域之一方之矽的結晶度，係較該第 1 區域與該第 2 區域之另一方之該矽的結晶度高。



3：信號線

6a：第 1 閘極電極

6d：保護絕緣膜

6f：雜質半導體膜

6g：雜質半導體膜

6h：汲極電極

6i：源極電極

8：EL 元件

8a：像素電極

8b：電洞注入層

8c：發光層

8d：對向電極

10：基板

六、發明說明：

本申請案係基於在2010年9月14日所申請之日本專利申請案2010-205016號案主張其優先權的利益，該日本專利申請案之全部揭示係以參照的方式全部合併於此。

【發明所屬之技術領域】

本發明係關於一種具備複數個薄膜電晶體之電晶體構造體、電晶體構造體之製造方法、以及發光裝置。特別是關於控制根據所供給之電流而發光之發光元件之發光之複數個薄膜電晶體的電晶體構造體、電晶體構造體之製造方法、以及具備此發光元件與電晶體構造體的發光裝置。

【先前技術】

以往，已知有一種使用EL(Electro Luminescence：電致發光)元件之EL發光顯示裝置。在EL發光顯示裝置係於各像素具備有EL元件，為了利用主動矩陣電路驅動此EL發光顯示裝置，依各像素分別設有控制對各EL元件供給之電流的薄膜電晶體。

主動矩陣方式之EL發光顯示裝置，係具備有例如連結於信號線(資料線)以控制資料信號的開關電晶體(switch transistor)、以及使與傳達自開關電晶體之資料信號對應之電流流至EL元件的驅動電晶體。

此EL發光顯示裝置為了發揮更良好之發光顯示特性，開關電晶體與驅動電晶體係要求分別具有不同之特性。

又，例如於日本公開2007-256926，記載有一種發光顯示裝置之技術，其係使具備含有結晶性矽之半導體膜的

薄膜電晶體具有驅動電晶體之功能，且使具備由非晶矽構成之半導體膜之薄膜電晶體具有開關電晶體之功能。

然而，上述日本公開2007-256926所記載之構成中，係以形成驅動電晶體與開關電晶體之一方的薄膜電晶體之後，為了形成另一方之薄膜電晶體，必需依各薄膜電晶體分別反覆進行絕緣膜、半導體膜、金屬膜等之成膜與該等已成膜之膜的圖案化以形成各薄膜電晶體的方式所構成。如此，由於為了依各薄膜電晶體分別反覆進行各步驟而必需有通常之成倍程度的步驟，因此會因步驟數之增加而導致製造成本的提高。

又，若EL元件所釋出之光或來自外部之光等，透過絕緣膜或邊堤(bank)或在金屬膜反射等而到達薄膜電晶體之半導體膜，則於該薄膜電晶體便會產生漏電流等，因此而有例如構成開關電晶體或驅動電晶體之薄膜電晶體之特性產生變動的情形。因此，較佳為使此種光無法到達薄膜電晶體之半導體膜。

【發明內容】

本發明係在具備複數個薄膜電晶體之電晶體構造體、電晶體構造體之製造方法、以及具備此發光元件與電晶體構造體之發光裝置中，具有可提供能以良好效率形成分別適合於控制發光元件之發光之驅動電晶體及開關電晶體且形態互異的複數個薄膜電晶體，同時亦可抑制因從發光元件所釋出之光或來自外部之光而導致各薄膜電晶體之特性產生變動的電晶體構造體、其製造方法及發光裝置的優點。

為了獲得上述優點，本發明之電晶體構造體，具備：

第1薄膜電晶體，係具備第1閘極電極、覆蓋該第1閘極電極之第1絕緣膜、設於該第1絕緣膜上之與該第1閘極電極對應之位置的第1半導體膜、覆蓋該第1半導體膜之第2絕緣膜，及設於該第2絕緣膜上之與該第1半導體膜對應之位置的第1遮光膜；以及

第2薄膜電晶體，係具備設於該第1絕緣膜上之第2半導體膜、覆蓋該第2半導體膜之該第2絕緣膜、設於該第2絕緣膜上之與該第2半導體膜對應之位置的第2閘極電極、及設於該第1絕緣膜下之與該第2半導體膜對應之位置的第2遮光膜；

該第1半導體膜及該第2半導體膜，係從該第1絕緣膜側沿著厚度方向，具有第1區域與第2區域，該第1區域與該第2區域之一方之矽的結晶度，係較該第1區域與該第2區域之另一方之該矽的結晶度高。

為了獲得上述優點，本發明之電晶體構造體之製造方法，該電晶體構造體係具有第1薄膜電晶體與第2薄膜電晶體，包含：

第1閘極電極形成步驟，係形成該第1薄膜電晶體之第1閘極電極；

第1絕緣膜形成步驟，係於該第1閘極電極上形成第1絕緣膜；

半導體膜形成步驟，係於該第1絕緣膜上之與該第1閘極電極對應之位置形成第1半導體膜，於該第1絕緣膜上之成為該第2薄膜電晶體之位置形成第2半導體膜；

第2絕緣膜形成步驟，係於該第1半導體膜及該第2半導體膜之上方形形成第2絕緣膜；以及

第2閘極電極形成步驟，係於該第2絕緣膜上之與該第2半導體膜對應之位置形成該第2薄膜電晶體之第2閘極電極；

該第2閘極電極形成步驟，係包含在該第2絕緣膜上之與該第1半導體膜對應之位置，與該第2閘極電極同時地形成第1遮光膜的第1遮光膜形成步驟；

該第1閘極電極形成步驟，係包含在該第1絕緣膜下之與該第2半導體膜對應之位置，與該第1閘極電極同時地形成第2遮光膜的第2遮光膜形成步驟；

該半導體膜形成步驟，係包含從該第1絕緣膜側沿著厚度方向積層並形成第1區域與第2區域，以形成該第1半導體膜及該第2半導體膜，並使該第1區域與該第2區域之一方之矽的結晶度，較該第1區域與該第2區域之另一方之該矽的結晶度高的步驟。

為了獲得上述優點，本發明之發光裝置，係具有電晶體構造體與發光元件，作為該電晶體構造體，具備：

第1薄膜電晶體，係具備第1閘極電極、覆蓋該第1閘極電極之第1絕緣膜、設於該第1絕緣膜上之與該第1閘極電極對應之位置的第1半導體膜、覆蓋該第1半導體膜之第2絕緣膜、及設於該第2絕緣膜上之與該第1半導體膜對應之位置的第1遮光膜；以及

第2薄膜電晶體，係具備設於該第1絕緣膜上之第2半導體膜、覆蓋該第2半導體膜之該第2絕緣膜、設於該第2絕緣膜上之與該第2半導體膜對應之位置的第2閘極電極、及設於該第1絕緣膜下之與該第2半導體膜對應之位置的第2遮光膜；

發光元件係藉由該第1薄膜電晶體與該第2薄膜電晶體之控制來控制發光；

該第1半導體膜及該第2半導體膜，係從該第1絕緣膜側沿著厚度方向，具有第1區域與第2區域；

該第1區域與該第2區域之一方之矽的結晶度，係較該第1區域與該第2區域之另一方之該矽的結晶度高。

本發明之額外優點將於隨後的說明中闡述，且部分優點將自說明成為顯而易見，或是可藉由實施本發明而得知。可藉由下文中特別指出的手段及組合而實現並獲得本發明之優點。

【實施方式】

合併於此且構成說明書之一部分的附圖係例示本發明之實施例，且連同前文中的發明內容及後文中的實施方式用來說明本發明的原理。

以下，針對本發明之實施形態，參照圖式加以說明。然而，於以下所述之實施形態，雖附加有用以實施本發明之技術上較佳的各種限制，不過並非將發明之範圍限制於以下之實施形態及圖示例。

(第1實施形態)

首先，針對本發明之EL面板、電晶體構造體的第1實施形態加以說明。

第1圖係表示發光裝置即EL面板1中複數個像素P之配置構成的平面圖。

第2圖係表示EL面板1之概略構成的平面圖。

如第1圖、第2圖所示，於EL面板1，複數個像素P係以既定之圖案配置成矩陣狀。複數個像素P係具有發出R(

紅)光之紅像素P、發出G(綠)光之綠像素P、以及發出藍(B)光之藍像素P。

在此EL面板1，複數條掃描線2係以沿著行方向彼此大致平行之方式排列，複數條信號線3係以俯視與掃描線2大致正交且沿著列方向彼此大致平行的方式排列。

在相鄰之掃描線2之間沿著掃描線2設有電壓供給線4。

此外，藉由彼此相鄰之兩條掃描線2、以及彼此相鄰之兩條信號線3所圍成的範圍，係相當於像素P。

於EL面板1，以覆蓋掃描線2、信號線3、電壓供給線4之上方的方式，設有係隔壁之邊堤13。此邊堤13係設成例如格子狀，依各像素P分別形成有藉由邊堤13圍成之大致長方形狀的複數個開口部13a。

於此邊堤13之開口部13a內，設有既定之載子輸送層(後述之電洞注入層8b、發光層8c)，而成為像素P之發光區域。載子輸送層係指藉由施加電壓來輸送電洞或電子之層。

邊堤13，如上述般，並非侷限於依各像素P分別設置開口部13a者。邊堤13係具有長條(stripe)狀之開口部者亦可，該長條狀之開口部係覆蓋信號線3上且沿著列方向延伸，並匯集排列於列方向之後述複數個像素P之各像素電極8a的中央部露出。

第3圖係表示相當於以主動矩陣驅動方式動作之EL面板1之1個像素之電路之一例的電路圖。

如第3圖所示，於EL面板1，係設有掃描線2、與掃描線2交叉之信號線3、以及沿著掃描線2之電壓供給線4。

此EL面板1之各像素P，係具備有係第2薄膜電晶體之開關電晶體5、係第1薄膜電晶體之驅動電晶體6、電容器7、以及係發光元件之EL元件8。

開關電晶體5與驅動電晶體6，係具有作為使EL元件8發光之驅動元件的功能。

在各像素P，開關電晶體5係一種具有將信號線3與驅動電晶體6之閘極之間予以導通或阻斷之功能的電晶體，當開關電晶體5之汲極與源極間導通時，信號線3與驅動電晶體6之閘極即導通。開關電晶體5之閘極係連接於掃描線2，開關電晶體5之汲極與源極之中之一方係連接於信號線3，開關電晶體5之汲極與源極之中之另一方係連接於電容器7之一方之電極及驅動電晶體6之閘極。

驅動電晶體6係一種具有將根據從信號線3所供給之信號的電流供給至EL元件8之功能的電晶體。驅動電晶體6之源極與汲極之中之一方係連接於電壓供給線4，驅動電晶體6之源極與汲極之中之另一方係連接於電容器7之另一方之電極及EL元件8之陽極。

此外，所有像素P之EL元件8的陰極係連接於電壓Vcom，而設定於一定電位。Vcom，例如係設定於接地電位。

在此EL面板1之周圍，各掃描線2係連接於掃描驅動器，各電壓供給線4係連接於輸出一定電壓之電壓源或輸出適當電壓信號之電壓驅動器，各信號線3係連接於資料驅動器(data driver)，藉由這些驅動器而以主動矩陣驅動方式驅動EL面板1。於電壓供給線4，係供給電壓源所產生之一定電壓或電壓驅動器所產生之電壓信號。

其次，針對第1實施形態之EL面板1與其像素P之構成，使用第4圖～第6圖加以說明。

第4圖相當於第1實施形態之EL面板1之1個像素P的平面圖。

第5圖係沿著第4圖之V-V線之面的箭頭方向截面圖。

第6圖係沿著第4圖之VI-VI線之面的箭頭方向截面圖。

此外，第4圖中，主要係表示電極及配線。

如第4圖所示，各像素P係具備具有開關電晶體51與驅動電晶體61之電晶體構造體561。

開關電晶體51、及驅動電晶體61係分別對應第3圖之開關電晶體5、及驅動電晶體6。

開關電晶體51及驅動電晶體61，係以沿著信號線3的方式排列，於開關電晶體51之附近配置有電容器7，於驅動電晶體61之附近則配置有EL元件8。

在各像素P，於掃描線2與電壓供給線4之間，係配置有開關電晶體51、驅動電晶體61、電容器7、以及EL元件8。

如第4圖～第6圖所示，在基板10上設有第1閘極電極6a，以覆蓋該第1閘極電極6a的方式，於基板10之上面成膜有第1絕緣膜11。

在此第1絕緣膜11之上，分別於既定之位置形成有第2半導體膜51b與第1半導體膜61b、一對雜質半導體膜5f, 5g、一對雜質半導體膜6f, 6g、汲極電極5h, 6h、以及源極電極5i, 6i。

此外，覆蓋汲極電極5h, 6h及源極電極5i, 6i成膜有

第2絕緣膜12。

在此第2絕緣膜12上設有第2閘極電極5a，覆蓋該第2閘極電極5a，於第2絕緣膜12之上面成膜有鈍化膜14。

第1半導體膜61b係於一方之面側(圖面下方側)透過第1絕緣膜11對向配置有第1閘極電極6a，於另一方之面側(圖面上方側)透過第2絕緣膜12對向配置有第1遮光膜6e。

第2半導體膜51b係於一方之面側(圖面下方側)透過第1絕緣膜11對向配置有第2遮光膜5e，於另一方之面側(圖面上方側)透過第2絕緣膜12對向配置有第2閘極電極5a。

信號線3係形成於基板10與第1絕緣膜11之間。

設定於接地電位之接地配線33，係沿著信號線3形成於基板10與第1絕緣膜11之間。

掃描線2係形成於第1絕緣膜11上。此外，於覆蓋掃描線2之上方的第2絕緣膜12，係形成有沿著掃描線2之槽，於該槽內則設有接觸於掃描線2並重疊於掃描線2之導電層2a，而構成為掃描線2與導電層2a導通，以謀求掃描線2之低阻抗化。此外，亦可不具上述槽及導電層2a。

電壓供給線4係形成在第1絕緣膜11上。此外，於覆蓋電壓供給線4之上方的第2絕緣膜12，係形成有沿著電壓供給線4之槽，於該槽內則設有接觸於電壓供給線4並覆蓋電壓供給線4之導電層4a，而構成為電壓供給線4與導電層4a導通。藉此，謀求電壓供給線4之低阻抗化，透過驅動電晶體61謀求供給至EL元件8之電流量的安定化。此外，亦可不具上述槽及導電層4a。

如第4圖、第6圖所示，開關電晶體51係一種頂部閘極(top gate)構造之第2薄膜電晶體。此開關電晶體51係具有第2閘極電極5a、第2半導體膜51b、保護絕緣膜5d、雜質半導體膜5f、5g、汲極電極5h、源極電極5i、以及第2遮光膜5e等。

第2遮光膜5e係形成在基板10與第1絕緣膜11之間，且與汲極電極5h及源極電極5i間之第2半導體膜51b之通道區域對應的位置。此第2遮光膜5e係在形成驅動電晶體61之第1閘極電極6a時，藉由將構成第1閘極電極6a之導電層予以圖案化，以與第1閘極電極6a同一製程所形成。第1閘極電極6a及第2遮光膜5e係由選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料所構成。第2遮光膜5e係其一部分為連接於接地配線33。

成膜於基板10之上面的絕緣性第1絕緣膜11，例如係具有光透射性，含有矽氮化物或矽氧化物。

在此第1絕緣膜11上且與第2閘極電極5a對應之位置，係形成有本質第2半導體膜51b。

第2半導體膜51b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側之第1區域511、以及位於其相反面側(第2閘極電極5a側)之第2區域512。此處，第1區域511之矽的結晶度係形成為較第2區域512高。換言之，第2半導體膜51b之第1區域511，相較於第2區域512係相對地矽之結晶度較高，結晶性矽區域之比例係較第2區域512高。此外，第2半導體膜51b之第2區域512，相較於第1區域511係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區

域。此第2半導體膜51b係成為形成通道之通道區域。在第2半導體膜51b之中央部上，係形成有絕緣性之保護絕緣膜5d。

保護絕緣膜5d，例如較佳為含有矽氮化物或矽氧化物。

在第2半導體膜51b之一端部之上，係重疊於保護絕緣膜5d之一部分形成有雜質半導體膜5f。在第2半導體膜51b之另一端部之上，係重疊於保護絕緣膜5d之一部分形成有雜質半導體膜5g。以此方式，雜質半導體膜5f、5g係分別在第2半導體膜51b之兩端側彼此隔著間隔形成。此外，雜質半導體膜5f、5g雖係含有n型雜質之n型半導體，不過並不侷限於此，若開關電晶體51為p型電晶體，則p型半導體亦可。

在雜質半導體膜5f之上，係形成有汲極電極5h，在雜質半導體膜5g之上，則形成有源極電極5i。

汲極電極5h、源極電極5i，例如係以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。

在保護絕緣膜5d、汲極電極5h、以及源極電極5i之上，係成膜有絕緣性之第2絕緣膜12，保護絕緣膜5d、汲極電極5h、以及源極電極5i等係藉由第2絕緣膜12被覆。第2絕緣膜12，例如係含有氮化矽或氧化矽。

第2閘極電極5a，係形成在第2絕緣膜12上且保護絕緣膜5d下之汲極電極5h及源極電極5i間，亦即與第2半導體膜51b之通道區域對應的位置。此第2閘極電極5a，例

如係以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜之中的材料形成較佳。

第2絕緣膜12上之第2閘極電極5a，係以鈍化膜14覆蓋。鈍化膜14，例如係含有氮化矽或氧化矽。

藉此，開關電晶體51係藉由鈍化膜14被覆。

在此開關電晶體51，第2絕緣膜12及保護絕緣膜5d係作為閘極絕緣膜之功能。於是，於第2閘極電極5a之電場作用之第2半導體膜51b中以保護絕緣膜5d覆蓋之區域，形成通道(通道區域)。此通道係形成於第2半導體膜51b中成為第2閘極電極5a側之第2半導體膜51b的第2區域512，此第2區域512係成為源極電極5i與汲極電極5h之間的電流路徑。

由於第2半導體膜51b之第2區域512，係較第1區域511含有更多非晶矽(amorphous silicon)的半導體層，因此以該第2區域512為通道之電流路徑的開關電晶體51，係相當於具備由非晶矽構成之半導體膜(或者，以非晶矽為主成分之半導體膜)的薄膜電晶體。亦即，由於開關電晶體51之第2區域512的非晶矽，與微晶矽等之結晶性矽相較漏電流較少，(在開(on)時流至半導體層之電流)/(在關(off)時流至半導體層之電流)較高，因此開關電晶體51係可良好地發揮作為控制驅動電晶體61之開(on)/關(off)之開關電晶體的功能。

在開關電晶體51中，第2半導體膜51b之通道區域係於下方對向配置有第2遮光膜5e，於上方則對向配置有第2閘極電極5a。藉此，即能以第2遮光膜5e與第2閘極電極

5a遮蔽從EL面板1之外部入射之光或EL元件8發光之光等傳播光到達第2半導體膜51b之通道區域。其結果，由於不易在開關電晶體51產生漏電流，電晶體特性安定，因此開關電晶體51即可良好地發揮功能。

再者，由於第2遮光膜5e係連接於接地配線33且設定於接地電位，第2遮光膜5e與第2閘極電極5a可阻斷朝向第2半導體膜51b之通道區域產生之因開關電晶體51外之因素所造成之不必要的電場，因此開關電晶體51即可藉由適切之第2閘極電極5a-源極電極5i間電壓、及汲極電極5h-源極電極5i間電壓而正常地動作。

如第4圖、第5圖所示，驅動電晶體61係一種底部閘極(bottom gate)構造之第1薄膜電晶體。此驅動電晶體61，係具有第1閘極電極6a、第1半導體膜61b、保護絕緣膜6d、雜質半導體膜6f, 6g、汲極電極6h、源極電極6i、以及第1遮光膜6e等。

第1閘極電極6a，係形成於基板10與第1絕緣膜11之間。此第1閘極電極6a，例如係以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。又，在第1閘極電極6a之上成膜有絕緣性之第1絕緣膜11，藉由此第1絕緣膜11被覆第1閘極電極6a。在此第1絕緣膜11上且與第1閘極電極6a對應之位置，形成有本質第1半導體膜61b，第1半導體膜61b係隔著第1絕緣膜11與第1閘極電極6a相對。

第1半導體膜61b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側(

第1閘極電極6a側)之第1區域611、以及位於其相反面側之第2區域612。此處，第1區域611之矽的結晶度係形成為較第2區域612高。換言之，第1半導體膜61b之第1區域611，相較於第2區域612係相對地矽之結晶度較高，結晶性矽區域之比例係較第2區域612高。此外，第1半導體膜61b之第2區域612，相較於第1區域611係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。

第1半導體膜61b之第1區域611，與第2半導體膜51b之第1區域511係相同組成且相同厚度，第1半導體膜61b之第2區域612，與第2半導體膜51b之第2區域512係相同組成且相同厚度。因此，第1半導體膜61b及第2半導體膜51b，如後述般，即可使用係同一材料層之半導體層9b，以同一製程一併地製造。此第1半導體膜61b係成為形成通道之通道區域。又，在第1半導體膜61b之中央部上，係形成有絕緣性之保護絕緣膜6d。

保護絕緣膜6d，係以與保護絕緣膜5d同一材料構成且相同厚度，例如含有矽氮化物或矽氧化物較佳。因此，保護絕緣膜6d及保護絕緣膜5d，如後述般，即可使用係同一材料層之保護絕緣層9d，以同一製程一併地製造。

在第1半導體膜61b之一端部之上，係重疊於保護絕緣膜6d之一部分形成有雜質半導體膜6f。在第1半導體膜61b之另一端部之上，則重疊於保護絕緣膜6d之一部分形成有雜質半導體膜6g。以此方式，雜質半導體膜6f, 6g

係分別在第1半導體膜61b之兩端側彼此隔著間隔形成。此外，雜質半導體膜6f, 6g雖為含有n型雜質之n型半導體，不過並不侷限於此，若開關電晶體51及驅動電晶體61為p型電晶體，則p型半導體亦可。

雜質半導體膜6f, 6g係以與雜質半導體膜5f, 5g同一材料構成且相同厚度。雜質半導體膜6f, 6g及雜質半導體膜5f, 5g，如後述般，即可使用係同一材料層之雜質半導體層9f，以同一製程一併地製造。

在雜質半導體膜6f之上，係形成有汲極電極6h。在雜質半導體膜6g之上，則形成有源極電極6i。汲極電極6h、源極電極6i，例如係以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。汲極電極6h、源極電極6i，係以與汲極電極5h、源極電極5i同一材料構成且相同厚度。汲極電極6h、源極電極6i及汲極電極5h、源極電極5i，如後述般，即可使用係同一材料層之導電膜9h，以同一製程一併地製造。

在保護絕緣膜6d、汲極電極6h、以及源極電極6i之上，係成膜有絕緣性之第2絕緣膜12，保護絕緣膜6d、汲極電極6h、以及源極電極6i等係藉由第2絕緣膜12被覆。

第1遮光膜6e係形成在第2絕緣膜12上且保護絕緣膜6d下之汲極電極6h及源極電極6i間，亦即與第1半導體膜61b之通道區域對應的位置。此第1遮光膜6e係在形成開關電晶體51之第2閘極電極5a時，藉由將構成第2閘極電極5a之閘極金屬層9a予以圖案化，以與第2閘極電極5a同一製程所形成。第1遮光膜6e及第2閘極電極5a係由選自

Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料所構成。第1遮光膜6e係其一部分為透過接觸栓(contact plug)20d連接於接地配線33。第2絕緣膜12上之第1遮光膜6e係以鈍化膜14覆蓋。

此外，驅動電晶體61係藉由鈍化膜14被覆。因此，鈍化膜14係分別覆蓋開關電晶體51及驅動電晶體61之兩方。鈍化膜14係提升與形成於其上之邊堤13的密接性並且保護第1遮光膜6e及第2閘極電極5a。

在此驅動電晶體61，第1絕緣膜11係具有閘極絕緣膜之功能，於第1閘極電極6a之電場作用之第1半導體膜61b中以保護絕緣膜6d覆蓋之區域，形成通道(通道區域)。此通道係形成於第1半導體膜61b中成為第1閘極電極6a側之第1半導體膜61b的第1區域611，該第1區域611係成為源極電極6i與汲極電極6h之間的電流路徑。

此外，由於第1半導體膜61b之第1區域611，係較第2區域612含有更多結晶性矽之半導體層，因此以該第1區域611為通道之電流路徑的驅動電晶體61，係相當於具備由結晶性矽構成之半導體膜(或者，以結晶性矽為主成分之半導體膜)的薄膜電晶體。亦即，由於驅動電晶體61之第1區域611內的微晶矽，係結晶粒徑大概50~100nm之結晶性矽，相較於非晶矽，電晶體驅動時閾值電壓的偏移較少，因此除了可抑制電晶體之劣化以外，載子移動度亦較高，所以驅動電晶體61可良好地發揮作為藉由開關電晶體51之控制使電流流至EL元件8之驅動電晶體的功能。

又，在驅動電晶體61中，由於第1半導體膜61b之通道區域係於上方對向配置有第1遮光膜6e，於下方則對向配置有第1閘極電極6a，因此即能以第1遮光膜6e與第1閘極電極6a遮蔽從EL面板1之外部入射之光或EL元件8發光之光等傳播光到達第1半導體膜61b之通道區域。其結果，由於在驅動電晶體61不易產生漏電流，電晶體特性便會安定，因此驅動電晶體61即可良好地發揮功能。

再者，由於第1遮光膜6e係連接於接地配線33且設定於接地電位，第1遮光膜6e與第1閘極電極6a可阻斷朝向第1半導體膜61b之通道區域產生之因驅動電晶體61外之因素所造成之不必要的電場，因此驅動電晶體61即可藉由適切之第1閘極電極6a-源極電極6i間電壓、及汲極電極6h-源極電極6i間電壓而正常地動作。

電容器7係連接於驅動電晶體61之第1閘極電極6a與源極電極6i之間。

具體而言，電容器7之電極7a係連接於驅動電晶體61之第1閘極電極6a，電容器7之電極7b係連接於驅動電晶體61之源極電極6i。

此外，如第4圖、第6圖所示，在基板10與第1絕緣膜11之間形成有電容器7一方之電極7a，在第1絕緣膜11與第2絕緣膜12之間則形成有電容器7另一方之電極7b，電極7a與電極7b係隔著係電介質之第1絕緣膜11相對。

此外，信號線3、接地配線33、電容器7之電極7a、驅動電晶體61之第1閘極電極6a、以及開關電晶體51之第2遮光膜5e，係藉由將整面地成膜於基板10，且由導電性

材料形成之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

掃描線2、電壓供給線4、電容器7之電極7b、開關電晶體51之汲極電極5h、源極電極5i及驅動電晶體61之汲極電極6h、源極電極6i，係藉由將整面地成膜於第1絕緣膜11之導電性膜利用光微影法及蝕刻法等予以形狀加工而一併地形成。

驅動電晶體61之第1遮光膜6e、開關電晶體51之第2閘極電極5a及導電層2a、導電層4a，係藉由將整面地成膜於第2絕緣膜12之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

在第1絕緣膜11，於汲極電極5h與信號線3重疊之區域形成有接觸孔(contact hole)11b，於第1閘極電極6a與源極電極5i重疊之區域形成有接觸孔11c，在接觸孔11b, 11c內則分別埋設有接觸栓20b, 20c。

藉由接觸栓20b開關電晶體51之汲極電極5h與信號線3電氣導通，藉由接觸栓20c開關電晶體51之源極電極5i與電容器7之電極7a電氣導通，並且開關電晶體51之源極電極5i與驅動電晶體61之第1閘極電極6a電氣導通。

此外，不透過接觸栓20b, 20c，亦可使汲極電極5h直接與信號線3接觸以使其導通，亦可使源極電極5i直接與第1閘極電極6a接觸以使其導通。

在第1絕緣膜11與第2絕緣膜12，於第1遮光膜6e與接地配線33重疊之區域形成有接觸孔11d，於該接觸孔11d則埋設有接觸栓20d。藉由接觸栓20d第1遮光膜6e與接地配線33即導通，第1遮光膜6e則被接地。

驅動電晶體61之第1閘極電極6a係一體地連接於電容器7之電極7a，驅動電晶體61之汲極電極6h係一體地連接於電壓供給線4，驅動電晶體61之源極電極6i則一體地連接於電容器7之電極7b。

像素電極8a，係透過第1絕緣膜11設在基板10上，且依各像素P分別獨立地形成。

在從像素電極8a側射出EL元件8之光的底部放射(bottom emission)構造的情況下，此像素電極8a係透明電極，且例如以選自摻錫氧化銦(ITO)、摻鋅氧化銦、氧化銦(In_2O_3)、氧化錫(SnO_2)、氧化鋅(ZnO)、以及鎘-錫氧化物(CTO)之中的材料形成較佳。

在從對向電極8d側射出EL元件8之光之頂部放射(top emission)構造的情況下，像素電極8a係以高光反射性之鋁等單體或合金層為下層來作為光反射性層，作為上層則設為上述透明電極之積層構造較佳。

此外，像素電極8a之一部分係重疊於驅動電晶體61之源極電極6i，像素電極8a與源極電極6i係彼此連接。

又，如第4圖、第5圖所示，第2絕緣膜12及鈍化膜14，係以覆蓋掃描線2、信號線3、電壓供給線4、開關電晶體51、驅動電晶體61、像素電極8a之周緣部、電容器7之電極7b、以及第1絕緣膜11的方式所形成。亦即，於第2絕緣膜12及鈍化膜14，係以各像素電極8a之中央部露出的方式，形成有開口部12a。因此，第2絕緣膜12及鈍化膜14，俯視係形成為格子狀。

EL元件8，如第4圖、第5圖所示，具備有構成陽極且作為第1電極的像素電極8a、形成在像素電極8a之上且係化合物膜的電洞注入層8b、形成在電洞注入層8b之上且係化合物膜的發光層8c、以及形成在發光層8c之上且作為第2電極的對向電極8d。

對向電極8d係所有像素P共通之單一電極，擴及所有像素P連續地形成。

電洞注入層8b係從像素電極8a朝向發光層8c注入電洞之載子注入層。電洞注入層8b，例如係由係導電性高分子之PEDOT(polyethylenedioxythiophene；聚伸乙二氧基噻吩)及係摻質(dopant)之PSS(polystyrene sulfonate；聚苯乙烯磺酸酯)所構成之層。

發光層8c係依各像素P分別含有發出R(紅)、G(綠)、B(藍)其中一種光之材料，例如由聚芴(polyfluorene)系發光材料或聚伸苯基伸乙烯(polyphenylenevinylene)系發光材料所構成之層，伴隨著供給自對向電極8d之電子與注入自電洞注入層8b之電洞的再結合而發光。因此，發出R(紅)光之像素P、發出G(綠)光之像素P、發出B(藍)光之像素P，其發光層8c之發光材料係互異。

此外，像素P之R(紅)、G(綠)、B(藍)，例如係以同色像素排列於縱方向之長條圖案(stripe pattern)排列。

此排列圖案並不侷限於長條圖案，三角(delta)排列亦可。在長條圖案的情況下，邊堤13之開口部13a，可設成沿著各像素P之排列圖案的格子狀或如沿著列方向匯集複數個像素P之像素電極8a之中央部露出般的長條狀。

對向電極8d係以功函數較像素電極8a還低之材料形成，在應用作為陰極的情況下，例如係以含有銦、鎂、鈣、鋰、鋇、稀土類金屬之至少一種之單體或合金之下層、及用以降低薄膜電阻(sheet resistance)之上層的積層體形成。

上層，在從對向電極8d側射出EL元件8之光之頂部放射構造的情況下，係透明電極，且例如以選自摻錫氧化銦(ITO)、摻鋅氧化銦、氧化銦(In_2O_3)、氧化錫(SnO_2)、氧化鋅(ZnO)、以及鎘-錫氧化物(CTO)中之材料形成較佳，若是從像素電極8a側射出EL元件8之光的底部放射，則高光反射性之鋁等單體或合金層較佳。

此對向電極8d係所有像素P共通之電極，被覆發光層8c等之化合物膜與後述之邊堤13。

藉由邊堤13，即可依各像素P分別間隔構成發光部位之發光層8c。接著，在開口部13a內，於像素電極8a上積層有作為載子輸送層之電洞注入層8b及發光層8c。

此外，電洞注入層8b亦能以跨越複數個像素P的方式連續地形成。此時，具有電洞注入性之氧化鋅較佳。

具體而言，邊堤13係具有作為攔阻用隔壁的功能，以在藉由濕式法將電洞注入層8b或發光層8c形成於以像素P之邊堤13所圍成之既定區域時，使在溶媒溶解或分散有構成電洞注入層8b或發光層8c之材料的液狀體不會透過邊堤13流出至相鄰之像素P。

例如，如第5圖所示，由於設在第2絕緣膜12及鈍化膜14之上的邊堤13之開口部13a之開口端，係較第2絕緣

膜12之開口部12a的開口端位於內側，因此邊堤13係覆蓋第2絕緣膜12全面。

此外，亦可藉由將第2絕緣膜12設為較邊堤13更寬幅之構造，開口部13a即較開口部12a寬幅，以使第2絕緣膜12之開口部12a的開口端中之側面從邊堤13之開口部13a露出。

接著，在被各開口部13a所圍繞之各像素電極8a上，塗佈含有構成電洞注入層8b之材料的液狀體，依基板10分別加熱使該液狀體乾燥並使其成膜的化合物膜，即成為係第1載子輸送層的電洞注入層8b。

進一步，在被各開口部13a所圍繞之各電洞注入層8b上，塗佈含有構成發光層8c之材料的液狀體，依基板10分別加熱使該液狀體乾燥並使其成膜的化合物膜，即成為係第2載子輸送層的發光層8c。

而且，以被覆此發光層8c與邊堤13的方式設有對向電極8d。

在此EL面板1，在底部放射構造的情況下，像素電極8a、基板10及第1絕緣膜11係透明，從發光層8c所發之光係透射過像素電極8a、第1絕緣膜11及基板10而射出。因此，基板10之背面係成為顯示面。

此外，非基板10側，即相反側成為顯示面之頂部放射構造亦可。此時，如上述般將對向電極8d設為透明電極，將像素電極8a設為反射電極，從發光層8c所發之光係透射過對向電極8d而射出。

其次，此EL面板1係以下述方式驅動而發光。

以於所有電壓供給線4施加有既定位準之電壓的狀態，利用掃描驅動器於掃描線2依序施加電壓，藉此依序選擇這些掃描線2。與所選擇之掃描線2對應之各像素P的開關電晶體5即變成開(on)。

在選擇各掃描線2時，當利用資料驅動器於所有信號線3施加與階度對應之位準的電壓後，由於與該所選擇之掃描線2對應之各像素P的開關電晶體51即變成開(on)，因此該信號線3中之電壓即施加於驅動電晶體61之閘極電極6a。

根據與施加於此驅動電晶體61之閘極電極6a之既定階度對應之位準的電壓，決定驅動電晶體61之閘極電極6a與源極電極6i之間的電位差，而決定驅動電晶體61中之汲極-源極電流的大小，EL元件8即以與該汲極-源極電流對應的亮度發光。

然後，解除該掃描線2之選擇後，由於開關電晶體51即變成關(off)，因此與施加於驅動電晶體61之閘極電極6a之電壓對應的電荷即蓄存於電容器7，驅動電晶體61之閘極電極6a與源極電極6i間的電位差便受到保持。因此，驅動電晶體61係使與選擇時相同電流值之汲極-源極電流持續流動，以維持EL元件8之發光。

亦即，藉由開關電晶體51，施加於驅動電晶體61之閘極電極6a的電壓，即切換至施加於信號線3之既定階度位準的電壓，驅動電晶體61係使與施加於該閘極電極6a之電壓之位準對應之電流值的汲極-源極電流(驅動電流)，從電壓供給線4朝向EL元件8流動，使EL元件8以對應電流值(電流密度)的既定階度發光。

以此方式，藉由具有開關電晶體51與驅動電晶體61之電晶體構造體561的驅動、控制來控制EL元件8之發光，以控制具備電晶體構造體561之EL面板1的發光。

其次，針對構成本發明之第1實施形態之EL面板1中之電晶體構造體561的開關電晶體51與驅動電晶體61之製造方法，使用第7A圖及第7B圖至第17A圖及第17B圖的步驟圖加以說明。

此外，在此步驟說明圖所示之開關電晶體51與驅動電晶體61，例如如第4圖所示般，實際上其形狀或尺寸等一部分雖不同，不過此處為了方便，係以同等之尺寸來表示各薄膜電晶體，而概念性地圖示各薄膜電晶體之主要部分來加以說明。各第A圖係驅動電晶體61，各第B圖則為開關電晶體51。

首先，如第7A圖及第7B圖所示，在基板10上例如使Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層以濺鍍堆積，利用光微影法及蝕刻法等予以圖案化，以形成驅動電晶體61之第1閘極電極6a與開關電晶體51之第2遮光膜5e、信號線3、接地配線33、電容器7之電極7a(參照第5圖、第6圖)。

接著，如第8A圖及第8B圖所示，利用電漿CVD(PE-CVD)，將氮化矽等之第1絕緣膜11予以成膜。

進一步，如第8A圖及第8B圖所示，利用電漿CVD將含有結晶性矽之半導體層9b成膜在第1絕緣膜11上。此處，在將構成半導體膜(51b, 61b)之半導體層9b予以成膜時，先將矽之結晶度較高之第1矽層91予以成膜，接著再將

矽之結晶度較低之第2矽層92予以成膜。第2矽層92較佳為實質上僅非晶矽。

具體而言，第1矽層91係藉由使 SiH_4 氣體與 H_2 氣體電漿分解後予以成膜，為了使 H_2 氣體對 SiH_4 氣體之比例絕對地多以更提高結晶度，藉由加大電漿功率與壓力，即可將係微晶矽薄膜之第1矽層91予以成膜。

本實施例中，作為載體氣體(carrier gas)係使用氬，將氣體流量設為 $\text{SiH}_4/\text{H}_2 = 50/10500[\text{SCCM}]$ ，以功率密度 $0.134[\text{W}/\text{cm}^2]$ 、壓力 $300[\text{Pa}]$ 之條件，將第1矽層91予以成膜。

然後，藉由降低 H_2 氣體對 SiH_4 氣體之比例，並降低電漿功率與壓力，將係非晶矽薄膜之第2矽層92予以成膜。

此處，在係微晶矽薄膜之第1矽層91，於其表面雖有產生凹凸的傾向，不過由於在第1矽層91積層有係非晶矽薄膜之第2矽層92，因此第1矽層91之表面凹凸係利用第2矽層92彌補而緩和。

又，亦可非利用電漿CVD將第1矽層91予以成膜，而以將雷射光照射於非晶矽薄膜而在微晶矽薄膜進行改質的方法來形成。此時，在第1絕緣膜11上將非晶矽薄膜予以成膜之後，從CVD裝置之腔室取出基板進行雷射光照射處理，以形成第1矽層91，然後再次將基板置入CVD裝置之腔室內，於第1矽層91上積層第2矽層92。

此外，針對半導體層9b中之第1矽層91與第2矽層92(半導體膜中之第1區域與第2區域)之矽的結晶度，係可根據利用例如拉曼分光法測量所算出之結晶度來判別。

在此情況下，例如非晶矽(amorphous silicon)係在 480cm^{-1} 附近賦予具有寬廣尖峰之頻譜。粒界(grain boundary)或結晶徑 5nm 以下之非常微小的結晶矽，係在 500cm^{-1} 附近賦予具有寬廣尖峰之頻譜。

結晶化矽係在 520cm^{-1} 附近賦予具有比較尖銳之尖峰的頻譜。

係測量對象之第1矽層91、第2矽層92之矽薄膜的頻譜，例如，如第61圖所示，係能將各成分頻譜，亦即非晶矽、粒界或結晶徑 5nm 以下之非常微小的結晶矽、結晶化矽的各頻譜，以某特定之比率重疊來表示。藉由以公知之解析方法求出此比率，即可算出結晶度 $d(\%)$ 。在某矽薄膜之頻譜所含之非晶矽之成分頻譜的強度為 I_{a-Si} 、粒界或結晶徑 5nm 以下之非常微小之結晶矽之成分頻譜的強度為 I_{uc-Si} 、結晶化矽之成分頻譜的強度為 I_{c-Si} 的情況下，結晶度 $d(\%)$ 係根據下述之式1算出。

$$d(\%) = (I_{c-Si} + I_{uc-Si}) / (I_{c-Si} + I_{uc-Si} + I_{a-Si}) \times 100 \cdots (1)$$

此結晶度 $d(\%)$ 愈高，於矽薄膜愈含有結晶化之矽。此處，例如結晶度若在 20% 以上則定義為屬微晶矽薄膜，結晶度若未達 20% 則定義為屬非晶矽薄膜。

作為將半導體層9b成膜在第1絕緣膜11上之前處理，較佳為於第1絕緣膜11之表面施以電漿處理。若於第1絕緣膜11施以電漿處理，則可將第1絕緣膜11之表面予以改質，以提高成膜在該第1絕緣膜11上之結晶性矽的結晶度。

作為本實施形態中之電漿處理，可使用例如 N_2O 氣體，以氣體流量 $2000[\text{SCCM}]$ 、功率密度 $0.356 [\text{W}/\text{cm}^2]$ 、壓力 $80[\text{Pa}]$ 之條件來進行。此電漿處理中雖使用 N_2O 氣體，不過亦可在適切條件下使用氧氣或氫氣，以取代 N_2O 氣體。

進一步，如第 8A 圖及第 8B 圖所示，利用 CVD 法等將矽氮化物等之保護絕緣層 9d 成膜在半導體層 9b (第 2 矽層 92) 上。

接著，如第 9A 圖及第 9B 圖所示，利用光微影法・蝕刻法等將保護絕緣層 9d 圖案化，以形成覆蓋半導體層 9b 中成為通道之區域的驅動電晶體 61 之保護絕緣膜 6d、以及開關電晶體 51 之保護絕緣膜 5d。

此處，由於第 1 矽層 91 係以第 2 矽層 92 覆蓋，因此在利用蝕刻將保護絕緣層 9d 圖案化時，第 1 矽層 91 並不會暴露在蝕刻環境下，所以半導體層 9b 之第 1 矽層 91 並不會受到膜減損等之損傷。

例如，以往將半導體層設為結晶性矽 (尤其是微晶矽) 之單層的構造中，由於在半導體層之表面凹凸較多，因此欲將通道保護膜形成在該半導體層之通道形成區域上時，在乾蝕刻時蝕刻氣體會通過結晶性矽之凹部並到達半導體層下之第 1 絕緣膜，而有刮削第 1 絕緣膜之一部分的情形，於是，在第 1 絕緣膜之一部分已受到刮削，而進一步欲將雜質半導體膜及源極・汲極電極積層於結晶性矽之凹凸較多之半導體層上的情況下，便有無法形成為正常構造之薄膜電晶體，在源極電極與汲極電極之間的電流路徑產生異常，而發生導通不良等問題的情形。

對此，本實施形態之半導體層9b中，由於係將非晶矽薄膜之第2矽層92積層於微晶矽薄膜之第1矽層91，而彌補了第1矽層91之凹凸，因此並不會因蝕刻而導致半導體層9b或第1絕緣膜11損傷，而可良好地形成驅動電晶體61之保護絕緣膜6d、以及開關電晶體51之保護絕緣膜5d。

接著，如第10A圖及第10B圖所示，利用濺鍍或CVD法等，將構成雜質半導體膜之雜質半導體層9f成膜在已形成保護絕緣膜6d、5d之半導體層9b上。

此外，作為雜質半導體層9f要使用何種材料，係依開關電晶體51、驅動電晶體61是p型或n型而異。

在p型電晶體的情況下(p^+Si)，係藉由使二硼烷(diborane)等受體(acceptor)型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

在n型電晶體的情況下(n^+Si)，係藉由使砷(arsine)或磷(phosphine)等施體(donor)型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

接著，如第11A圖及第11B圖所示，利用例如濺鍍等，將成為源極電極及汲極電極之導電膜9h成膜在雜質半導體層9f上。

接著，如第12A圖及第12B圖所示，利用光微影法・蝕刻法等將導電膜9h圖案化，以形成驅動電晶體61之源極電極6i及汲極電極6h、開關電晶體51之源極電極5i及汲極電極5h，並且形成掃描線2、電壓供給線4、電容器7之電極7b(參照第4圖～第6圖)。

接著，如第13A圖及第13B圖所示，以源極電極6i及汲極電極6h、以及源極電極5i及汲極電極5h為遮罩，利用乾蝕刻將雜質半導體層9f與半導體層9b圖案化，以形成雜質半導體膜6f、6g與第1半導體膜61b、以及雜質半導體膜5f、5g與第2半導體膜51b。

第1半導體膜61b係具有第1區域611與第2區域612，第2半導體膜51b係具有第1區域511與第2區域512。

接著，如第14A圖及第14B圖所示，將覆蓋驅動電晶體61之源極電極6i及汲極電極6h、或開關電晶體51之源極電極5i及汲極電極5h的第2絕緣膜12予以成膜。於第2絕緣膜12，係形成使掃描線2、及電壓供給線4分別露出之槽。

此外，在第2絕緣膜12成膜前，形成有與驅動電晶體61之源極電極6i導通的像素電極8a(參照第5圖)。此外，亦可取代之而在第2絕緣膜12形成後，於第2絕緣膜12形成接觸孔，並以透過此接觸孔將像素電極8a導通至驅動電晶體61之源極電極6i的方式，將像素電極8a形成在第2絕緣膜12上及接觸孔內。

接著，如第15A圖及第15B圖所示，利用濺鍍法等將例如Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層9a成膜在第2絕緣膜12上及使掃描線2、及電壓供給線4分別露出之槽內。

接著，如第16A圖及第16B圖所示，利用光微影法及蝕刻法等將閘極金屬層9a圖案化，以形成開關電晶體51之第2閘極電極5a、以及驅動電晶體61之第1遮光膜6e。

又，與第2閘極電極5a及第1遮光膜6e同時，形成導電層2a、導電層4a(參照第4圖)。

接著，如第17A圖及第17B圖所示，將覆蓋第2閘極電極5a與第1遮光膜6e之氮化矽等鈍化膜14成膜在第2絕緣膜12上。

以此方式，製造驅動電晶體61與開關電晶體51。

進一步，藉由以光微影將鈍化膜14與第2絕緣膜12圖案化，以形成像素電極8a之中央部露出的開口部12a(參照第5圖)。

接著，堆積聚醯亞胺(polyimide)等感光性樹脂後，進行曝光而形成具有像素電極8a露出之開口部13a的例如格子狀之邊堤13(參照第5圖)。

接著，於邊堤13之開口部13a，塗佈將構成電洞注入層8b之材料於溶媒溶解或分散的液狀體，並使該液狀體乾燥，藉此將係載子輸送層之電洞注入層8b予以成膜，在邊堤13之開口部13a內的電洞注入層8b上，塗佈將構成發光層8c之材料於溶媒溶解或分散的液狀體，並使該液狀體乾燥，藉此將發光層8c予以成膜(參照第5圖)。

接著，藉由將對向電極8d整面地成膜在邊堤13之上及發光層8c之上，以製造EL元件8(參照第5圖)，而製造EL面板1。

如以上般，在形成底部閘極構造之第1薄膜電晶體即驅動電晶體61、以及頂部閘極構造之第2薄膜電晶體即開關電晶體51時，係能將在基板10與第1絕緣膜11之間形成驅動電晶體61之第1閘極電極6a及開關電晶體51之第2遮

光膜 5e 的步驟、以及在第 2 絕緣膜 12 與鈍化膜 14 之間形成開關電晶體 51 之第 2 閘極電極 5a 及驅動電晶體 61 之第 1 遮光膜 6e 的步驟設為不同步驟，而藉由共通之步驟形成其以外之薄膜電晶體的構成。

亦即，藉由將形成驅動電晶體 61 之第 1 閘極電極 6a 與第 1 遮光膜 6e 的步驟、以及形成開關電晶體 51 之第 2 閘極電極 5a 與第 2 遮光膜 5e 的步驟以外的步驟設為共通步驟的製造方法，即可分別製出驅動電晶體 61 與開關電晶體 51。

以此方式，若是以共通步驟來形成驅動電晶體 61 之第 1 閘極電極 6a 與開關電晶體 51 之第 2 閘極電極 5a 以外的電晶體構造體 561 之製造方法，即可抑制步驟數而分別製出將可能會引起誤動作之光予以遮光的驅動電晶體 61 與開關電晶體 51。

又，由於驅動電晶體 61 之第 1 遮光膜 6e 係與開關電晶體 51 之第 2 閘極電極 5a 同時形成，開關電晶體 51 之第 2 遮光膜 5e 係與驅動電晶體 61 之第 1 閘極電極 6a 同時形成，因此無須增加步驟數即可分別製出具有第 1 遮光膜 6e 之驅動電晶體 61 與具有第 2 遮光膜 5e 之開關電晶體 51。

接著，由於開關電晶體 51 之第 2 半導體膜 51b 係於第 2 閘極電極 5a 側配置有第 2 區域 512，因此將第 2 半導體膜 51b 中含更多非晶矽之第 2 區域 512 設為通道之電流路徑，所以此開關電晶體 51 係具有相當於具備由非晶矽構成之半導體膜之薄膜電晶體的功能，開關電晶體 51 便能良好地發揮作為控制驅動電晶體 61 之開 (on) / 關 (off) 之薄膜電晶體的功能。

又，由於驅動電晶體61之第1半導體膜61b，係於第1閘極電極6a側配置有第1區域611，因此將第1半導體膜61b中含更多結晶性矽之第1區域611設為通道之電流路徑，所以此驅動電晶體61係具有相當於具備由結晶性矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為藉由開關電晶體51之控制使電流流至EL元件8之薄膜電晶體的功能。

以此方式，驅動電晶體61與開關電晶體51係分別具有不同之電晶體特性，以發揮各自之功能，藉此即可使EL面板1良好地發光。

又，由於設於開關電晶體51之第2遮光膜5e，係以與第2閘極電極5a夾著第2半導體膜51b之通道區域的配置，因此藉第2遮光膜5e與第2閘極電極5a可遮蔽從開關電晶體51之外部傳播之光，以使該光不易到達第2半導體膜51b之通道區域。

同樣地，由於設於驅動電晶體61之第1遮光膜6e，係以與第1閘極電極6a夾著第1半導體膜61b之通道區域的配置，因此藉第1遮光膜6e與第1閘極電極6a可遮蔽從驅動電晶體61之外部傳播之光，以使該光不易到達第1半導體膜61b之通道區域。

其結果，由於在開關電晶體51與驅動電晶體61不易產生漏電流，電晶體特性便會安定，因此開關電晶體51與驅動電晶體61即可良好地發揮功能。

再者，由於第2遮光膜5e係連接於接地配線33並設定於接地電位，第2遮光膜5e與第2閘極電極5a可阻斷朝向

第2半導體膜51b之通道區域產生之因開關電晶體51外之因素所造成之不必要的電場，因此開關電晶體51即可藉由適切之第2閘極電極5a-源極電極5i間電壓、及汲極電極5h-源極電極5i間電壓而正常地動作。

第1遮光膜6e係連接於接地配線33而被接地，由於第1遮光膜6e與第1閘極電極6a可阻斷朝向第1半導體膜61b之通道區域產生之因驅動電晶體61外之因素所造成之不必要的電場，因此驅動電晶體61即可藉由適切之第1閘極電極6a-源極電極6i間電壓、及汲極電極6h-源極電極6i間電壓而正常地動作。尤其，藉由抑制驅動電晶體61之驅動電流的降低，即可良好地維持驅動電晶體61之功能，以使EL元件8良好地發光。

此外，上述中，雖設置成具有設定於接地電位之接地配線33，且第2遮光膜5e及第1遮光膜6e為連接於接地配線33並設定於接地電位的構成，不過並非侷限於此構成。

設置成不具有接地配線33，且第2遮光膜5e及第1遮光膜6e並不連接於任何的構成亦可。此時，雖無法獲得上述之電場屏蔽功能，不過上述之遮光效果還是可同樣地獲得。

又，在形成驅動電晶體61之保護絕緣膜6d與開關電晶體51之保護絕緣膜5d的過程，由於較第1矽層91含更多非晶矽之第2矽層92(第2區域612)係覆蓋較第2矽層92含更多結晶性矽之第1矽層91(第1區域611)，因此半導體層9b並不會損傷。

此外，可不損傷且適切地形成驅動電晶體61之第1半導體膜61b與開關電晶體51之第2半導體膜51b，而可使驅動電晶體61與開關電晶體51良好地發揮功能。

(第2實施形態)

其次，針對本發明之EL面板、電晶體構造體的第2實施形態加以說明。此外，針對與上述實施形態同樣之構成，係賦予同符號而省略或簡化其說明。

針對第2實施形態中之EL面板1、以及其像素P之構成，使用第18圖～第20圖加以說明。

第18圖係相當於第2實施形態之EL面板1之1個像素P的平面圖。

第19圖係沿著第18圖之XIX-XIX線之面的箭頭方向截面圖。

第20圖則係沿著第18圖之XX-XX線之面的箭頭方向截面圖。

此外，第18圖中，主要係表示電極及配線。

如第18圖所示，各像素P係具備具有開關電晶體52與驅動電晶體62之電晶體構造體562。

開關電晶體52、及驅動電晶體62係分別對應第3圖之開關電晶體5、及驅動電晶體6。

開關電晶體52及驅動電晶體62，係以沿著信號線3的方式排列，於開關電晶體52之附近配置有電容器7，於驅動電晶體62之附近則配置有EL元件8。

在各像素P，於掃描線2與電壓供給線4之間，係配置有開關電晶體52、驅動電晶體62、電容器7、以及EL元件8。

如第18圖～第20圖所示，在基板10上設有第1閘極電極5a，以覆蓋該第1閘極電極5a的方式，於基板10之上面成膜有第1絕緣膜11。

在此第1絕緣膜11之上，分別於既定之位置形成有第1半導體膜52b與第2半導體膜62b、一對雜質半導體膜5f, 5g、一對雜質半導體膜6f, 6g、汲極電極5h, 6h、以及源極電極5i, 6i。

覆蓋汲極電極5h, 6h及源極電極5i, 6i，成膜有第2絕緣膜12。

在此第2絕緣膜12上設有第2閘極電極6a，覆蓋該第2閘極電極6a，於第2絕緣膜12之上面成膜有鈍化膜14。

第1半導體膜52b係於一方之面側(圖面下方側)透過第1絕緣膜11對向配置有第1閘極電極5a，於另一方之面側(圖面上方側)透過第2絕緣膜12對向配置有第1遮光膜5e。

第2半導體膜62b係於一方之面側(圖面下方側)透過第1絕緣膜11對向配置有第2遮光膜6e，於另一方之面側(圖面上方側)透過第2絕緣膜12對向配置有第2閘極電極6a。

信號線3係形成於基板10與第1絕緣膜11之間。

設定於接地電位之接地配線33，係沿著信號線3形成於基板10與第1絕緣膜11之間。

掃描線2係形成於第1絕緣膜11上。此外，於覆蓋掃描線2之上方的第2絕緣膜12，係形成有沿著掃描線2之槽，於該槽內則設有接觸於掃描線2並覆蓋掃描線2之導電

層 2a，而構成為掃描線 2 與導電層 2a 導通，以謀求掃描線 2 之低阻抗化。此外，亦可不具上述槽及導電層 2a。

電壓供給線 4 係形成在第 1 絕緣膜 11 上。此外，於覆蓋電壓供給線 4 之上方的第 2 絕緣膜 12，係形成有沿著電壓供給線 4 之槽，於該槽內則設有接觸於電壓供給線 4 並覆蓋電壓供給線 4 之導電層 4a，而構成為電壓供給線 4 與導電層 4a 導通。藉此，謀求電壓供給線 4 之低阻抗化，透過驅動電晶體 61 謀求供給至 EL 元件 8 之電流量的安定化。此外，亦可不具上述槽及導電層 4a。

如第 18 圖、第 20 圖所示，開關電晶體 52 係一種具有逆疊積 (inverted stagger) 構造之底部閘極構造的第 1 薄膜電晶體。此開關電晶體 52 係具有第 1 閘極電極 5a、第 1 半導體膜 52b、保護絕緣膜 5d、雜質半導體膜 5f, 5g、汲極電極 5h、源極電極 5i、以及第 1 遮光膜 5e 等。

第 1 閘極電極 5a，係形成於基板 10 與第 1 絕緣膜 11 之間。此第 1 閘極電極 5a，例如以選自 Cr 膜、Al 膜、Cr/Al 積層膜、AlTi 合金膜、以及 AlTiNd 合金膜之中的材料形成較佳。

於第 1 閘極電極 5a 之上成膜有絕緣性之第 1 絕緣膜 11，藉由該第 1 絕緣膜 11 被覆第 1 閘極電極 5a。第 1 絕緣膜 11 例如係具有光透射性，含有矽氮化物或矽氧化物。

在此第 1 絕緣膜 11 上且與第 1 閘極電極 5a 對應之位置，形成有本質第 1 半導體膜 52b，第 1 半導體膜 52b 係隔著第 1 絕緣膜 11 與第 1 閘極電極 5a 相對。

第1半導體膜52b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側(第1閘極電極5a側)之第1區域521、以及位於其相反面側之第2區域522。此處，第2區域522之矽的結晶度係形成為較第1區域521高。換言之，第2半導體膜52b之第2區域522，相較於第1區域521係相對地矽之結晶度較高，結晶性矽區域之比例係較第1區域521高。此外，第2半導體膜52b之第1區域521，相較於第2區域522係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。於此第1半導體膜52b形成通道。在第1半導體膜52b之中央部上，係形成有絕緣性之保護絕緣膜5d。

保護絕緣膜5d，例如較佳為含有矽氮化物或矽氧化物。

在第1半導體膜52b之一端部之上，係以重疊於一部分保護絕緣膜5d的方式形成有雜質半導體膜5f，在第1半導體膜52b之另一端部之上，則以重疊於一部分保護絕緣膜5d的方式形成有雜質半導體膜5g。以此方式，雜質半導體膜5f，5g係分別在第1半導體膜52b之兩端側彼此隔著間隔形成。此外，雜質半導體膜5f，5g雖為含有n型雜質之n型半導體，不過並不侷限於此，若開關電晶體52為p型電晶體，則p型半導體亦可。

在雜質半導體膜5f之上，係形成有汲極電極5h。

在雜質半導體膜5g之上，係形成有源極電極5i。

汲極電極 5h、源極電極 5i，例如以選自 Cr 膜、Al 膜、Cr/Al 積層膜、AlTi 合金膜、以及 AlTiNd 合金膜之中的材料形成較佳。

在保護絕緣膜 5d、汲極電極 5h、以及源極電極 5i 之上，係成膜有絕緣性之第 2 絕緣膜 12，保護絕緣膜 5d、汲極電極 5h、以及源極電極 5i 等係藉由第 2 絕緣膜 12 被覆。第 2 絕緣膜 12，例如係含有氮化矽或氧化矽。

第 1 遮光膜 5e 係形成在第 2 絕緣膜 12 上且保護絕緣膜 5d 下之汲極電極 5h 及源極電極 5i 間，亦即與第 2 半導體膜 52b 之通道區域對應的位置。此第 1 遮光膜 5e 係在形成驅動電晶體 62 之第 2 閘極電極 6a 時，以與第 2 閘極電極 6a 同一製程所形成，由選自 Cr 膜、Al 膜、Cr/Al 積層膜、AlTi 合金膜或 AlTiNd 合金膜之中的材料所構成。第 1 遮光膜 5e 係其一部分為透過接觸栓 20d 連接於接地配線 33。第 2 絕緣膜 12 上之第 1 遮光膜 5e，係以鈍化膜 14 覆蓋。

此外，開關電晶體 52 係藉由鈍化膜 14 被覆。

在此開關電晶體 52，第 1 絕緣膜 11 係具有閘極絕緣膜之功能，於第 1 閘極電極 5a 之電場作用之第 1 半導體膜 52b 中以保護絕緣膜 5d 覆蓋之區域，形成通道(通道區域)。此通道係形成於第 1 半導體膜 52b 中成為第 1 閘極電極 5a 側之第 1 半導體膜 52b 的第 1 區域 521，該第 1 區域 521 係成為源極電極 5i 與汲極電極 5h 之間的電流路徑。

此外，由於第 1 半導體膜 52b 之第 1 區域 521，係含有更多非晶矽(amorphous silicon)的半導體層，因此以該第 1 區域 521 為通道之電流路徑的開關電晶體 52，係相當於

具備由非晶矽構成之半導體膜(或者，以非晶矽為主成分之半導體膜)的薄膜電晶體。亦即，由於開關電晶體52之第1區域521的非晶矽，與微晶矽等之結晶性矽相較漏電流較少，(在開(on)時流至半導體層之電流)/(在關(off)時流至半導體層之電流)較高，因此開關電晶體52係可良好地發揮作為控制驅動電晶體62之開(on) / 關(off)之開關電晶體的功能。

在開關電晶體52中，由於第1半導體膜52b之通道區域，係以相對向之方式配置第1閘極電極5a於下方，以相對向之方式配置第1遮光膜5e於上方，因此能以第1閘極電極5a與第1遮光膜5e遮蔽從EL面板1之外部入射之光或EL元件8發光之光等傳播光到達第1半導體膜52b之通道區域。其結果，由於不易在開關電晶體52產生漏電流，電晶體特性安定，因此開關電晶體52即可良好地發揮功能。

再者，第1遮光膜5e係連接於接地配線33而被接地，由於第1遮光膜5e與第1閘極電極5a可阻斷朝向第1半導體膜52b之通道區域產生之因開關電晶體52外之因素所造成之不必要的電場，因此開關電晶體52即可藉由適切之第1閘極電極5a-源極電極5i間電壓、及汲極電極5h-源極電極5i間電壓而正常地動作。

如第18圖、第19圖所示，驅動電晶體62係一種具有逆疊積構造之頂部閘極構造的第2薄膜電晶體。此驅動電晶體62，係具有第2閘極電極6a、第2半導體膜62b、保護絕緣膜6d、雜質半導體膜6f, 6g、汲極電極6h、源極電極6i、以及第2遮光膜6e等。

第2遮光膜6e係形成在基板10與第1絕緣膜11之間，且與汲極電極6h及源極電極6i間之第2半導體膜62b之通道區域對應的位置。此第2遮光膜6e係在形成開關電晶體52之第1閘極電極5a時，藉由將構成第1閘極電極5a之導電層予以圖案化，以與第1閘極電極5a同一製程所形成。第1閘極電極5a及第2遮光膜6e係由選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料所構成。第2遮光膜5e係其一部分為連接於接地配線33。

成膜於基板10之上的絕緣性第1絕緣膜11，例如係具有光透射性，由矽氮化物或矽氧化物構成。在此第1絕緣膜11上且與第2閘極電極6a對應之位置，係形成有本質第2半導體膜62b。

第2半導體膜62b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側之第1區域621、以及位於其相反面側(第2閘極電極6a側)之第2區域622。此處，第2區域622之矽的結晶度係形成為較第1區域621高。換言之，第2半導體膜62b之第2區域622，相較於第1區域621係相對地矽之結晶度較高，結晶性矽區域之比例係較第1區域621高。此外，第2半導體膜62b之第1區域621，相較於第2區域622係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。

第2半導體膜62b之第1區域621，與第1半導體膜52b之第1區域521係相同組成且相同厚度，第2半導體膜62b

之第2區域622，與第1半導體膜52b之第2區域522係相同組成且相同厚度。因此，第2半導體膜62b及第1半導體膜52b，如後述般，即可使用係同一材料層之半導體層9b，以同一製程一併地製造。此第2半導體膜62b係成為形成通道之通道區域。

在第2半導體膜62b之中央部上，係形成有絕緣性之保護絕緣膜6d。

保護絕緣膜6d，係以與保護絕緣膜5d同一材料構成且相同厚度，例如含有矽氮化物或矽氧化物較佳。因此，保護絕緣膜6d及保護絕緣膜5d，如後述般，即可使用係同一材料層之保護絕緣層9d，以同一製程一併地製造。

在第2半導體膜62b之一端部之上，係以重疊於一部分保護絕緣膜6d的方式形成有雜質半導體膜6f，在第2半導體膜62b之另一端部之上，則以重疊於一部分保護絕緣膜6d的方式形成有雜質半導體膜6g。以此方式，雜質半導體膜6f，6g係分別在第2半導體膜62b之兩端側彼此隔著間隔形成。此外，雜質半導體膜6f，6g雖為含有n型雜質之n型半導體，不過並不侷限於此，若開關電晶體52及驅動電晶體62為p型電晶體，則p型半導體亦可。雜質半導體膜6f，6g係以與雜質半導體膜5f，5g同一材料構成且相同厚度。雜質半導體膜6f，6g及雜質半導體膜5f，5g，如後述般，即可使用係同一材料層之雜質半導體層9f，以同一製程一併地製造。

在雜質半導體膜6f之上，係形成有汲極電極6h。在雜質半導體膜6g之上，係形成有源極電極6i。汲極電極6h、源極電極6i，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。汲極電極6h、源極電極6i，係以與汲極電極5h、源極電極5i同一材料構成且相同厚度。汲極電極6h、源極電極6i及汲極電極5h、源極電極5i，如後述般，即可使用係同一材料層之導電膜9h，以同一製程一併地製造。

在保護絕緣膜6d、汲極電極6h、以及源極電極6i之上，係成膜有絕緣性之第2絕緣膜12，保護絕緣膜6d、汲極電極6h、以及源極電極6i等係藉由第2絕緣膜12被覆。

第2閘極電極6a，係形成在第2絕緣膜12上且與保護絕緣膜6d對應之位置。此第2閘極電極6a，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。第2絕緣膜12上之第2閘極電極6a，係以鈍化膜14覆蓋。

此外，驅動電晶體62係藉由鈍化膜14被覆。因此，鈍化膜14係分別覆蓋開關電晶體52及驅動電晶體62之兩方。

在此驅動電晶體62，第2絕緣膜12及保護絕緣膜6d係作為閘極絕緣膜之功能，於第2閘極電極6a之電場作用之第2半導體膜62b中以保護絕緣膜6d覆蓋之區域，形成通道(通道區域)。此通道係形成於第2半導體膜62b中成為第2閘極電極6a側之第2半導體膜62b的第2區域622，該第2區域622係成為源極電極6i與汲極電極6h之間的電流路徑。

此外，由於第2半導體膜62b之第2區域622，係較第1區域621含有更多結晶性矽之半導體層，因此以該第2區域622為通道之電流路徑的驅動電晶體62，係相當於具備由結晶性矽構成之半導體膜(或者，以結晶性矽為主成分之半導體膜)的薄膜電晶體。亦即，由於驅動電晶體62之第2區域622內的微晶矽，係結晶粒徑大概50~100nm之結晶性矽，相較於非晶矽，電晶體驅動時閾值電壓的偏移較少，因此除了可抑制電晶體之劣化以外，載子移動度亦較高，所以驅動電晶體62可良好地發揮作為藉由開關電晶體52之控制使電流流至EL元件8之驅動電晶體的功能。

此外，在此頂部閘極構造之驅動電晶體62，第2半導體膜62b之第2區域622中之通道的電流路徑，並非與第1區域621之界面側，而係更接近第2閘極電極6a之與保護絕緣膜6d的界面側。由於第2半導體膜62b之第2區域622中，矽之結晶度在與保護絕緣膜6d的界面側係較與第1區域621之界面側更高，因此適合於驅動電晶體62之電流路徑。

此係因由結晶性矽構成之第2區域622在成長之當初，矽之結晶化並不安定，於第2區域622之與第1區域621之界面側，易產生矽之結晶度較差的培養(incubation)層，而在與保護絕緣膜6d之界面側的第2區域622，可進行矽之結晶化安定的半導體膜之成膜之故。

此外，由於矽之結晶化安定地成膜之與保護絕緣膜6d之界面側的第2區域622係更適合作為電流路徑，因此

以將該第2區域622設為電流路徑的方式，形成驅動電晶體62為頂部閘極構造，藉此驅動電晶體62即可更良好地發揮作為驅動電晶體的功能。

又，在驅動電晶體62中，由於第2半導體膜62b之通道區域係以相對向之方式配置第2遮光膜6e於下方，以相對向之方式配置第2閘極電極6a於上方，因此即能以第2遮光膜6e與第2閘極電極6a遮蔽從EL面板1之外部入射之光或EL元件8發光之光等傳播光到達第2半導體膜62b之通道區域。其結果，由於在驅動電晶體62不易產生漏電流，電晶體特性便會安定，因此驅動電晶體62即可良好地發揮功能。

再者，第2遮光膜6e係連接於接地配線33而被接地，由於第2遮光膜6e與第2閘極電極6a可阻斷朝向第2半導體膜62b之通道區域產生之因驅動電晶體62外之因素所造成之不必要的電場，因此驅動電晶體62即可藉由適切之第2閘極電極6a-源極電極6i間電壓、及汲極電極6h-源極電極6i間電壓而正常地動作。

電容器7係連接於驅動電晶體62之第2閘極電極6a與源極電極6i之間。具體而言，電容器7之電極7a係連接於驅動電晶體62之第2閘極電極6a，電容器7之電極7b係連接於驅動電晶體62之源極電極6i。

此外，如第18圖、第20圖所示，在基板10與第1絕緣膜11之間形成有電容器7一方之電極7a，在第1絕緣膜11與第2絕緣膜12之間形成有電容器7另一方之電極7b，電極7a與電極7b係隔著係電介質之第1絕緣膜11相對。

此外，信號線3、接地配線33、電容器7之電極7a、開關電晶體52之第1閘極電極5a、以及驅動電晶體62之第2遮光膜6e，係藉由將整面地成膜於基板10且由導電性材料形成之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

掃描線2、電壓供給線4、電容器7之電極7b、開關電晶體52之汲極電極5h、源極電極5i及驅動電晶體62之汲極電極6h、源極電極6i，係藉由將整面地成膜於第1絕緣膜11且由導電性材料形成之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

開關電晶體52之第1遮光膜5e、驅動電晶體62之第2閘極電極6a、積層於電壓供給線4之導電層4a、以及積層於掃描線2之導電層2a，係藉由將整面地成膜於第2絕緣膜12之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

在第1絕緣膜11，於第1閘極電極5a與掃描線2重疊之區域形成有接觸孔11a，於汲極電極5h與信號線3重疊之區域形成有接觸孔11b，於第2閘極電極6a與源極電極5i重疊之區域形成有接觸孔11c。

此外，接觸孔11c係形成為亦連通於第2絕緣膜12。在此接觸孔11a~11c內係分別埋設有接觸栓20a~20c。

藉由接觸栓20a開關電晶體52之第1閘極電極5a與掃描線2電氣導通，藉由接觸栓20b開關電晶體52之汲極電極5h與信號線3電氣導通，藉由接觸栓20c開關電晶體52之源極電極5i與電容器7之電極7a電氣導通，並且開關電

晶體 52 之源極電極 5i 與驅動電晶體 62 之第 2 閘極電極 6a 電氣導通。此外，亦可不透過接觸栓 20a~20c，掃描線 2 直接與第 1 閘極電極 5a 接觸，汲極電極 5h 與信號線 3 接觸，源極電極 5i 與第 2 閘極電極 6a 接觸以使其導通。

在第 1 絕緣膜 11 與第 2 絕緣膜 12，於第 1 遮光膜 5e 與接地配線 33 重疊之區域形成有接觸孔 11d，於該接觸孔 11d 則埋設有接觸栓 20d。藉由接觸栓 20d 第 1 遮光膜 5e 與接地配線 33 即導通，第 1 遮光膜 5e 則被接地。

驅動電晶體 62 之汲極電極 6h 係一體地連接於電壓供給線 4，驅動電晶體 62 之源極電極 6i 則一體地連接於電容器 7 之電極 7b。

藉由具備此開關電晶體 52 與驅動電晶體 62 之電晶體構造體 562 的驅動、控制來控制 EL 元件 8 之發光，以控制具備電晶體構造體 562 之 EL 面板 1 的發光。

其次，針對構成本發明之第 2 實施形態之 EL 面板 1 中之電晶體構造體 562 的開關電晶體 52 與驅動電晶體 62 之製造方法，使用第 21A 圖及第 21B 圖至第 31A 圖及第 31B 圖的步驟圖加以說明。

此外，在此步驟說明圖所示之開關電晶體 52 與驅動電晶體 62，例如第 18 圖所示般，實際上其形狀或尺寸等一部分雖不同，不過此處為了方便，係以同等之尺寸來表示各薄膜電晶體，而概念性地圖示各薄膜電晶體之主要部分來加以說明。各第 A 圖係驅動電晶體 62，各第 B 圖則為開關電晶體 52。

首先，如第21A圖及第21B圖所示，在基板10上例如使Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層以濺鍍堆積，利用光微影法及蝕刻法等予以圖案化，以形成開關電晶體52之第1閘極電極5a、驅動電晶體62之第2遮光膜6e。又，與第1閘極電極5a及第2遮光膜6e同時，在基板10上形成信號線3、接地配線33、電容器7之電極7a(參照第18圖～第20圖)。

接著，如第22A圖及第22B圖所示，利用電漿CVD(PE-CVD)將氮化矽等之第1絕緣膜11予以成膜。

進一步，如第22A圖及第22B圖所示，利用電漿CVD將含有結晶性矽之半導體層9b成膜在第1絕緣膜11上。此處，在將構成半導體膜(52b, 62b)之半導體層9b予以成膜時，先將矽之結晶度較低之第1矽層91予以成膜，接著再將矽之結晶度較高之第2矽層92予以成膜。

具體而言，以 H_2 氣體對 SiH_4 氣體之比例較低，且電漿功率與壓力較低之條件，將係非晶矽薄膜之第1矽層91予以成膜。然後，為了使 H_2 氣體對 SiH_4 氣體之比例絕對地多以更提高結晶度，藉由加大電漿功率與壓力，將係微晶矽薄膜之第2矽層92予以成膜。

本實施例中，作為載體氣體係使用氫，將氣體流量設為 $SiH_4/H_2 = 50/10500[SCCM]$ ，以功率密度 $0.134 [W/cm^2]$ 、壓力 $300[Pa]$ 之條件，將第2矽層92予以成膜。

此外，關於半導體層9b中之第1矽層91與第2矽層92(半導體膜中之第1區域與第2區域)之矽的結晶度，如前述般，可根據利用例如拉曼分光法測量所算出之結晶度來

判別，例如結晶度若在20%以上則定義為屬微晶矽薄膜，結晶度若未達20%則定義為屬非晶矽薄膜(參照第61圖)。

作為將半導體層9b成膜在第1絕緣膜11上之前處理，較佳為於第1絕緣膜11之表面施以電漿處理。藉由於第1絕緣膜11施以電漿處理，即可將第1絕緣膜11之表面予以改質，而提高成膜在該第1絕緣膜11上之結晶性矽的結晶度。

作為本實施形態中之電漿處理，可使用例如 H_2 氣體，以氣體流量1000[SCCM]、功率密度 $0.178 [W/cm^2]$ 、壓力80[Pa]之條件來進行。

進一步，如第22A圖及第22B圖所示，利用CVD法等，將矽氮化物等之保護絕緣層9d成膜在半導體層9b(第2矽層92)上。

接著，如第23A圖及第23B圖所示，利用光微影法・蝕刻法等將保護絕緣層9d圖案化，以形成覆蓋半導體層9b中成為通道之區域的驅動電晶體62之保護絕緣膜6d、以及開關電晶體52之保護絕緣膜5d。

接著，如第24A圖及第24B圖所示，利用濺鍍或CVD法等，將構成雜質半導體膜之雜質半導體層9f成膜在已形成保護絕緣膜6d, 5d之半導體層9b上。

此外，作為雜質半導體層9f要使用何種材料，係依開關電晶體52、驅動電晶體62是p型或n型而異。

在p型電晶體的情況下(p^+Si)，係藉由使二硼烷等受體型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

在n型電晶體的情況下(n^+Si)，係藉由使矽或磷等施體型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

接著，如第25A圖及第25B圖所示，利用例如濺鍍等，將構成源極電極及汲極電極之導電膜9h成膜在雜質半導體層9f上。

接著，如第26A圖及第26B圖所示，利用光微影法・蝕刻法等將導電膜9h圖案化，以形成驅動電晶體62之源極電極6i及汲極電極6h、開關電晶體52之源極電極5i及汲極電極5h，並且形成掃描線2、電壓供給線4、電容器7之電極7b(參照第18圖～第20圖)。

接著，如第27A圖及第27B圖所示，以源極電極6i及汲極電極6h、以及源極電極5i及汲極電極5h為遮罩，利用乾蝕刻將雜質半導體層9f與半導體層9b圖案化，以形成雜質半導體膜6f, 6g與第2半導體膜62b、以及雜質半導體膜5f, 5g與第1半導體膜52b。

第2半導體膜62b係具有第1區域621與第2區域622，第1半導體膜52b則具有第1區域521與第2區域522。

接著，如第28A圖及第28B圖所示，將覆蓋驅動電晶體62之源極電極6i及汲極電極6h、或開關電晶體52之源極電極5i及汲極電極5h等的第2絕緣膜12予以成膜。

此外，在第2絕緣膜12成膜前，形成有與驅動電晶體62之源極電極6i導通的像素電極8a(參照第19圖)。

此外，亦可取而代之以在第2絕緣膜12形成後，於第2絕緣膜12形成接觸孔，並透過此接觸孔將像素電極8a導通至驅動電晶體6之源極電極6i的方式，將像素電極8a形成在第2絕緣膜12上及接觸孔內。

接著，如第29A圖及第29B圖所示，利用濺鍍等將例如Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層9a成膜在第2絕緣膜12上。

接著，如第30A圖及第30B圖所示，利用光微影法及蝕刻法等將閘極金屬層9a圖案化，以形成驅動電晶體62之第2閘極電極6a、以及開關電晶體52之第1遮光膜5e，並且形成導電層2a, 4a(參照第18圖)。

接著，如第31A圖及第31B圖所示，將覆蓋第2閘極電極6a與第1遮光膜5e之氮化矽等鈍化膜14成膜在第2絕緣膜12上。

以此方式，製造驅動電晶體62與開關電晶體52。

進一步，藉由以光微影將鈍化膜14與第2絕緣膜12圖案化，以形成像素電極8a之中央部露出的開口部12a(參照第19圖)。

接著，堆積聚醯亞胺等感光性樹脂後，進行曝光而形成具有像素電極8a露出之開口部13a的例如格子狀之邊堤13(參照第19圖)。

接著，於邊堤13之開口部13a，塗佈將構成電洞注入層8b之材料於溶媒溶解或分散的液狀體，並使該液狀體乾燥，藉此將係載子輸送層之電洞注入層8b予以成膜，在邊堤13之開口部13a內的電洞注入層8b上，塗佈將構成電洞注入層8b之材料於溶媒溶解或分散的液狀體，並使該液狀體乾燥，藉此將發光層8c予以成膜(參照第19圖)。

。

接著，藉由將對向電極8d整面地成膜在邊堤13之上及發光層8c之上，以製造EL元件8(參照第19圖)，而製造EL面板1。

如以上般，在形成底部閘極構造之第1薄膜電晶體即開關電晶體52、以及頂部閘極構造之第2薄膜電晶體即驅動電晶體62時，係能將在基板10與第1絕緣膜11之間形成開關電晶體52之第1閘極電極5a及驅動電晶體62之第2遮光膜6e的步驟、以及在第2絕緣膜12與鈍化膜14之間形成驅動電晶體62之第2閘極電極6a及開關電晶體52之第1遮光膜5e的步驟設為不同步驟，而藉由共通之步驟形成其以外之薄膜電晶體的構成。

亦即，藉由將形成開關電晶體52之第1閘極電極5a與第1遮光膜5e的步驟、以及形成驅動電晶體62之第2閘極電極6a與第2遮光膜6e的步驟以外的步驟設為共通步驟的製造方法，即可分別製出驅動電晶體62與開關電晶體52。

以此方式，若是將開關電晶體52之第1閘極電極5a與驅動電晶體62之第2閘極電極6a以外設為共通步驟的電晶體構造體562之製造方法，即可抑制步驟數而以較以往更少的步驟數，分別製出驅動電晶體62與開關電晶體52。

又，由於開關電晶體52之第1遮光膜5e係與驅動電晶體62之第2閘極電極6a同時形成，驅動電晶體62之第2遮光膜6e係與開關電晶體52之第1閘極電極5a同時形成，因此無須增加步驟數即可分別製出具有第1遮光膜5e之開關電晶體52與具有第2遮光膜6e之驅動電晶體62。

此外，由於開關電晶體52之第1半導體膜52b，係於第1閘極電極5a側配置有第1區域521，因此將第1半導體膜52b中含更多非晶矽之第1區域521設為通道之電流路徑，所以此開關電晶體52係具有相當於具備由非晶矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為控制驅動電晶體62之開(on) / 關(off)之薄膜電晶體的功能。

又，由於驅動電晶體62之第2半導體膜62b，係於第2閘極電極6a側配置有第2區域622，因此將第2半導體膜62b中含更多結晶性矽之第2區域622設為通道之電流路徑，所以此驅動電晶體62係具有相當於具備由結晶性矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為藉由開關電晶體52之控制使電流流至EL元件8之薄膜電晶體的功能。

以此方式，驅動電晶體62與開關電晶體52係分別具有不同之電晶體特性，以發揮各自之功能，藉此即可使EL面板1良好地發光。

又，由於設於開關電晶體52之第1遮光膜5e，係形成在與第1半導體膜52b之通道區域對應的位置，因此以第1遮光膜5e與第1閘極電極5a，即可遮蔽從EL面板1之外部入射之光或EL元件8發光之光等傳播光到達第1半導體膜52b之通道區域。

其結果，由於在開關電晶體52不易產生漏電流，電晶體特性便會安定，因此開關電晶體52即可良好地發揮功能。

同樣地，由於設於驅動電晶體62之第2遮光膜6e，係形成在與第2半導體膜62b之通道區域對應的位置，因此以第2遮光膜6e與第2閘極電極6a，即可遮蔽從EL面板1之外部入射之光或EL元件8發光之光等傳播光到達第2半導體膜62b之通道區域。

其結果，由於在驅動電晶體62不易產生漏電流，電晶體特性便會安定，因此驅動電晶體62即可良好地發揮功能。

再者，由於第1遮光膜5e係連接於接地配線33而設定於接地電位，第1遮光膜5e與第1閘極電極5a可阻斷朝向第1半導體膜52b之通道區域產生之因開關電晶體52外之因素所造成之不必要的電場，因此開關電晶體52即可藉由適切之第1閘極電極5a-源極電極5i間電壓、及汲極電極5h-源極電極5i間電壓而正常地動作。

同樣地，由於第2遮光膜6e係連接於接地配線33而設定於接地電位，第2遮光膜6e與第2閘極電極6a可阻斷朝向第2半導體膜62b之通道區域產生之因驅動電晶體62外之因素所造成之不必要的電場，因此驅動電晶體62即可藉由適切之第1閘極電極6a-源極電極6i間電壓、及汲極電極6h-源極電極6i間電壓而正常地動作。

此外，上述中，雖亦設置成具有設定於接地電位之接地配線33，且第1遮光膜5e及第2遮光膜6e為連接於接地配線33而設定於接地電位的構成，不過並非侷限於此構成。設置成不具有接地配線33，且第1遮光膜5e及第2遮光膜6e並不連接於任何的構成亦可。此時，雖無法獲

得上述之電場屏蔽功能，不過上述之遮光效果還是可同樣地獲得。

又，由於在第2半導體膜62b以將矽之結晶化安定且與保護絕緣膜6d之界面側的第2區域622設為電流路徑的方式，形成驅動電晶體62為頂部閘極構造，因此驅動電晶體62即可更良好地發揮作為驅動電晶體的功能。

(第3實施形態)

其次，針對本發明之EL面板、電晶體構造體的第3實施形態加以說明。此外，針對與上述各實施形態同樣之構成，係賦予同符號而省略或簡化其說明。

針對第3實施形態中之EL面板1、以及其像素P之構成，使用第32圖～第34圖加以說明。

第32圖係相當於第3實施形態之EL面板1之1個像素P的平面圖。

第33圖係沿著第32圖之XXXIII-XXXIII線之面的箭頭方向截面圖。

第34圖則係沿著第32圖之XXXIV-XXXIV線之面的箭頭方向截面圖。

此外，第32圖中，主要係表示電極及配線。

如第32圖所示，各像素P係具備具有開關電晶體53與驅動電晶體63之電晶體構造體563。

開關電晶體53、及驅動電晶體63係分別對應第3圖之開關電晶體5、及驅動電晶體6。

開關電晶體53及驅動電晶體63，係以沿著信號線3的方式排列，於開關電晶體53之附近配置有電容器7，於驅動電晶體63之附近則配置有EL元件8。

在各像素P，於掃描線2與電壓供給線4之間，係配置有開關電晶體53、驅動電晶體63、電容器7、以及EL元件8。

如第32圖～第34圖所示，在基板10上設有第1閘極電極6a，以覆蓋該第1閘極電極6a的方式，於基板10之上面成膜有第1絕緣膜11。

在此第1絕緣膜11之上，分別於既定之位置形成有第2半導體膜53b與第1半導體膜63b、一對雜質半導體膜5f, 5g、一對雜質半導體膜6f, 6g、汲極電極5h, 6h、以及源極電極5i, 6i。

覆蓋汲極電極5h, 6h及源極電極5i, 6i，成膜有第2絕緣膜12。

在此第2絕緣膜12上設有第2閘極電極5a，覆蓋該第2閘極電極5a，於第2絕緣膜12之上面成膜有鈍化膜14。

於第2絕緣膜12上之與第1半導體膜63b對應之區域設有第1遮光膜6e，呈以第1閘極電極6a與第1遮光膜6e夾著第1半導體膜63b之配置。

第1絕緣膜11下之與第2半導體膜53b對應之區域的基板10上設有第2遮光膜5e，呈以第2閘極電極5a與第2遮光膜5e夾著第2半導體膜53b之配置。

此外，驅動電晶體63之汲極電極6h與源極電極6i，係透過分別設於隔著第1半導體膜63b之凹部6c之一對端部的一對雜質半導體膜6f, 6g連接於第1半導體膜63b之端部。

開關電晶體53之汲極電極5h與源極電極5i，係透過分別設於隔著第2半導體膜53b之凹部5c之一對端部的一對雜質半導體膜5f, 5g連接於第2半導體膜53b之端部。

信號線3係形成於基板10與第1絕緣膜11之間。

設定於接地電位之接地配線33，係沿著信號線3形成於基板10與第1絕緣膜11之間。

掃描線2係形成於第1絕緣膜11上。此外，於覆蓋掃描線2之上方的第2絕緣膜12，係形成有沿著掃描線2之槽，於該槽內則設有接觸於掃描線2並覆蓋掃描線2之導電層2a，而構成為掃描線2與導電層2a導通，以謀求掃描線2之低阻抗化。此外，亦可不具上述槽及導電層2a。

電壓供給線4係形成在第1絕緣膜11上。此外，於覆蓋電壓供給線4之上方的第2絕緣膜12，係形成有沿著電壓供給線4之槽，於該槽內則設有接觸於電壓供給線4並覆蓋電壓供給線4之導電層4a，而構成為電壓供給線4與導電層4a導通。藉此，謀求電壓供給線4之低阻抗化，透過驅動電晶體6謀求供給至EL元件8之電流量的安定化。此外，亦可不具上述槽及導電層4a。

如第32圖、第34圖所示，開關電晶體53係一種具有逆疊積構造通道蝕刻型之頂部閘極構造的第2薄膜電晶體。此開關電晶體53係具有第2閘極電極5a、第2半導體膜53b、雜質半導體膜5f, 5g、第2汲極電極5h、第2源極電極5i、以及第2遮光膜5e等。

第2遮光膜5e係形成在基板10與第1絕緣膜11之間。此第2遮光膜5e係在形成驅動電晶體63之第1閘極電極6a

時以同一製程所形成，由選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜之中的材料所構成。第2遮光膜5e係其一部分為連接於接地配線33。

成膜於基板10之上面的絕緣性第1絕緣膜11，例如係具有光透射性，含有矽氮化物或矽氧化物。

在此第1絕緣膜11上且與第2閘極電極5a對應之位置，係形成有本質第2半導體膜53b。

第2半導體膜53b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側之第1區域531、以及位於其相反面側之第2絕緣膜12側的第2區域532。此處，第1區域531之矽的結晶度係形成為較第2區域532高。換言之，第2半導體膜53b之第1區域531，相較於第2區域532係相對地矽之結晶度較高，結晶性矽區域之比例係較第2區域532高。此外，第2半導體膜53b之第2區域532，相較於第1區域531係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。

於第2半導體膜53b之上面且包含與第2閘極電極5a對應之區域之至少一部分的大致中央側，係形成有凹部5c。此凹部5c係形成於第2半導體膜53b之第2區域532內，並未到達第1區域531。此外，第2半導體膜53b中與凹部5c對應之部分，係成為形成通道之通道區域。

在此第2半導體膜53b中隔著凹部5c之兩端部，係較凹部5c還高。

在第2半導體膜53b之一端部之上，係形成有雜質半導體膜5f，在第2半導體膜53b之另一端部之上，則形成有雜質半導體膜5g。

此外，雜質半導體膜5f, 5g係分別在第2半導體膜53b之兩端側彼此隔著間隔形成。

此外，雜質半導體膜5f, 5g雖為n型半導體，不過並不侷限於此，若開關電晶體53為p型電晶體，則p型半導體亦可。

在雜質半導體膜5f之上，係形成有汲極電極5h。

在雜質半導體膜5g之上，則形成有源極電極5i。

汲極電極5h、源極電極5i，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。

在汲極電極5h及源極電極5i之上，係成膜有絕緣性之第2絕緣膜12，汲極電極5h及源極電極5i等係藉由第2絕緣膜12被覆。第2絕緣膜12，例如係含有氮化矽或氧化矽。

第2閘極電極5a，係形成在第2絕緣膜12上且與第2半導體膜53b之凹部5c對應的位置。此第2閘極電極5a，例如係由Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜構成。

第2絕緣膜12上之第2閘極電極5a，係以鈍化膜14覆蓋。

鈍化膜14例如係含有氮化矽或氧化矽。

此外，開關電晶體53係藉由第1絕緣膜11、第2絕緣膜12、及鈍化膜14被覆。

在此開關電晶體53，第2絕緣膜12係具有閘極絕緣膜之功能，於第2閘極電極5a之電場作用之第2半導體膜53b的更低區域即凹部5c部分，係成為形成通道之通道區域。此通道係形成於第2半導體膜53b中成為第2閘極電極5a側之第2半導體膜53b的第2區域532，該第2區域532係成為源極電極5i與汲極電極5h之間的電流路徑。

此外，由於第2半導體膜53b之第2區域532，係含有更多非晶矽(amorphous silicon)之半導體層，因此以該第2區域532為通道之電流路徑的開關電晶體53，係相當於具備由非晶矽構成之半導體膜(或者，以非晶矽為主成分之半導體膜)的薄膜電晶體。亦即，由於開關電晶體53之第2區域532的非晶矽，與微晶矽等之結晶性矽相較漏電流較少，流至半導體層之電流的開(on)/關(off)比，亦即(在開(on)時流至半導體層之電流)/(在關(off)時流至半導體層之電流)之值較大，因此開關電晶體53可良好地發揮作為控制驅動電晶體63之開(on)/關(off)之開關電晶體的功能。

又，在開關電晶體53中，第2遮光膜5e係設置成以與第2閘極電極5a夾著第2半導體膜53b之通道區域(凹部5c)的配置，因此以第2遮光膜5e與第2閘極電極5a，即可遮蔽EL元件8之發光等之光，該光即不易到達第2半導體膜53b之通道區域。其結果，由於在開關電晶體53不易產生漏電流，電晶體特性便會安定，因此開關電晶體53即可良好地發揮功能。

再者，由於第2遮光膜5e係連接於接地配線33而被接地，所以第2遮光膜5e可阻斷作用於第2半導體膜53b之通道區域之不必要的電場，因此可防止因該不必要之電場所造成之源極・汲極間的電壓變化，以良好地維持開關電晶體53之功能。

如第32圖、第33圖所示，驅動電晶體63係一種逆疊積構造通道蝕刻型之底部閘極構造的第1薄膜電晶體。此驅動電晶體63，係具有第1閘極電極6a、第1半導體膜63b、雜質半導體膜6f, 6g、第1汲極電極6h、第1源極電極6i、以及第1遮光膜6e等。

第1閘極電極6a，係形成於基板10與第1絕緣膜11之間。此第1閘極電極6a，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。

在第1閘極電極6a之上成膜有絕緣性之第1絕緣膜11，藉由該第1絕緣膜11被覆第1閘極電極6a。在此第1絕緣膜11上且與第1閘極電極6a對應之位置，係形成有本質第1半導體膜63b，第1半導體膜63b係隔著第1絕緣膜11與第1閘極電極6a相對。

第1半導體膜63b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側之第1區域631、以及位於其相反面側之第2絕緣膜12側的第2區域632。此處，第1區域631之矽的結晶度係形成為較第2區域632高。換言之，第1半導體膜63b之第1區域631，相較於第2區域632係相對地矽之結晶度較高，結晶性

矽區域之比例係較第2區域632高。此外，第1半導體膜63b之第2區域632，相較於第1區域631係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。第1半導體膜63b之第1區域631，與第2半導體膜53b之第1區域531係相同組成且相同厚度，第1半導體膜63b之第2區域632，與第2半導體膜53b之第2區域532係相同組成且相同厚度。因此，第1半導體膜63b及第2半導體膜53b，如後述般，即可使用係同一材料層之半導體層9b，以同一製程一併地製造。

於第1半導體膜63b上面且包含與第1閘極電極6a對應之區域之至少一部分的大致中央側，係形成有凹部6c。此凹部6c係形成於第1半導體膜63b之第2區域632中，並未到達第1區域631。此外，第1半導體膜63b之與凹部6c對應的部分，係成為形成通道之通道區域。

在此第1半導體膜63b中隔著凹部5c之兩端部，係較凹部5c還高。在第1半導體膜63b之一端部之上，係形成有雜質半導體膜6f，在第1半導體膜63b之另一端部之上，則形成有雜質半導體膜6g。

此外，雜質半導體膜6f, 6g係分別在第1半導體膜63b之兩端側彼此隔著間隔形成。此外，雜質半導體膜6f, 6g雖為n型半導體，不過並不侷限於此，若驅動電晶體63為p型電晶體，則p型半導體亦可。雜質半導體膜6f, 6g係以與雜質半導體膜5f, 5g同一材料構成且相同厚度。因此，雜質半導體膜6f, 6g及雜質半導體膜5f, 5g，如後述般，即可使用係同一材料層之雜質半導體層9f，以同一製程一併地製造。

在雜質半導體膜6f之上，係形成有汲極電極6h。在雜質半導體膜6g之上，則形成有源極電極6i。汲極電極6h、源極電極6i，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。汲極電極6h、源極電極6i，係以與汲極電極5h、源極電極5i同一材料構成且相同厚度。因此，汲極電極6h、源極電極6i及汲極電極5h、源極電極5i，如後述般，即可使用係同一材料層之導電膜9h，以同一製程一併地製造。

在汲極電極6h及源極電極6i之上，係成膜有絕緣性之第2絕緣膜12，汲極電極6h及源極電極6i等係藉由第2絕緣膜12被覆。

第1遮光膜6e係形成在第2絕緣膜12上且與第1半導體膜63b(凹部6c)對應之位置。此第1遮光膜6e係在形成開關電晶體53之第2閘極電極5a時以同一製程形成，並由選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜之中的材料所構成。第1遮光膜6e係其一部分為透過接觸栓20d連接於接地配線33。第2絕緣膜12上之第1遮光膜6e，係以鈍化膜14覆蓋。

此外，驅動電晶體63係藉由第1絕緣膜11、第2絕緣膜12、及鈍化膜14被覆。

在此驅動電晶體63，第1絕緣膜11係具有閘極絕緣膜之功能，於第1閘極電極6a之電場作用之第1半導體膜63b的更低區域即凹部6c部分，形成通道(通道區域)。此通道係於第1半導體膜63b中成為第1閘極電極6a側之第1半

導體膜 63b 的第 1 區域 631 形成通道，該第 1 區域 631 係成為源極電極 6i 與汲極電極 6h 之間的電流路徑。

此外，由於第 1 半導體膜 63b 之第 1 區域 631，係較第 2 區域 632 含有更多結晶性矽之半導體層，因此以該第 1 區域 631 為通道之電流路徑的驅動電晶體 63，係相當於具備由結晶性矽構成之半導體膜(或者，以結晶性矽為主成分之半導體膜)的薄膜電晶體。亦即，由於驅動電晶體 63 之第 1 區域 631 內的微晶矽，係結晶粒徑大概 50~100nm 之結晶性矽，相較於非晶矽，電晶體驅動時閾值電壓的偏移較少，因此除了可抑制電晶體之劣化以外，載子之移動度亦較高，所以驅動電晶體 63 可良好地發揮作為藉由開關電晶體 53 之控制使電流流至 EL 元件 8 之驅動電晶體的功能。

又，在驅動電晶體 63 中，由於第 1 遮光膜 6e 係設置成以與第 1 閘極電極 6a 夾著第 1 半導體膜 63b 之通道區域(凹部 6c)的配置，因此以第 1 遮光膜 6e 與第 1 閘極電極 6a，即可遮蔽 EL 元件 8 之發光等之光，該光即不易到達第 1 半導體膜 63b 之通道區域。其結果，由於在驅動電晶體 63 不易產生漏電流，電晶體特性便會安定，因此驅動電晶體 63 即可良好地發揮功能。

再者，由於第 1 遮光膜 6e 係連接於接地配線 33 而被接地，所以第 1 遮光膜 6e 可阻斷作用於第 1 半導體膜 63b 之通道區域之不必要的電場，因此可防止因該不必要之電場所造成之源極・汲極間的電壓變化，以抑制驅動電晶體 63 之驅動電流的變化，而良好地維持驅動電晶體 63 之功能。

電容器 7 係連接於驅動電晶體 63 之第 1 閘極電極 6a 與源極電極 6i 之間。具體而言，電容器 7 之電極 7a 係連接於驅動電晶體 63 之第 1 閘極電極 6a，電容器 7 之電極 7b 係連接於驅動電晶體 63 之源極電極 6i。

此外，如第 32 圖、第 34 圖所示，在基板 10 與第 1 絕緣膜 11 之間形成有電容器 7 一方之電極 7a，第 1 絕緣膜 11 與第 2 絕緣膜 12 之間則形成有電容器 7 另一方之電極 7b，電極 7a 與電極 7b 係隔著係電介質之第 1 絕緣膜 11 相對。

此外，信號線 3、接地配線 33、電容器 7 之電極 7a、驅動電晶體 63 之第 1 閘極電極 6a、以及開關電晶體 53 之第 2 遮光膜 5e，係藉由將整面地成膜於基板 10 之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

掃描線 2、電壓供給線 4、電容器 7 之電極 7b、開關電晶體 53 之汲極電極 5h、源極電極 5i 及驅動電晶體 63 之汲極電極 6h、源極電極 6i，係藉由將整面地成膜於第 1 絕緣膜 11 之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

驅動電晶體 63 之第 1 遮光膜 6e、開關電晶體 53 之第 2 閘極電極 5a 及導電層 2a、導電層 4a，係藉由將整面地成膜於第 2 絕緣膜 12 之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

在第 1 絕緣膜 11，於汲極電極 5h 與信號線 3 重疊之區域形成有接觸孔 11b，於第 1 閘極電極 6a 與源極電極 5i 重疊之區域形成有接觸孔 11c，在接觸孔 11b, 11c 內則分別埋設有接觸栓 20b, 20c。

藉由接觸栓20b開關電晶體53之汲極電極5h與信號線3電氣導通，藉由接觸栓20c開關電晶體53之源極電極5i與電容器7之電極7a電氣導通，並且開關電晶體53之源極電極5i與驅動電晶體63之第1閘極電極6a電氣導通。

此外，不透過接觸栓20b，20c，亦可使汲極電極5h直接與信號線3接觸以使其導通，亦可使源極電極5i直接與第1閘極電極6a接觸以使其導通。

在第1絕緣膜11與第2絕緣膜12，於第1遮光膜6e與接地配線33重疊之區域形成有接觸孔11d，於該接觸孔11d則埋設有接觸栓20d。藉由接觸栓20d第1遮光膜6e與接地配線33即導通，第1遮光膜6e則被接地。

又，驅動電晶體63之第1閘極電極6a係一體地連接於電容器7之電極7a，驅動電晶體63之汲極電極6h係一體地連接於電壓供給線4，驅動電晶體63之源極電極6i則一體地連接於電容器7之電極7b。

藉由具備此開關電晶體53與驅動電晶體63之電晶體構造體563的驅動、控制，EL元件8之發光即受到控制，以控制具備電晶體構造體563之EL面板1的發光。

其次，針對構成本發明之第3實施形態之EL面板1中之電晶體構造體563的開關電晶體53與驅動電晶體63之製造方法，使用第35A圖及第35B圖至第44A圖及第44B圖的步驟圖加以說明。

此外，在此步驟說明圖所示之開關電晶體53與驅動電晶體63，例如如第32圖所示般，實際上其形狀等一部分雖不同，不過此處為了方便，係以具有同等之尺寸者

來表示各薄膜電晶體，概念性地圖示各薄膜電晶體之主要部分來加以說明。各第A圖係驅動電晶體63，各第B圖則為開關電晶體53。

首先，如第35A圖及第35B圖所示，在基板10上例如使Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層以濺鍍堆積，利用光微影法及蝕刻法等予以圖案化，以形成驅動電晶體63之第1閘極電極6a與開關電晶體53之第2遮光膜5e。又，與第1閘極電極6a及第2遮光膜5e同時在基板10上形成信號線3、接地配線33、及電容器7之電極7a(參照第32圖至第34圖)。

接著，如第36A圖及第36B圖所示，利用電漿CVD(PE-CVD)，將氮化矽等之第1絕緣膜11予以成膜。

進一步，如第36A圖及第36B圖所示，利用電漿CVD將含有結晶性矽之半導體層9b成膜在第1絕緣膜11上。此處，在將構成半導體膜(53b, 63b)之半導體層9b予以成膜時，先將矽之結晶度較高之第1矽層91予以成膜，接著再將矽之結晶度較低之第2矽層92予以成膜。第2矽層92較佳為實質上僅非晶矽。

具體而言，第1矽層91係藉由使 SiH_4 氣體與 H_2 氣體電漿分解後予以成膜，為了使 H_2 氣體對 SiH_4 氣體之比例絕對地多以更提高結晶度，藉由加大電漿功率與壓力，將係微晶矽薄膜之第1矽層91予以成膜。

本實施例中，作為載體氣體係使用氫，將氣體流量設為 $\text{SiH}_4/\text{H}_2 = 50/10500[\text{SCCM}]$ ，以功率密度 $0.134[\text{W}/\text{cm}^2]$ 、壓力 $300[\text{Pa}]$ 之條件，將第1矽層91予以成膜。

然後，藉由降低 H_2 氣體對 SiH_4 氣體之比例，並降低電漿功率與壓力，將係非晶矽薄膜之第2矽層 92 予以成膜。

此處，在係微晶矽薄膜之第1矽層 91，於其表面雖有產生凹凸的傾向，不過由於在第1矽層 91 積層有係非晶矽薄膜之第2矽層 92，因此第1矽層 91 之表面凹凸係利用第2矽層 92 彌補而緩和。

亦可非利用電漿 CVD 將第1矽層 91 予以成膜，而以將雷射光照射於非晶矽薄膜而在微晶矽薄膜進行改質的方法來形成。此時，在第1絕緣膜 11 上將非晶矽薄膜予以成膜之後，從 CVD 裝置之腔室取出基板進行雷射光照射處理，以形成第1矽層 91，然後再次將基板置入 CVD 裝置之腔室內，於第1矽層 91 上積層第2矽層 92。

此外，針對半導體層 9b 中之第1矽層 91 與第2矽層 92 (半導體膜中之第1區域與第2區域) 之矽的結晶度，如前述般，係可根據利用例如拉曼分光法測量所算出之結晶度來判別，例如，結晶度若在 20% 以上則定義為屬微晶矽薄膜，結晶度若未達 20% 則定義為屬非晶矽薄膜 (參照第 61 圖)。

作為將半導體層 9b 成膜在第1絕緣膜 11 上之前處理，較佳為於第1絕緣膜 11 之表面施以電漿處理。藉由於第1絕緣膜 11 施以電漿處理，即可將第1絕緣膜 11 之表面予以改質，而提高成膜在該第1絕緣膜 11 上之結晶性矽的結晶度。

作為本實施形態中之電漿處理，可使用例如 N_2O 氣體，以氣體流量 2000[SCCM]、功率密度 $0.356 [\text{W}/\text{cm}^2]$ 、壓力 80[Pa]之條件來進行。

此電漿處理中雖使用 N_2O 氣體，不過亦可在適切之條件使用氧氣或氫氣以取代 N_2O 氣體。

進一步，如第 36A 圖及第 36B 圖所示，利用濺鍍或 CVD 法等，將構成雜質半導體膜之雜質半導體層 9f 成膜在半導體層 9b(第 2 矽層 92)上。

此外，作為雜質半導體層 9f 要使用何種材料，係依開關電晶體是 p 型或 n 型而異。

在 p 型電晶體的情況下(p^+Si)，係藉由使二硼烷等受體型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

在 n 型電晶體的情況下(n^+Si)，係藉由使膂或膦等施體型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

接著，如第 37A 圖及第 37B 圖所示，利用光微影法・蝕刻法等將半導體層 9b 及雜質半導體層 9f 圖案化，以形成具有第 1 區域 631 與第 2 區域 632 的第 1 半導體膜 63b 及配置在該第 1 半導體膜 63b 上的雜質半導體層部 9ff、以及具有第 1 區域 531 與第 2 區域 532 的第 2 半導體膜 53b 及配置在該第 2 半導體膜 53b 上的雜質半導體層部 9ff。

接著，如第 38A 圖及第 38B 圖所示，以覆蓋雜質半導體層部 9ff 的方式，利用例如濺鍍等將構成源極電極及汲極電極之導電膜 9h 成膜在第 1 絕緣膜 11 上。

接著，如第 39A 圖及第 39B 圖所示，利用光微影法・蝕刻法等將導電膜 9h 圖案化，以形成驅動電晶體 63 之源

極電極 6i 及汲極電極 6h、開關電晶體 53 之源極電極 5i 及汲極電極 5h，並且與源極電極及汲極電極同時，形成掃描線 2、電壓供給線 4、電容器 7 之電極 7b (參照第 33 圖、第 34 圖)。

接著，如第 40A 圖及第 40B 圖所示，以汲極電極 6h 及源極電極 6i 為遮罩，利用乾蝕刻將雜質半導體層部 9ff 圖案化，以形成一對雜質半導體膜 6f, 6g。此時，第 1 半導體膜 63b 之上面亦會受到蝕刻，而於第 1 半導體膜 63b 之上面側的第 2 區域 632 形成凹部 6c。此外，以此凹部 6c 不會到達第 1 半導體膜 63b 之第 1 區域 631 的蝕刻條件，形成一對雜質半導體膜 6f, 6g，並且形成凹部 6c。

同樣地，以汲極電極 5h 及源極電極 5i 為遮罩，利用乾蝕刻將雜質半導體層部 9ff 圖案化，藉此形成一對雜質半導體膜 5f, 5g。此時，第 2 半導體膜 53b 之上面亦會受到蝕刻，而於第 2 半導體膜 53b 之上面側的第 2 區域 532 形成凹部 5c。此外，以此凹部 5c 不會到達第 2 半導體膜 53b 之第 1 區域 531 的蝕刻條件，形成一對雜質半導體膜 5f, 5g，並且形成凹部 5c。

接著，如第 41A 圖及第 41B 圖所示，將覆蓋驅動電晶體 63 之源極電極 6i 及汲極電極 6h、或開關電晶體 53 之源極電極 5i 及汲極電極 5h 等的第 2 絕緣膜 12 予以成膜。於第 2 絕緣膜 12，係形成使掃描線 2、及電壓供給線 4 分別露出之槽。

此外，在第 2 絕緣膜 12 成膜前，形成有與驅動電晶體 63 之源極電極 6i 導通的像素電極 8a (參照第 33 圖)。

接著，如第42A圖及第42B圖所示，利用濺鍍法等將例如Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層9a成膜在第2絕緣膜12上及使掃描線2、及電壓供給線4分別露出之槽內。

接著，如第43A圖及第43B圖所示，利用光微影法及蝕刻法等將閘極金屬層9a圖案化，以形成開關電晶體53之第2閘極電極5a、以及驅動電晶體63之第1遮光膜6e。

與第2閘極電極5a及第1遮光膜6e同時，形成導電層2a、導電層4a(參照第32圖)。

接著，如第44A圖及第44B圖所示，將覆蓋第2閘極電極5a與第1遮光膜6e之鈍化膜14成膜在第2絕緣膜12上。

以此方式，製造驅動電晶體63與開關電晶體53。

進一步，藉由以光微影將鈍化膜14與第2絕緣膜12圖案化，藉此形成像素電極8a之中央部露出的開口部12a(參照第33圖)。

接著，堆積聚醯亞胺等感光性樹脂後，進行曝光而形成具有像素電極8a露出之開口部13a的例如格子狀之邊堤13(參照第33圖)。

接著，於邊堤13之開口部13a，塗佈將成為電洞注入層8b之材料於溶媒溶解或分散的液狀體，並使該液狀體乾燥，藉此將係載子輸送層之電洞注入層8b或發光層8c依序予以成膜(參照第33圖)。

接著，藉由將對向電極8d整面地成膜在邊堤13之上及發光層8c之上，以製造EL元件8(參照第33圖)，而製造EL面板1。

如以上般，在形成底部閘極構造之第1薄膜電晶體即驅動電晶體63、以及頂部閘極構造之第2薄膜電晶體即開關電晶體53時，係能將在基板10與第1絕緣膜11之間形成驅動電晶體63之第1閘極電極6a及開關電晶體53之第2遮光膜5e的步驟、以及在第2絕緣膜12與鈍化膜14之間形成開關電晶體53之第2閘極電極5a及驅動電晶體63之第1遮光膜6e的步驟設為不同步驟，而藉由共通之步驟形成其以外之薄膜電晶體的構成。

亦即，藉由將形成驅動電晶體63之第1閘極電極6a與第1遮光膜6e的步驟、以及形成開關電晶體53之第2閘極電極5a與第2遮光膜5e的步驟以外的步驟設為共通步驟的製造方法，即可分別製出驅動電晶體63與開關電晶體53。

由於驅動電晶體63之第1遮光膜6e係與開關電晶體53之第2閘極電極5a同時形成，開關電晶體53之第2遮光膜5e係與驅動電晶體63之第1閘極電極6a同時形成，因此無須增加步驟數即可分別製出具有第1遮光膜6e之驅動電晶體63與具有第2遮光膜5e之開關電晶體53。

此外，由於開關電晶體53之第2半導體膜53b係於第2閘極電極5a側配置有第2區域532，因此將第2半導體膜53b中含更多非晶矽之第2區域532設為通道之電流路徑，所以此開關電晶體53係具有相當於具備由非晶矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為控制驅動電晶體63之開(on) / 關(off)之薄膜電晶體的功能。

由於驅動電晶體63之第1半導體膜63b，係於第1閘極電極6a側配置有第1區域631，因此將第1半導體膜63b中含更多結晶性矽之第1區域631設為通道之電流路徑，所以此驅動電晶體63係具有相當於具備由結晶性矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為藉由開關電晶體53之控制使電流流至EL元件8之薄膜電晶體的功能。

以此方式，驅動電晶體63與開關電晶體53係分別具有不同之電晶體特性，以發揮各自之功能，藉此即可使EL面板1良好地發光。

由於設於開關電晶體53之第2遮光膜5e，係以與第2閘極電極5a夾著第2半導體膜53b之通道區域的配置，因此以第2遮光膜5e與第2閘極電極5a，即可遮蔽EL元件8之發光等之光，以使該光不易到達第2半導體膜53b之通道區域。

同樣地，由於設於驅動電晶體63之第1遮光膜6e，係以與第1閘極電極6a夾著第1半導體膜63b之通道區域的配置，因此以第1遮光膜6e與第1閘極電極6a，即可遮蔽EL元件8之發光等之光，以使該光不易到達第1半導體膜63b之通道區域。

其結果，由於在開關電晶體53與驅動電晶體63不易產生漏電流，電晶體特性便會安定，因此開關電晶體53與驅動電晶體63即可良好地發揮功能。

再者，由於第2遮光膜5e係連接於接地配線33而設定於接地電位，藉此第2遮光膜5e與第2閘極電極5a即可獲

得電場屏蔽效果，以阻斷朝向第2半導體膜53b之通道區域產生之因開關電晶體53以外之因素所造成之不必要的電場，因此開關電晶體53即可藉由適切之第2閘極電極5a-源極電極5i間電壓、及汲極電極5h-源極電極5i間電壓而正常地動作。

同樣地，由於第1遮光膜6e係連接於接地配線33而設定於接地電位，藉此第1遮光膜6e與第1閘極電極6a即可獲得電場屏蔽效果，以阻斷朝向第1半導體膜63b之通道區域產生之因驅動電晶體63以外之因素所造成之不必要的電場，因此驅動電晶體63即可藉由適切之第1閘極電極6a-源極電極6i間電壓、及汲極電極6h-源極電極6i間電壓而正常地動作。

此外，上述中，雖亦設置成具有設定於接地電位之接地配線33，且第1遮光膜6e及第2遮光膜5e為連接於接地配線33而設定於接地電位的構成，不過並非侷限於此構成。設置成不具有接地配線33，且第1遮光膜6e及第2遮光膜5e並不連接於任何的構成亦可。此時，雖無法獲得上述之電場屏蔽功能，不過上述之遮光效果還是可同樣地獲得。

開關電晶體53及驅動電晶體63係一種逆疊積構造之通道蝕刻型的薄膜電晶體，具有不具備保護第2半導體膜53b與第1半導體膜63b之通道之通道保護膜的構造。因此，在與具備通道保護膜之類型之薄膜電晶體相較的情況下，由於可省去形成通道保護膜之步驟，因此在步驟數少的部分可抑制製造成本。

開關電晶體53係係頂部閘極構造，由於係在第2閘極電極5a之下方存在源極電極5i及汲極電極5h的構造，因此來自第2閘極電極5a之電場會有被源極電極5i及汲極電極5h阻斷的情形。然而，由於本實施形態3之開關電晶體53係係通道蝕刻型之薄膜電晶體，因此源極電極5i與汲極電極5h之間的電流路徑，係與第2半導體膜53b之凹部5c對應的第2區域532，且為第2區域532中之與第2絕緣膜12的界面側，並不流至源極電極5i與汲極電極5h之下。亦即，來自第2閘極電極5a之電場會被源極電極5i及汲極電極5h阻斷，在源極電極5i與汲極電極5h之下並不產生通道。即使在源極電極5i與汲極電極5h之下不產生通道，源極電極5i與汲極電極5h之間的電流路徑在第2半導體膜53b之凹部5c部分也會安定。因此，開關電晶體53即可適切地發揮功能，以良好地進行驅動電晶體63之開(on)/關(off)的切換(switching)。

(第4實施形態)

其次，針對本發明之EL面板、電晶體構造體的第4實施形態加以說明。此外，針對與上述各實施形態同樣之構成，係賦予同符號而省略或簡化其說明。

針對第4實施形態中之EL面板1、以及其像素P之構成，使用第45圖～第47圖加以說明。

第45圖係相當於第4實施形態之EL面板1之1個像素P的平面圖。

第46圖係沿著第45圖之XLVI-XLVI線之面的箭頭方向截面圖。

第47圖則係沿著第45圖之XLVII-XLVII線之面的箭頭方向截面圖。

此外，第45圖中，主要係表示電極及配線。

如第45圖所示，各像素P係具備具有開關電晶體54與驅動電晶體64之電晶體構造體564。

開關電晶體54、及驅動電晶體64係分別對應第3圖之開關電晶體5、及驅動電晶體6。

開關電晶體54及驅動電晶體64，係以沿著信號線3的方式排列，於開關電晶體54之附近配置有電容器7，於驅動電晶體64之附近則配置有EL元件8。

在各像素P，於掃描線2與電壓供給線4之間，係配置有開關電晶體54、驅動電晶體64、電容器7、以及EL元件8。

如第45圖～第47圖所示，在基板10上設有第1閘極電極5a，以覆蓋該第1閘極電極5a的方式，於基板10之上面成膜有第1絕緣膜11。

在此第1絕緣膜11之上，分別於既定之位置形成有第1半導體膜54b與第2半導體膜64b、一對雜質半導體膜5f, 5g、一對雜質半導體膜6f, 6g、汲極電極5h, 6h、以及源極電極5i, 6i。

覆蓋汲極電極5h, 6h及源極電極5i, 6i，成膜有第2絕緣膜12。

在此第2絕緣膜12上設有第2閘極電極6a，覆蓋該第2閘極電極6a，於第2絕緣膜12之上面成膜有鈍化膜14。

於第2絕緣膜12上之與第1半導體膜54b對應之區域設有第1遮光膜5e，呈以第1閘極電極5a與第1遮光膜5e夾著第1半導體膜54b之配置。

第1絕緣膜11下之與第2半導體膜64b對應之區域的基板10上設有第2遮光膜6e，呈以第2閘極電極6a與第2遮光膜6e夾著第2半導體膜64b之配置。

此外，驅動電晶體64之汲極電極6h與源極電極6i，係透過分別設於隔著第2半導體膜64b之凹部6c之一對端部的一對雜質半導體膜6f，6g連接於第1半導體膜64b之端部。

開關電晶體54之汲極電極5h與源極電極5i，係透過分別設於隔著第1半導體膜54b之凹部5c之一對端部的一對雜質半導體膜5f，5g連接於第2半導體膜54b之端部。

信號線3係形成於基板10與第1絕緣膜11之間。

設定於接地電位之接地配線33，係沿著信號線3形成於基板10與第1絕緣膜11之間。

掃描線2係形成於第1絕緣膜11上。此外，於覆蓋掃描線2之上方的第2絕緣膜12，係形成有沿著掃描線2之槽，於該槽內則設有接觸於掃描線2並覆蓋掃描線2之導電層2a，而構成為掃描線2與導電層2a導通，以謀求掃描線2之低阻抗化。此外，亦可不具上述槽及導電層2a。

電壓供給線4係形成在第1絕緣膜11上。此外，於覆蓋電壓供給線4之上方的第2絕緣膜12，係形成有沿著電壓供給線4之槽，於該槽內則設有接觸於電壓供給線4並覆蓋電壓供給線4之導電層4a，而構成為電壓供給線4與

導電層4a導通。藉此，謀求電壓供給線4之低阻抗化，透過驅動電晶體6謀求供給至EL元件8之電流量的安定化。此外，亦可不具上述槽及導電層4a。

如第45圖、第47圖所示，開關電晶體54係一種具有逆疊積構造通道蝕刻型之底部閘極構造的第1薄膜電晶體。此開關電晶體54係具有第1閘極電極5a、第1半導體膜54b、雜質半導體膜5f、5g、第1汲極電極5h、第1源極電極5i、以及第1遮光膜5e等。

第1閘極電極5a係形成於基板10與第1絕緣膜11之間。此第1閘極電極5a，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。

於第1閘極電極5a之上成膜有絕緣性之第1絕緣膜11，藉由該第1絕緣膜11被覆第1閘極電極5a。第1絕緣膜11例如係具有光透射性，由矽氮化物或矽氧化物構成。

在此第1絕緣膜11上且與第1閘極電極5a對應之位置，形成有本質第1半導體膜54b，第1半導體膜54b係隔著第1絕緣膜11與第1閘極電極5a相對。

第1半導體膜54b，例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側之第1區域541、以及位於其相反面側之第2絕緣膜12側的第2區域542。此處，第2區域542之矽的結晶度係形成為較第1區域541高。換言之，第1半導體膜54b之第2區域542，相較於第1區域541係相對地矽之結晶度較高，結晶性矽區域之比例係較第1區域541高。此外，第1半導體膜54b

之第1區域541，相較於第2區域542係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。

於第1半導體膜54b上面且包含與第1閘極電極5a對應之區域之一部分的大致中央側，係形成有凹部5c。此凹部5c係形成於第1半導體膜54b之第2區域542，並未到達第1區域541。此外，與第1半導體膜54b之凹部5c對應之部分，係成為形成通道之通道區域。

在此第1半導體膜54b隔著凹部5c之兩端部，係較凹部5c還高。

在第1半導體膜54b之一端部之上，係形成有雜質半導體膜5f，在第1半導體膜54b之另一端部之上，係形成有雜質半導體膜5g。

此外，雜質半導體膜5f, 5g係分別在第1半導體膜54b之兩端側彼此隔著間隔形成。此外，雜質半導體膜5f, 5g雖為n型半導體，不過並不侷限於此，若開關電晶體54為p型電晶體，則p型半導體亦可。

在雜質半導體膜5f之上，係形成有汲極電極5h。

在雜質半導體膜5g之上，係形成有源極電極5i。

汲極電極5h、源極電極5i，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。

在汲極電極5h及源極電極5i之上，係成膜有絕緣性之第2絕緣膜12，汲極電極5h及源極電極5i等係藉由第2絕緣膜12被覆。第2絕緣膜12，例如係含有氮化矽或氧化矽。

第1遮光膜5e係形成在第2絕緣膜12上且與第1半導體膜54b(凹部5c)對應的位置。此第1遮光膜5e係在形成驅動電晶體64之第2閘極電極6a時以同一製程所形成，由選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜之中的材料所構成。第1遮光膜5e係其一部分為透過接觸栓20d連接於接地配線33。

第2絕緣膜12上之第1遮光膜5e，係以鈍化膜14覆蓋。

鈍化膜14，例如係含有氮化矽或氧化矽。

此外，開關電晶體54係藉由第1絕緣膜11、第2絕緣膜12、鈍化膜14被覆。

在此開關電晶體54，第1絕緣膜11係具有閘極絕緣膜之功能，於第1閘極電極5a之電場作用之第1半導體膜54b的更低區域即凹部5c部分，係成為形成通道之通道區域。此通道係形成於第1半導體膜54b中成為第1閘極電極5a側之第1半導體膜54b的第1區域541，該第1區域541係成為源極電極5i與汲極電極5h之間的電流路徑。

此外，由於第1半導體膜54b之第1區域541，係含有更多非晶矽(amorphous silicon)的半導體層，因此以該第1區域541為通道之電流路徑的開關電晶體54，係相當於具備由非晶矽構成之半導體膜(或者，以非晶矽為主成分之半導體膜)的薄膜電晶體。亦即，由於開關電晶體54之第1區域541的非晶矽，與微晶矽等之結晶性矽相較漏電流較少，流至半導體層之電流的開(on)/關(off)比，亦即，(在開(on)時流至半導體層之電流)/(在關(off)時流至半

導體層之電流)較大，因此開關電晶體54係可良好地發揮作為控制驅動電晶體64之開(on) / 關(off)之開關電晶體的功能。

在開關電晶體54中，由於第1遮光膜5e係設置成與第1閘極電極5a夾著第1半導體膜54b之通道區域(凹部5c)的配置，因此以第1遮光膜5e與第1閘極電極5a，即可遮蔽EL元件8之發光等之光，該光即不易到達第1半導體膜54b之通道區域。其結果，由於在開關電晶體54不易產生漏電流，電晶體特性便會安定，因此開關電晶體54即可良好地發揮功能。

再者，由於第1遮光膜5e係連接於接地配線33而被接地，所以第1遮光膜5e可阻斷作用於第1半導體膜54b之通道區域之不必要的電場，因此可防止因該不必要之電場所造成之源極・汲極間的電壓變化，而良好地維持開關電晶體54之功能。

如第45圖、第46圖所示，驅動電晶體64係一種具有逆疊積構造通道蝕刻型之頂部閘極構造的第2薄膜電晶體。此驅動電晶體64係具有第2閘極電極6a、第2半導體膜64b、雜質半導體膜5f, 5g、第2汲極電極6h、第2源極電極6i、以及第2遮光膜6e等。

第2遮光膜6e係形成在基板10與第1絕緣膜11之間。此第2遮光膜6e係在形成開關電晶體54之第1閘極電極5a時以同一製程所形成，由選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜之中的材料所構成。第2遮光膜6e係其一部分為連接於接地配線33。

成膜於基板10之上的絕緣性第1絕緣膜11，例如係具有光透射性，含有矽氮化物或矽氧化物。在此第1絕緣膜11上且與第2閘極電極6a對應之位置，係形成有本質第2半導體膜64b。

第2半導體膜64b例如係含有結晶性矽，特別是微晶矽(micro crystal silicon)，具有位於第1絕緣膜11側之第1區域641、以及位於其相反面側之第2絕緣膜12側的第2區域642。此處，第2區域642之矽的結晶度係形成為較第1區域641高。換言之，第2半導體膜64b之第2區域642，相較於第1區域641係相對地矽之結晶度較高，結晶性矽區域之比例係較第1區域641高。此外，第2半導體膜64b之第1區域641，相較於第2區域642係非晶矽(amorphous silicon)區域之比例較高，較佳為實質上僅係非晶矽之區域。第2半導體膜64b之第1區域641，與第1半導體膜54b之第1區域541係相同組成且相同厚度，第2半導體膜64b之第2區域642，與第1半導體膜54b之第2區域542係相同組成且相同厚度。因此，第2半導體膜64b及第1半導體膜54b，如後述般，即可使用係同一材料層之半導體層9b，以同一製程一併地製造。

又，於第2半導體膜64b之上面且包含與第2閘極電極6a對應之區域之至少一部分的大致中央側，係形成有凹部6c。此凹部6c係形成於第2半導體膜64b之第2區域642，並未到達第1區域641。此外，第2半導體膜64b之與凹部6c對應的部分，係成為形成通道之通道區域。

在此第2半導體膜64b中隔著凹部5c之兩端部，係較凹部5c還高。在第2半導體膜64b之一端部之上，係形成有雜質半導體膜6f，在第2半導體膜64b之另一端部之上，則形成有雜質半導體膜6g。此外，雜質半導體膜6f, 6g係分別在第2半導體膜64b之兩端側彼此隔著間隔形成。此外，雜質半導體膜6f, 6g雖為n型半導體，不過並不侷限於此，若驅動電晶體64為p型電晶體，則p型半導體亦可。雜質半導體膜6f, 6g係以與雜質半導體膜5f, 5g同一材料構成且相同厚度。因此，雜質半導體膜6f, 6g及雜質半導體膜5f, 5g，如後述般，即可使用係同一材料層之雜質半導體層9f，以同一製程一併地製造。

在雜質半導體膜6f之上，係形成有汲極電極6h。在雜質半導體膜6g之上，則形成有源極電極6i。汲極電極6h、源極電極6i，例如以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。汲極電極5h、源極電極5i，係以與汲極電極6h、源極電極6i同一材料構成且相同厚度。因此，汲極電極5h、源極電極5i及汲極電極6h、源極電極6i，如後述般，即可使用係同一材料層之導電膜9h，以同一製程一併地製造。

在汲極電極6h及源極電極6i之上，係成膜有絕緣性之第2絕緣膜12，汲極電極6h及源極電極6i等係藉由第2絕緣膜12被覆。

第2閘極電極6a係形成在第2絕緣膜12上且與第2半導體膜64b之凹部6c對應的位置。此第2閘極電極6a，例

如係以選自Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜、以及AlTiNd合金膜之中的材料形成較佳。第2絕緣膜12上之第2閘極電極6a係以鈍化膜14覆蓋。

此外，驅動電晶體64係藉由第1絕緣膜11、第2絕緣膜12、鈍化膜14被覆。

在此驅動電晶體64，第2絕緣膜12係具有閘極絕緣膜之功能，於第2閘極電極6a之電場作用之第2半導體膜64b的更低區域即凹部6c部分，形成通道(通道區域)。此通道係形成於第2半導體膜64b中成為第2閘極電極6a側之第2半導體膜64b的第2區域642，該第2區域642係成為源極電極6i與汲極電極6h之間的電流路徑。

此外，由於第2半導體膜64b之第2區域642，係較第1區域641含有更多結晶性矽的半導體層，因此以該第2區域642為通道之電流路徑的驅動電晶體64，係相當於具備由結晶性矽構成之半導體膜(或者，以結晶性矽為主成分之半導體膜)的薄膜電晶體。亦即，由於驅動電晶體64之第2區域642內的微晶矽，係結晶粒徑大概50~100nm之結晶性矽，相較於非晶矽，電晶體驅動時閾值電壓的偏移較少，因此除了可抑制電晶體之劣化以外，載子移動度亦較高，所以驅動電晶體64可良好地發揮作為藉由開關電晶體54之控制使電流流至EL元件8之驅動電晶體的功能。

此外，在此頂部閘極構造之驅動電晶體64，第2半導體膜64b之第2區域642中之通道的電流路徑，並非與第1區域641之界面側，而係更接近第2閘極電極6a之與第2

絕緣膜12的界面側。由於第2半導體膜64b之第2區域642中，矽之結晶度在與第2絕緣膜12的界面側係較與第1區域641之界面側更高，因此適合於驅動電晶體64之電流路徑。

此係因在將由結晶性矽構成之第2區域642予以成膜之當初，矽之結晶化並不安定，於第2區域642之與第1區域641之界面側，易於產生矽之結晶度較差的培養層，而在與第2絕緣膜12之界面側的第2區域642，可進行矽之結晶化安定的半導體膜之成膜之故。

此外，矽之結晶化安定地成膜之與第2絕緣膜12之界面側的第2區域642係更適合作為電流路徑，以將該第2區域642設為電流路徑的方式，形成驅動電晶體64為頂部閘極構造，藉此驅動電晶體64即可更良好地發揮作為驅動電晶體的功能。

又，在驅動電晶體64中，由於第2遮光膜6e係設置成與第2閘極電極6a夾著第2半導體膜64b之通道區域(凹部6c)的配置，因此以第2遮光膜6e與第2閘極電極6a，即可遮蔽EL元件8之發光等之光，該光即不易到達第2半導體膜64b之通道區域。其結果，由於在驅動電晶體64不易產生漏電流，電晶體特性便會安定，因此驅動電晶體64即可良好地發揮功能。

再者，由於第2遮光膜6e係連接於接地配線33而被接地，所以第2遮光膜6e可阻斷作用於第2半導體膜64b之通道區域之不必要的電場，因此可防止因該不必要之電場所造成之源極・汲極間的電壓變化，以抑制驅動電晶體64

之驅動電流的變化，而良好地維持驅動電晶體64之功能。

電容器7係連接於驅動電晶體64之第2閘極電極6a與源極電極6i之間。具體而言，電容器7之電極7a係連接於驅動電晶體64之第2閘極電極6a，電容器7之電極7b係連接於驅動電晶體64之源極電極6i。此外，如第45圖、第47圖所示，在基板10與第1絕緣膜11之間形成有電容器7一方之電極7a，在第1絕緣膜11與第2絕緣膜12之間則形成有電容器7另一方之電極7b，電極7a與電極7b係隔著係電介質之第1絕緣膜11相對。

此外，信號線3、接地配線33、電容器7之電極7a、開關電晶體54之第1閘極電極5a、以及驅動電晶體64之第2遮光膜6e，係藉由將整面地成膜於基板10之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

掃描線2、電壓供給線4、電容器7之電極7b、開關電晶體54之汲極電極5h、源極電極5i及驅動電晶體64之汲極電極6h、源極電極6i，係藉由將整面地成膜於第1絕緣膜11之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。

開關電晶體54之第1遮光膜5e、驅動電晶體64之第2閘極電極6a，係藉由將整面地成膜於第2絕緣膜12之導電性膜，利用光微影法及蝕刻法等予以形狀加工而一併地形成。此外，積層於電壓供給線4之導電層4a、以及積層於掃描線2之導電層2a，係與第2閘極電極6a及第1遮光膜5e同時形成。

在第1絕緣膜11，於第1閘極電極5a與掃描線2重疊之區域形成有接觸孔11a，於汲極電極5h與信號線3重疊之區域形成有接觸孔11b，於第2閘極電極6a與源極電極5i重疊之區域則形成有接觸孔11c。此外，接觸孔11c係形成為亦連通於第2絕緣膜12。在此接觸孔11a～11c內係分別埋設有接觸栓20a～20c。藉由接觸栓20a開關電晶體54之第1閘極電極5a與掃描線2電氣導通，藉由接觸栓20b開關電晶體54之汲極電極5h與信號線3電氣導通，藉由接觸栓20c開關電晶體54之源極電極5i與電容器7之電極7a電氣導通，並且開關電晶體54之源極電極5i與驅動電晶體64之第2閘極電極6a電氣導通。此外，亦可不透過接觸栓20a～20c，掃描線2直接與第1閘極電極5a接觸，汲極電極5h與信號線3接觸，源極電極5i與第2閘極電極6a接觸以使其導通。

又，在第1絕緣膜11與第2絕緣膜12，於第1遮光膜5e與接地配線33重疊之區域形成有接觸孔11d，於該接觸孔11d則埋設有接觸栓20d。藉由接觸栓20d第1遮光膜5e與接地配線33導通，第1遮光膜5e被接地。又，驅動電晶體64之汲極電極6h係一體地連接於電壓供給線4，驅動電晶體64之源極電極6i則一體地連接於電容器7之電極7b。

藉由以此開關電晶體54與驅動電晶體64構成之電晶體構造體564的驅動、控制，同樣地EL元件8亦發光，具備電晶體構造體564之EL面板1亦同樣地發光。

其次，針對構成本發明之EL面板1中之電晶體構造體564的開關電晶體54與驅動電晶體64之製造方法，使用第

48A圖及第48B圖至第57A圖及第57B圖的步驟圖加以說明。

此外，在此步驟說明圖所示之開關電晶體54與驅動電晶體64，例如如第45圖所示般，實際上其形狀或尺寸等一部分雖不同，不過此處為了方便，係以具有同等之尺寸者來表示各薄膜電晶體，概念性地圖示各薄膜電晶體之主要部分來加以說明。各第A圖係驅動電晶體64，各第B圖則為開關電晶體54。

首先，如第48A圖及第48B圖所示，在基板10上例如使Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層以濺鍍堆積，利用光微影法及蝕刻法等予以圖案化，以形成開關電晶體54之第1閘極電極5a與驅動電晶體64之第2遮光膜6e。又，與第1閘極電極5a及第2遮光膜6e同時，在基板10上形成信號線3、接地配線33、及電容器7之電極7a(參照第45圖至第47圖)。

接著，如第49A圖及第49B圖所示，利用電漿CVD(PE-CVD)，將氮化矽等之第1絕緣膜11予以成膜。

進一步，如第49A圖及第49B圖所示，利用電漿CVD將含有結晶性矽之半導體層9b成膜在第1絕緣膜11上。在將構成半導體膜(54b, 64b)之半導體層9b予以成膜時，先將矽之結晶度較低之第1矽層91予以成膜，接著再將矽之結晶度較高之第2矽層92予以成膜。第1矽層91較佳為實質上僅非晶矽。

具體而言，以 H_2 氣體對 SiH_4 氣體之比例較低，且電漿功率與壓力較低之條件，將係非晶矽薄膜之第1矽層91予以成膜。

然後，使 H_2 氣體對 SiH_4 氣體之比例絕對地多，且為了更提高結晶度而加大電漿功率與壓力，藉此將係微晶矽薄膜之第2矽層92予以成膜。

本實施例中，作為載體氣體係使用氫，將氣體流量設為 $SiH_4/H_2 = 50/10500[SCCM]$ ，以功率密度 $0.134 [W/cm^2]$ 、壓力 $300[Pa]$ 之條件，將第2矽層92予以成膜。

此外，針對半導體層9b中之第1矽層91與第2矽層92(半導體膜中之第1區域與第2區域)之矽的結晶度，如前述般，係可根據利用例如拉曼分光法測量所算出之結晶度來判別，例如，結晶度若在20%以上則定義為屬微晶矽薄膜，結晶度若未達20%則定義為屬非晶矽薄膜(參照第61圖)。

作為將半導體層9b成膜在第1絕緣膜11上之前處理，較佳為於第1絕緣膜11之表面施以電漿處理。藉由於第1絕緣膜11施以電漿處理，即可將第1絕緣膜11之表面予以改質，而提高成膜在該第1絕緣膜11上之結晶性矽的結晶度。

作為本實施形態中之電漿處理，可使用例如 H_2 氣體，以氣體流量 $1000[SCCM]$ 、功率密度 $0.178 [W/cm^2]$ 、壓力 $80[Pa]$ 之條件來進行。

進一步，如第49A圖及第49B圖所示，利用濺鍍或CVD法等，將構成雜質半導體膜之雜質半導體層9f成膜在半導體層9b(第2矽層92)上。

此外，作為雜質半導體層9f要使用何種材料，係依開關電晶體是p型或n型而異。

在p型電晶體的情況下(p^+Si)，係藉由使二硼烷等受體型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

在n型電晶體的情況下(n^+Si)，係藉由使磷或銻等施體型之雜質混入 SiH_4 氣體中使其電漿成膜而形成。

接著，如第50A圖及第50B圖所示，利用光微影法・蝕刻法等將半導體層9b及雜質半導體層9f圖案化，以形成具有第1區域641與第2區域642的第2半導體膜64b及配置在該第2半導體膜64b上的雜質半導體層部9ff、以及具有第1區域541與第2區域542的第1半導體膜54b及配置在該第1半導體膜54b上的雜質半導體層部9ff。

接著，如第51A圖及第51B圖所示，以覆蓋雜質半導體層部9ff的方式，利用例如濺鍍等將構成源極電極及汲極電極之導電膜9h成膜在第1絕緣膜11上。

接著，如第52A圖及第52B圖所示，利用光微影法・蝕刻法等將導電膜9h圖案化，以形成驅動電晶體64之源極電極6i及汲極電極6h、開關電晶體54之源極電極5i及汲極電極5h。又，與源極電極及汲極電極同時，形成掃描線2、電壓供給線4、電容器7之電極7b(參照第45圖～第47圖)。

接著，如第53A圖及第53B圖所示，以汲極電極6h及源極電極6i為遮罩，利用乾蝕刻將雜質半導體層部9ff圖案化，以形成一對雜質半導體膜6f, 6g。此時，第2半導體膜64b之上面亦會受到蝕刻，而於第2半導體膜64b之上面側的第2區域642形成凹部6c。此外，以此凹部6c不會到達第2半導體膜64b之第1區域641的蝕刻條件，形成一對雜質半導體膜6f, 6g，並且形成凹部6c。

同樣地，以汲極電極5h及源極電極5i為遮罩，利用乾蝕刻將雜質半導體層部9ff圖案化，藉此形成一對雜質半導體膜5f, 5g。此時，第1半導體膜54b之上面亦會受到蝕刻，而於第1半導體膜54b之上面側的第2區域542形成凹部5c。此外，以此凹部5c不會到達第1半導體膜54b之第1區域541的蝕刻條件，形成一對雜質半導體膜5f, 5g，並且形成凹部5c。

此處，較佳為伴隨著於雜質半導體層部9ff施以乾蝕刻，而在將凹部6c形成於頂部閘極構造之驅動電晶體64的第2半導體膜64b時，以從第2半導體膜64b之第2區域642的上面不超過該第2區域642之厚度之一半的方式施以蝕刻。更佳為以形成至第2區域642之厚度之3分之1為止之深度的凹部6c的方式施以蝕刻。

此係若從第2半導體膜64b之第2區域642的上面施以超過該第2區域642之厚度之一半的蝕刻時，有時凹部6c會到達第2區域642中之培養層，而於該第2區域642中之電流路徑含有培養層等，有妨礙電晶體之開(on)電流之提升的問題。

因此，為了將第2區域642中矽之結晶化安定的部分(第2區域642之上面側)設為電流路徑，較佳為以不過度深入蝕刻第2半導體膜64b之第2區域642的方式，使凹部6c之深度止於第2區域642之厚度的一半程度。

接著，如第54A圖及第54B圖所示，將覆蓋驅動電晶體64之源極電極6i及汲極電極6h、或開關電晶體54之源極電極5i及汲極電極5h等之第2絕緣膜12予以成膜。

在第2絕緣膜12形成使掃描線2、及電壓供給線4分別露出之槽。

此外，在第2絕緣膜12成膜前，形成與驅動電晶體64之源極電極6i導通之像素電極8a(參照第46圖)。

接著，如第55A圖及第55B圖所示，利用濺鍍等將例如Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜或AlTiNd合金膜等閘極金屬層9a成膜在第2絕緣膜12上及使掃描線2、及電壓供給線4分別露出之槽內。

接著，如第56A圖及第56B圖所示，利用光微影法及蝕刻法等將閘極金屬層9a圖案化，以形成驅動電晶體64之第2閘極電極6a、以及開關電晶體54之第1遮光膜5e。與第2閘極電極6a及第1遮光膜5e同時形成導電層2a、導電層4a(參照第45圖)。

接著，如第57A圖及第57B圖所示，將覆蓋第2閘極電極6a與第1遮光膜5e之鈍化膜14成膜在第2絕緣膜12上。

以此方式，製造驅動電晶體64與開關電晶體54。

進一步，藉由以光微影將鈍化膜14與第2絕緣膜12圖案化，藉此形成像素電極8a之中央部露出的開口部12a(參照第46圖)。

接著，堆積聚醯亞胺等感光性樹脂後，進行曝光而形成具有將像素電極8a露出之開口部13a的例如格子狀之邊堤13(參照第46圖)。

接著，於邊堤13之開口部13a，塗佈將構成電洞注入層8b之材料於溶媒溶解或分散的液狀體，並使該液狀體

乾燥，藉此將係載子輸送層之電洞注入層8b或發光層8c依序予以成膜(參照第46圖)。

接著，藉由將對向電極8d整面地成膜在邊堤13之上及發光層8c之上，以製造EL元件8(參照第46圖)，而製造EL面板1。

如以上般，在形成底部閘極構造之第1薄膜電晶體即開關電晶體54、以及頂部閘極構造之第2薄膜電晶體即驅動電晶體64時，係能將在基板10與第1絕緣膜11之間形成開關電晶體54之第1閘極電極5a及驅動電晶體64之第2遮光膜6e的步驟、以及在第2絕緣膜12與鈍化膜14之間形成驅動電晶體64之第2閘極電極6a及開關電晶體54之第1遮光膜5e的步驟設為不同步驟，而藉由共通之步驟形成其以外之薄膜電晶體的構成。

亦即，藉由將形成開關電晶體54之第1閘極電極5a與第1遮光膜5e的步驟、以及形成驅動電晶體64之第2閘極電極6a與第2遮光膜6e的步驟以外的步驟設為共通步驟的製造方法，即可分別製出驅動電晶體64與開關電晶體54。

由於開關電晶體54之第1遮光膜5e係與驅動電晶體64之第2閘極電極6a同時形成，驅動電晶體64之第2遮光膜6e係與開關電晶體54之第1閘極電極5a同時形成，因此無須增加步驟數即可分別製出具有第1遮光膜5e之開關電晶體54與具有第2遮光膜6e之驅動電晶體64。

此外，由於開關電晶體54之第1半導體膜54b係於第1閘極電極5a側配置有第1區域541，因此將第1半導體膜

54b中含更多非晶矽之第1區域541設為通道之電流路徑，所以此開關電晶體54係具有相當於具備由非晶矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為控制驅動電晶體64之開(on) / 關(off)之薄膜電晶體的功能。

又，由於驅動電晶體64之第2半導體膜64b，係於第2閘極電極6a側配置有第2區域642，因此將第2半導體膜64b中含更多結晶性矽之第2區域642設為通道之電流路徑，所以此驅動電晶體64係具有相當於具備由結晶性矽構成之半導體膜之薄膜電晶體的功能，而能良好地發揮作為藉由開關電晶體54之控制使電流流至EL元件8之薄膜電晶體的功能。

以此方式，驅動電晶體64與開關電晶體54係分別具有不同之電晶體特性，以發揮各自之功能，藉此即可使EL面板1良好地發光。

由於設於開關電晶體54之第1遮光膜5e，係以與第1閘極電極5a夾著第1半導體膜54b之通道區域的配置，因此以第1遮光膜5e與第1閘極電極5a，即可遮蔽EL元件8之發光等之光，以使該光不易到達第1半導體膜54b之通道區域。

同樣地，由於設於驅動電晶體64之第2遮光膜6e，係以與第2閘極電極6a夾著第2半導體膜64b之通道區域的配置，因此以第2遮光膜6e與第2閘極電極6a，即可遮蔽EL元件8之發光等之光，以使該光不易到達第2半導體膜64b之通道區域。

其結果，由於在開關電晶體54與驅動電晶體64不易產生漏電流，電晶體特性便會安定，因此開關電晶體54與驅動電晶體64即可良好地發揮功能。

再者，由於第1遮光膜5e係連接於接地配線33而設定於接地電位，藉此第1遮光膜5e與第1閘極電極5a即可獲得電場屏蔽效果，以阻斷朝向第1半導體膜54b之通道區域產生之因開關電晶體54以外之因素所造成之不必要的電場，因此開關電晶體54即可藉由適切之第1閘極電極5a-源極電極5i間電壓、及汲極電極5h-源極電極5i間電壓而正常地動作。同樣地，由於第2遮光膜6e係連接於接地配線33而設定於接地電位，藉此第2遮光膜6e與第2閘極電極6a即可獲得電場屏蔽效果，以阻斷朝向第2半導體膜64b之通道區域產生之因驅動電晶體64以外之因素所造成之不必要的電場，因此驅動電晶體64即可藉由適切之第1閘極電極6a-源極電極6i間電壓、及汲極電極6h-源極電極6i間電壓而正常地動作。尤其，藉由抑制驅動電晶體64之驅動電流的變化，良好地維持驅動電晶體64之功能，即可使EL元件8良好地發光。

此外，上述中，雖亦設置成具有設定於接地電位之接地配線33，且第1遮光膜5e及第2遮光膜6e為連接於接地配線33而設定於接地電位的構成，不過並非侷限於此構成。設置成不具有接地配線33，且第1遮光膜5e及第2遮光膜6e並不連接於任何的構成亦可。此時，雖無法獲得上述之電場屏蔽功能，不過上述之遮光效果還是可同樣地獲得。

又，開關電晶體54及驅動電晶體64係一種逆疊積構造之通道蝕刻型的薄膜電晶體，具有不具備保護第1半導體膜54b與第2半導體膜64b之通道之通道保護膜的構造。因此，在與具備通道保護膜之類型之薄膜電晶體相較的情況下，由於可省去形成通道保護膜之步驟，因此在步驟數少的部分可抑制製造成本。

又，驅動電晶體64係係頂部閘極構造，由於係在第2閘極電極6a之下方存在源極電極6i及汲極電極6h的構造，因此來自第2閘極電極6a之電場會有被源極電極6i及汲極電極6h阻斷的情形。然而，由於本第4實施形態之驅動電晶體64係係通道蝕刻型之薄膜電晶體，因此源極電極6i與汲極電極6h之間的電流路徑，係與第2半導體膜64b之凹部6c對應的第2區域642，且為第2區域642中之與第2絕緣膜12的界面側，並不流至源極電極6i與汲極電極6h之下。亦即，來自第2閘極電極6a之電場會被源極電極6i及汲極電極6h阻斷，在源極電極6i與汲極電極6h之下並不產生通道。即使在源極電極6i與汲極電極6h之下不產生通道，源極電極6i與汲極電極6h之間的電流路徑在第2半導體膜64b之凹部6c部分亦會安定，而構成為開(on)電流不會降低。

因此，由於驅動電晶體64之驅動電流安定，驅動電晶體64可適切地發揮功能，所以可良好地驅動EL元件8發光。

於是，以上方式所形成並製造之EL面板1，即可作為各種電子機器之顯示面板使用。

例如，可將EL面板1應用於第58圖所示之行動電話200的顯示面板1a、或第59A圖、第59B圖所示之數位相機300的顯示面板1b、或第60圖所示之個人電腦400的顯示面板1c。

此外，本發明之應用並不限於上述之實施形態，在不超出本發明之意旨的範圍可適當予以變更。

上述各實施形態中，各像素雖具備有開關電晶體及驅動電晶體之2個電晶體，不過並不侷限於此，例如第62圖所示之電晶體構成亦可。

此時，開關電晶體501及開關電晶體502，可設為與上述之開關電晶體51，52，53，54同樣的構造，驅動電晶體601則設為與上述之驅動電晶體61，62，63，64同樣的構造。

此領域的技術人員將輕易想到額外的優點及修飾。因此，根據較廣義態樣的本發明並不限於在此所顯示並說明的具體詳細代表實施例。所以，在不背離隨附的請求項及其均等物所定義的發明一般概念的精神及範圍，可作各種修飾。

【圖式簡單說明】

第1圖係表示EL面板之像素之配置構成的平面圖。

第2圖係表示EL面板之概略構成的平面圖。

第3圖係表示相當於EL面板之1個像素之電路的電路圖。

第4圖係表示第1實施形態之EL面板之1個像素的平面圖。

第5圖係沿著第4圖之V-V線之面的箭頭方向截面圖。

第6圖係沿著第4圖之VI-VI線之面的箭頭方向截面圖。

第7A圖、第7B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第8A圖、第8B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第9A圖、第9B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第10A圖、第10B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第11A圖、第11B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第12A圖、第12B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第13A圖、第13B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第14A圖、第14B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第15A圖、第15B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第16A圖、第16B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第17A圖、第17B圖係表示第1實施形態之薄膜電晶體之製造步驟的說明圖。

第18圖係表示第2實施形態之EL面板之1個像素的平面圖。

第 19 圖係沿著第 18 圖之 XIX-XIX 線之面的箭頭方向截面圖。

第 20 圖係沿著第 18 圖之 XX-XX 線之面的箭頭方向截面圖。

第 21A 圖、第 21B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 22A 圖、第 22B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 23A 圖、第 23B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 24A 圖、第 24B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 25A 圖、第 25B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 26A 圖、第 26B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 27A 圖、第 27B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 28A 圖、第 28B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 29A 圖、第 29B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 30A 圖、第 30B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第 31A 圖、第 31B 圖係表示第 2 實施形態之薄膜電晶體之製造步驟的說明圖。

第32圖係表示第3實施形態之EL面板之1個像素的平面圖。

第33圖係沿著第32圖之XXXIII-XXXIII線之面的箭頭方向截面圖。

第34圖係沿著第32圖之XXXIV-XXXIV線之面的箭頭方向截面圖。

第35A圖、第35B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第36A圖、第36B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第37A圖、第37B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第38A圖、第38B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第39A圖、第39B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第40A圖、第40B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第41A圖、第41B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第42A圖、第42B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第43A圖、第43B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第44A圖、第44B圖係表示第3實施形態之薄膜電晶體之製造步驟的說明圖。

第45圖係表示第4實施形態之EL面板之1個像素的平面圖。

第46圖係沿著第45圖之XVIII-XVIII線之面的箭頭方向截面圖。

第47圖係沿著第45圖之XIX-XIX線之面的箭頭方向截面圖。

第48A圖、第48B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第49A圖、第49B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第50A圖、第50B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第51A圖、第51B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第52A圖、第52B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第53A圖、第53B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第54A圖、第54B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第55A圖、第55B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第56A圖、第56B圖係表示第4實施形態之薄膜電晶體之製造步驟的說明圖。

第 57A 圖、第 57B 圖係表示第 4 實施形態之薄膜電晶體之製造步驟的說明圖。

第 58 圖係表示在顯示面板應用 EL 面板之行動電話一例的前視圖。

第 59A 圖、第 59B 圖係表示在顯示面板應用 EL 面板之數位相機之一例的正面側立體圖與後面側立體圖。

第 60 圖係表示在顯示面板應用 EL 面板之個人電腦之一例的立體圖。

第 61 圖係用以說明利用拉曼分光法測量半導體之結晶度之方法的圖。

第 62 圖係表示相當於 EL 面板之 1 個像素之電路之另一例的電路圖。

【主要元件符號說明】

1	EL 面板
1a, 1b, 1c	顯示面板
2	掃描線
2a	導電層
3	信號線
4	電壓供給線
4a	導電層
5, 51, 52, 53, 54, 501, 502	開關電晶體
5a	第 2 閘極電極
5c	凹部
5d	保護絕緣膜
5e	第 2 遮光膜

5f, 5g	雜質半導體膜
5h	汲極電極
5i	源極電極
6, 61, 62, 63, 64, 601	驅動電晶體
6a	第1閘極電極
6c	凹部
6d	保護絕緣膜
6e	第1遮光膜
6f, 6g	雜質半導體膜
6h	汲極電極
6i	源極電極
7	電容器
7a, 7b	電極
8	EL元件
8a	像素電極
8b	電洞注入層
8c	發光層
8d	對向電極
9a	閘極金屬層
9b	半導體層
9d	保護絕緣層
9f	雜質半導體層
9ff	雜質半導體層部
9h	導電膜
10	基板

11	第1絕緣膜
11a, 11b, 11c, 11d	接觸孔
12	第2絕緣膜
12a	開口部
13	邊堤
13a	開口部
14	鈍化膜
20a, 20b, 20c, 20d	接觸栓
33	接地配線
51b, 62b, 53b, 64b	第2半導體膜
511, 521, 531, 541	第1區域
512, 522, 532, 542	第2區域
561, 562, 563, 564	電晶體構造體
61b, 52b, 63b, 54b	第1半導體膜
611, 621, 631, 641	第1區域
612, 622, 632, 642	第2區域
91	第1矽層
92	第2矽層
200	行動電話
300	數位相機
400	個人電腦
P	像素
Vcom	一定電壓

發明專利說明書

PD1118084(11)

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/32831

※申請日：100.9.13

※IPC 分類：

H01L 27/15 (2006.01)

H01L 29/18 (2006.01)

一、發明名稱：(中文/英文)

電晶體構造體、電晶體構造體之製造方法及發光裝置

TRANSISTOR STRUCTURE, MANUFACTURING METHOD OF

TRANSISTOR STRUCTURE, AND LIGHT EMITTING APPARATUS

二、中文發明摘要：

一種電晶體構造體，具備：

第1薄膜電晶體，係具備第1閘極電極、覆蓋該第1閘極電極之第1絕緣膜、設於該第1絕緣膜上之與該第1閘極電極對應之位置的第1半導體膜、覆蓋該第1半導體膜之第2絕緣膜，及設於該第2絕緣膜上之與該第1半導體膜對應之位置的第1遮光膜；以及

第2薄膜電晶體，係具備設於該第1絕緣膜上之第2半導體膜、覆蓋該第2半導體膜之該第2絕緣膜、設於該第2絕緣膜上之與該第2半導體膜對應之位置的第2閘極電極、及設於該第1絕緣膜下之與該第2半導體膜對應之位置的第2遮光膜；

該第1半導體膜及該第2半導體膜，係從該第1絕緣膜側沿著厚度方向，具有第1區域與第2區域，該第1區域與該第2區域之一方之矽的結晶度，係較該第1區域與該第2區域之另一方之該矽的結晶度高。

三、英文發明摘要：

Disclosed is a transistor structure including: a first thin film transistor including, a first gate electrode; a first insulating film; a first semiconductor film; and a first light blocking film, and a second thin film transistor including, a second semiconductor film; the second insulating film; a second gate electrode; and a second light blocking film, wherein the first semiconductor film and the second semiconductor film include a first region and a second region along a thickness direction from the first insulating film side; and degree of crystallization of silicon of one of the first region and the second region is higher than the degree of crystallization of silicon of the other of the first region and the second region.

七、申請專利範圍：

1. 一種電晶體構造體，具備：

第1薄膜電晶體，係具備第1閘極電極、覆蓋該第1閘極電極之第1絕緣膜、設於該第1絕緣膜上之與該第1閘極電極對應之位置的第1半導體膜、覆蓋該第1半導體膜之第2絕緣膜、及設於該第2絕緣膜上之與該第1半導體膜對應之位置的第1遮光膜；以及

第2薄膜電晶體，係具備設於該第1絕緣膜上之第2半導體膜、覆蓋該第2半導體膜之該第2絕緣膜、設於該第2絕緣膜上之與該第2半導體膜對應之位置的第2閘極電極、及設於該第1絕緣膜下之與該第2半導體膜對應之位置的第2遮光膜；

該第1半導體膜及該第2半導體膜，係從該第1絕緣膜側沿著厚度方向，具有第1區域與第2區域；

該第1區域與該第2區域之一方之矽的結晶度，係較該第1區域與該第2區域之另一方之該矽的結晶度高。

2. 如申請專利範圍第1項之電晶體構造體，其中在該第1半導體膜及該第2半導體膜中，該第1區域與該第2區域之該另一方，係較該第1區域與該第2區域之該一方，非晶矽區域之比例較高。

3. 如申請專利範圍第1項之電晶體構造體，其中在該第1薄膜電晶體中，該第1半導體膜之該第1區域，係構成該第1半導體膜之電流路徑；

在該第2薄膜電晶體中，該第2半導體膜之該第2區域，係構成該第2半導體膜之電流路徑。

- 4.如申請專利範圍第1項之電晶體構造體，其中於該第1半導體膜之上面之與該第1閘極電極對應之區域的至少一部分設置凹部；

於該第2半導體膜之上面之與該第2閘極電極對應之區域的至少一部分設置凹部；

該第1薄膜電晶體，係於該第1半導體膜之除了該凹部以外之區域的至少一部分，具有透過雜質半導體膜所設之第1源極電極及第1汲極電極；

該第2薄膜電晶體，係於該第2半導體膜之除了該凹部以外之區域的至少一部分，具有透過雜質半導體膜所設之第2源極電極及第2汲極電極。

- 5.如申請專利範圍第4項之電晶體構造體，其中該凹部係設於該第1半導體膜及該第2半導體膜之該第2區域。

- 6.如申請專利範圍第1項之電晶體構造體，其中該第1遮光膜及該第2遮光膜係藉由導電性材料形成，並電氣連接在設定於接地電位之接地配線。

- 7.一種電晶體構造體之製造方法，該電晶體構造體係具有第1薄膜電晶體與第2薄膜電晶體，包含：

第1閘極電極形成步驟，係形成該第1薄膜電晶體之第1閘極電極；

第1絕緣膜形成步驟，係於該第1閘極電極上形成第1絕緣膜；

半導體膜形成步驟，係於該第1絕緣膜上之與該第1閘極電極對應之位置形成第1半導體膜，於該第1絕緣膜上之成為該第2薄膜電晶體之位置形成第2半導體膜；

第2絕緣膜形成步驟，係於該第1半導體膜及該第2半導體膜之上方形形成第2絕緣膜；以及

第2閘極電極形成步驟，係於該第2絕緣膜上之與該第2半導體膜對應之位置形成該第2薄膜電晶體之第2閘極電極；

該第2閘極電極形成步驟，係包含在該第2絕緣膜上之與該第1半導體膜對應之位置，與該第2閘極電極同時地形成第1遮光膜的第1遮光膜形成步驟；

該第1閘極電極形成步驟，係包含在該第1絕緣膜下之與該第2半導體膜對應之位置，與該第1閘極電極同時地形成第2遮光膜的第2遮光膜形成步驟；

該半導體膜形成步驟，係包含從該第1絕緣膜側沿著厚度方向積層並形成第1區域與第2區域，以形成該第1半導體膜及該第2半導體膜，並使該第1區域與該第2區域之一方之矽的結晶度，較該第1區域與該第2區域之另一方之該矽的結晶度高的步驟。

8.如申請專利範圍第7項之電晶體構造體之製造方法，其中該第1遮光膜形成步驟，係包含藉由與該第2閘極電極相同之材料，與該第2閘極電極之形成同時地形成該第1遮光膜的步驟；

該第2遮光膜形成步驟，係包含藉由與該第1閘極電極相同之材料，與該第1閘極電極之形成同時地形成該第2遮光膜的步驟。

9.如申請專利範圍第7項之電晶體構造體之製造方法，其中該半導體膜形成步驟，係包含在該第1半導體膜之上

面之與該第1閘極電極對應之區域的至少一部分形成凹部，並在該第2半導體膜之上面之與該第2閘極電極對應之區域的至少一部分形成凹部的凹部形成步驟。

10.如申請專利範圍第9項之電晶體構造體之製造方法，其中該凹部形成步驟，係包含將該凹部形成於該第1半導體膜之該第2區域及該第2半導體膜之該第2區域的半導體膜加工步驟。

11.如申請專利範圍第9項之電晶體構造體之製造方法，其包含：

雜質半導體膜形成步驟，係以接觸於該第1半導體膜及該第2半導體膜之方式形成雜質半導體膜；

電極形成步驟，係將該第1薄膜電晶體之第1源極電極及第1汲極電極，透過該雜質半導體膜彼此分離形成在電氣連接於該第1半導體膜之位置，並將該第2薄膜電晶體之第2源極電極及第2汲極電極，透過該雜質半導體膜彼此分離形成在電氣連接於該第2半導體膜之位置；

雜質半導體膜加工步驟，係以該第1源極電極、該第1汲極電極、該第2源極電極、以及該第2汲極電極為遮罩，將該雜質半導體膜予以蝕刻，以除去分離之該第1源極電極與該第1汲極電極之間的該雜質半導體膜、以及分離之該第2源極電極與該第2汲極電極之間的該雜質半導體膜；

該凹部形成步驟，係伴隨在該雜質半導體膜加工步驟藉由蝕刻除去該雜質半導體膜之一部分，亦藉由

蝕刻除去該第1半導體膜之上面及該第2半導體膜之上面的一部分來執行。

12.一種發光裝置，係具有電晶體構造體與發光元件，作為該電晶體構造體，具備：

第1薄膜電晶體，係具備第1閘極電極、覆蓋該第1閘極電極之第1絕緣膜、設於該第1絕緣膜上之與該第1閘極電極對應之位置的第1半導體膜、覆蓋該第1半導體膜之第2絕緣膜、及設於該第2絕緣膜上之與該第1半導體膜對應之位置的第1遮光膜；以及

第2薄膜電晶體，係具備設於該第1絕緣膜上之第2半導體膜、覆蓋該第2半導體膜之該第2絕緣膜、設於該第2絕緣膜上之與該第2半導體膜對應之位置的第2閘極電極、及設於該第1絕緣膜下之與該第2半導體膜對應之位置的第2遮光膜；

發光元件係藉由該第1薄膜電晶體與該第2薄膜電晶體之控制來控制發光；

該第1半導體膜及該第2半導體膜，係從該第1絕緣膜側沿著厚度方向，具有第1區域與第2區域；

該第1區域與該第2區域之一方之矽的結晶度，係較該第1區域與該第2區域之另一方之該矽的結晶度高。

13.如申請專利範圍第12項之發光裝置，其中該第1半導體膜及該第2半導體膜之該另一方，係較該第1區域與該第2區域之該一方，非晶矽區域之比例較高。

14.如申請專利範圍第12項之發光裝置，其中在該第1薄膜電晶體中，該第1半導體膜之該第1區域係構成該第1半導體膜之電流路徑；

在該第2薄膜電晶體中，該第2半導體膜之該第2區域係構成該第2半導體膜之電流路徑。

15.如申請專利範圍第12項之發光裝置，其中該第1區域係該矽之結晶度較該第2區域之該矽之結晶度高；

該第2薄膜電晶體，係具有作為開關電晶體之功能，以控制對該第1薄膜電晶體之信號的傳達；

該第1薄膜電晶體，係具有驅動電晶體之功能，以使根據透過該第2薄膜電晶體傳達之信號的電流流至該發光元件。

16.如申請專利範圍第12項之發光裝置，其中該第2區域係該矽之結晶度較該第1區域之該矽之結晶度高；

該第1薄膜電晶體，係具有作為開關電晶體之功能，以控制對該第2薄膜電晶體之信號的傳達；

該第2薄膜電晶體，係具有驅動電晶體之功能，以使根據透過該第1薄膜電晶體傳達之信號的電流流至該發光元件。

17.如申請專利範圍第12項之發光裝置，其具有：

電壓供給線，係連接於該第1薄膜電晶體與該第2薄膜電晶體之至少一者；以及

導電層，係電氣連接於該電壓供給線且設在該電壓供給線上，由與該第2閘極電極相同之材料所構成。

18.如申請專利範圍第12項之發光裝置，其中於該第1半導體膜之上面之與該第1閘極電極對應之區域的至少一部分設置凹部；

於該第2半導體膜之上面之與該第2閘極電極對應之區域的至少一部分設置凹部；

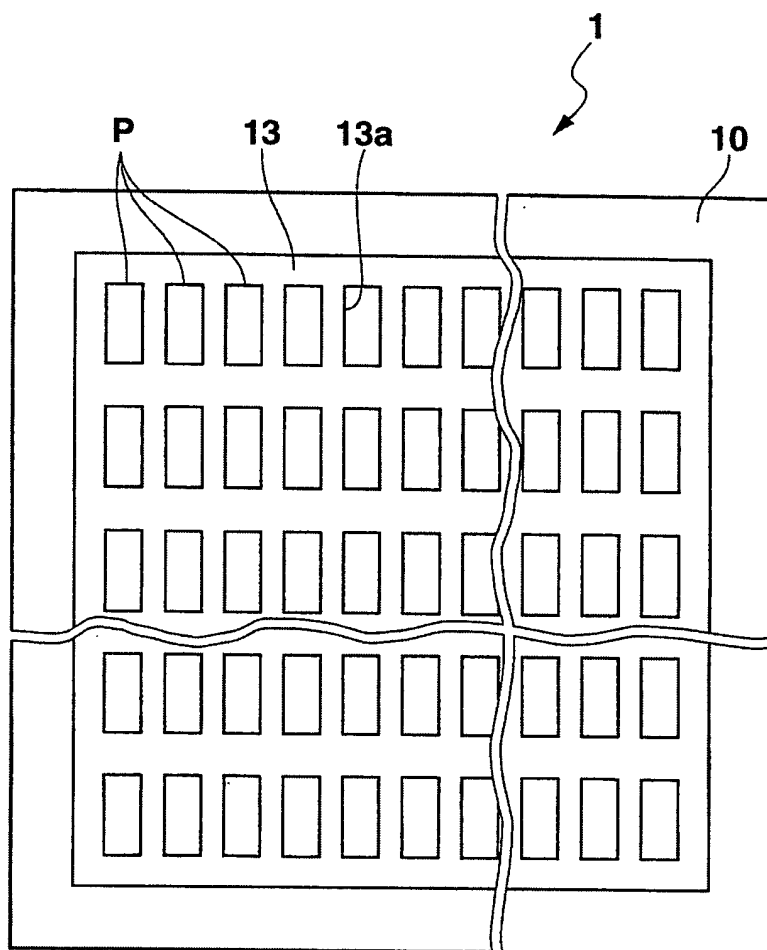
該第1薄膜電晶體，係於該第1半導體膜之除了該凹部以外之區域的至少一部分，具有透過雜質半導體膜所設之第1源極電極及第1汲極電極；

該第2薄膜電晶體，係於該第2半導體膜之除了該凹部以外之區域的至少一部分，具有透過雜質半導體膜所設之第2源極電極及第2汲極電極。

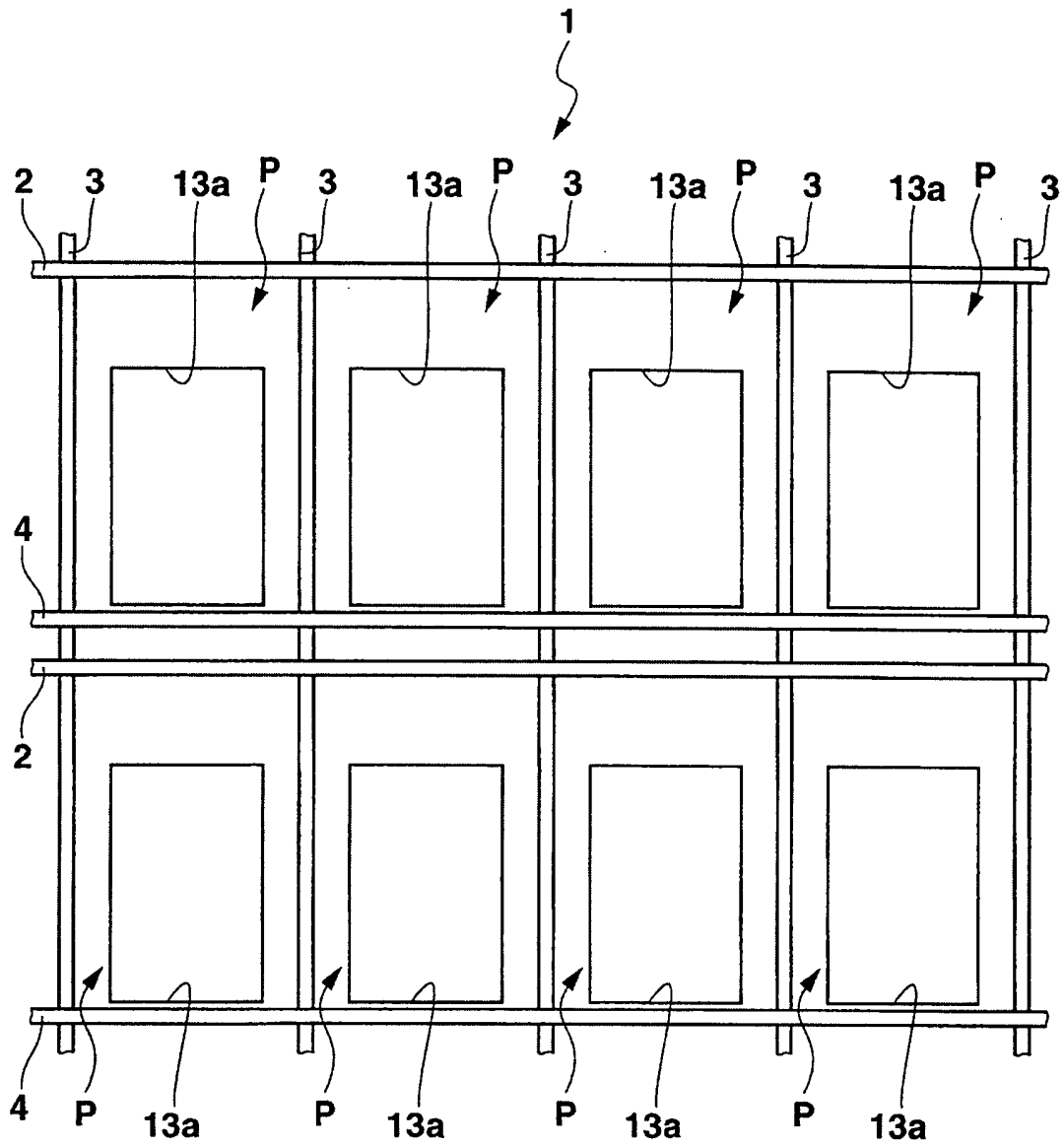
19.如申請專利範圍第18項之發光裝置，其中該凹部係設於該第1半導體膜及該之第2半導體膜之該第2區域。

20.如申請專利範圍第12項之發光裝置，其中該第1遮光膜及該第2遮光膜係藉由導電性材料形成，並電氣連接在設定於接地電位之接地配線。

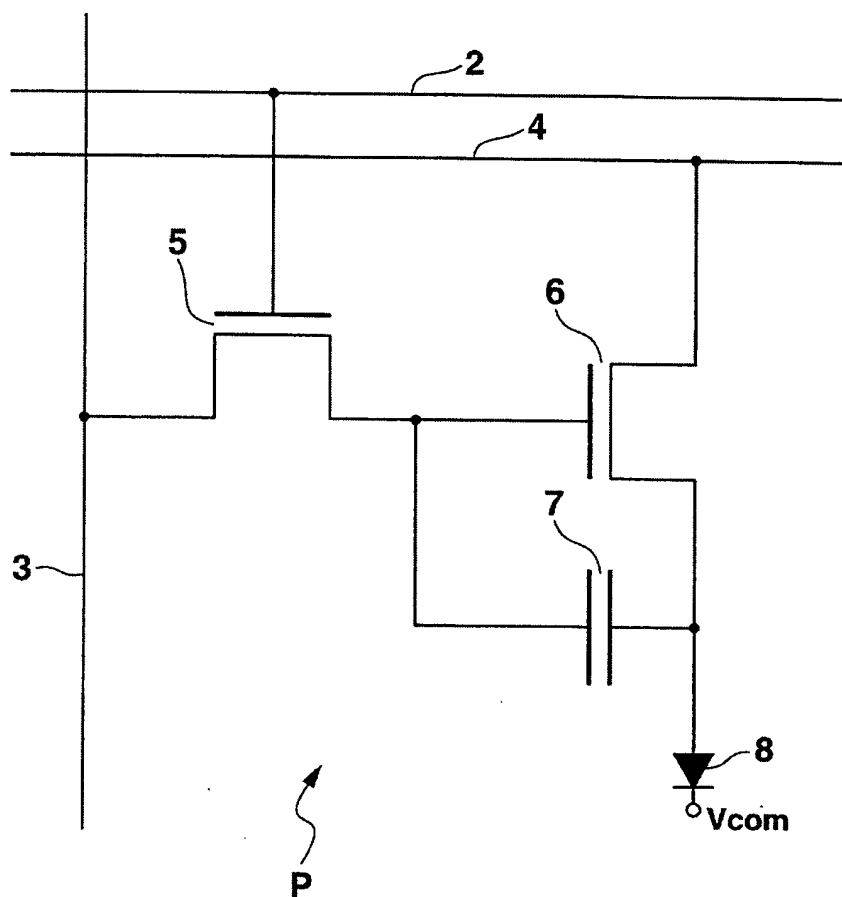
八、圖式：



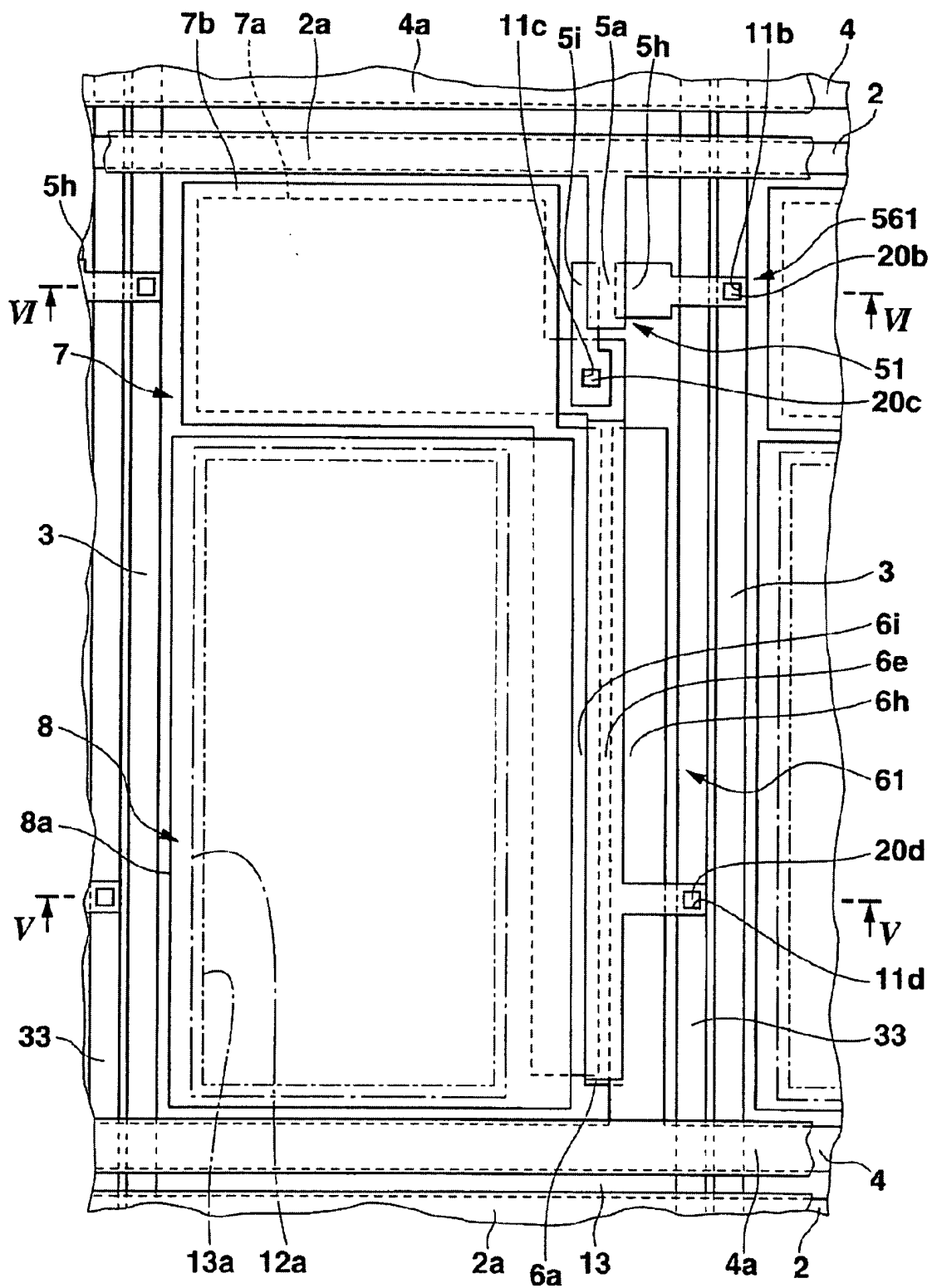
第1圖



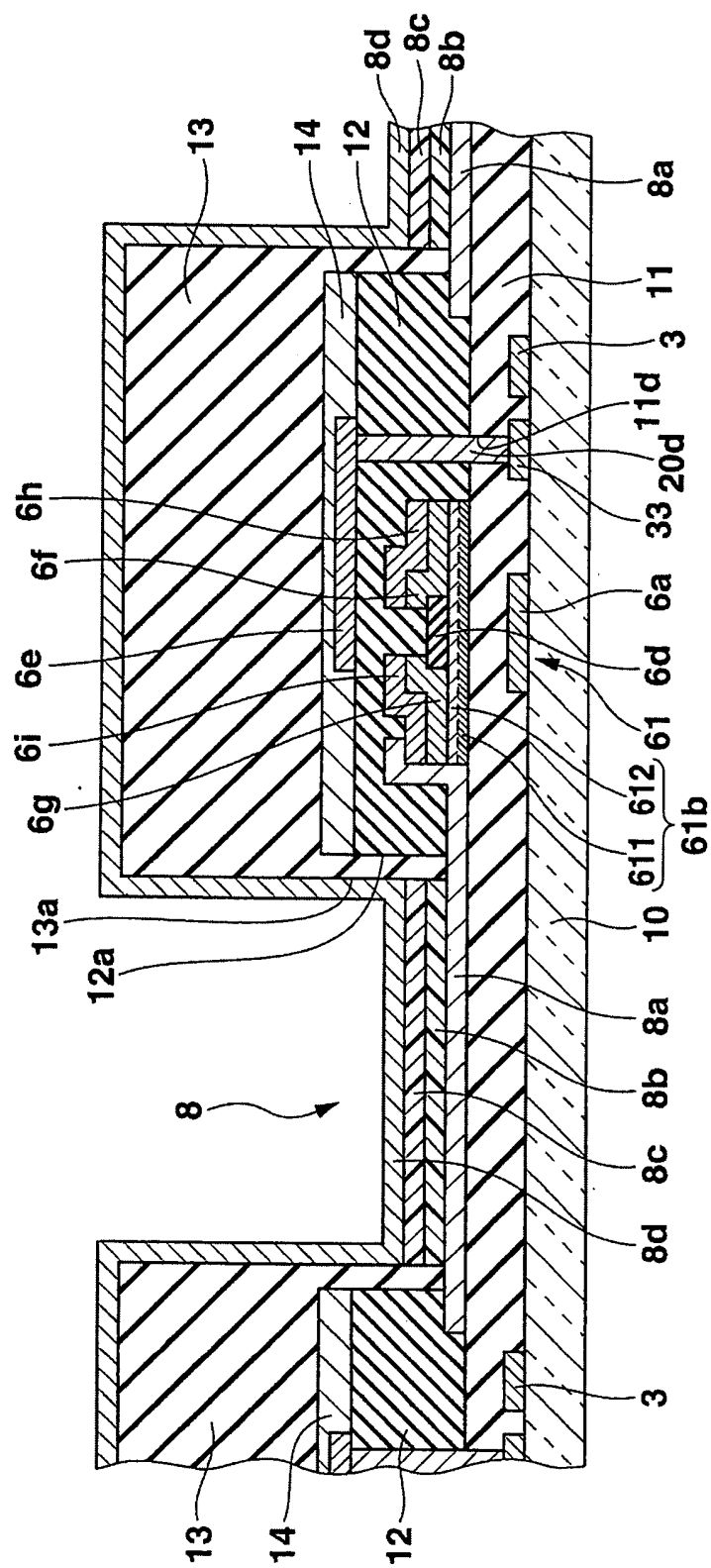
第2圖



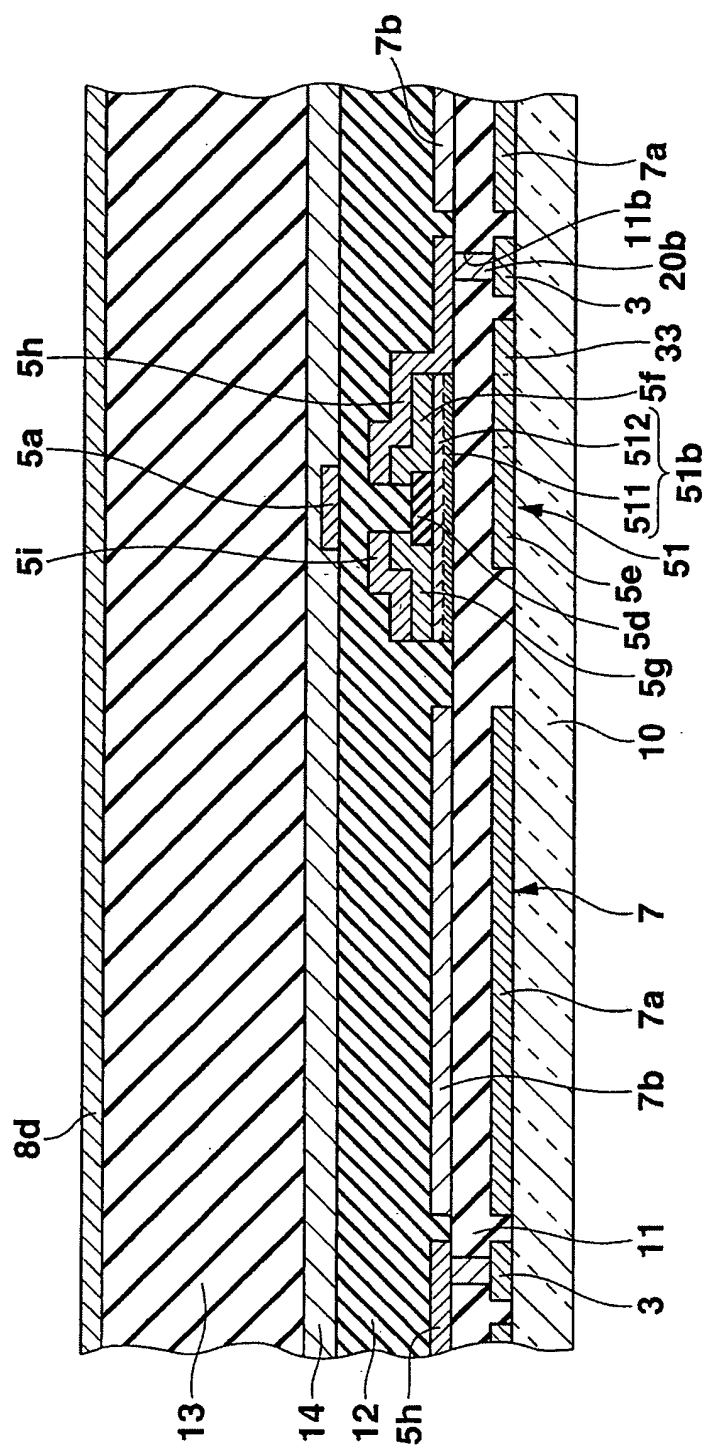
第3圖



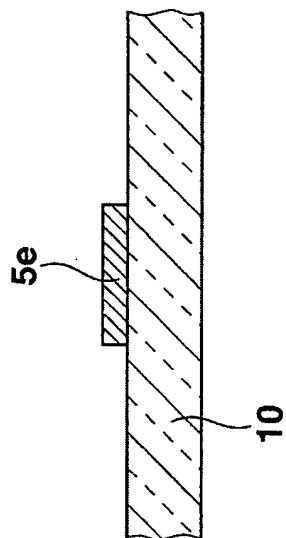
第4圖



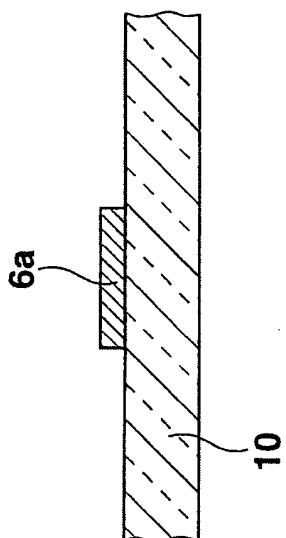
第5圖



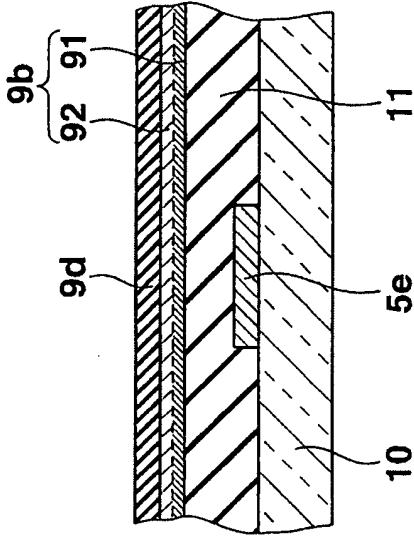
第6圖



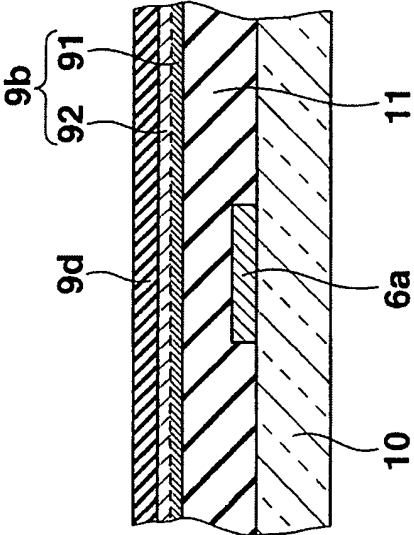
第7B圖



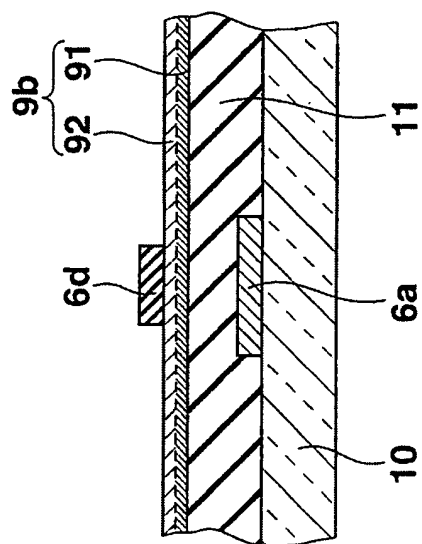
第7A圖



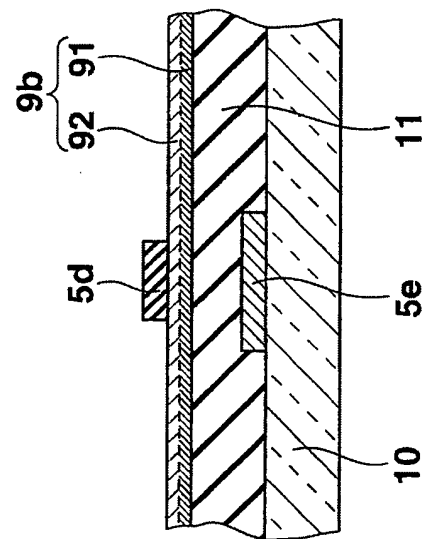
第8B圖



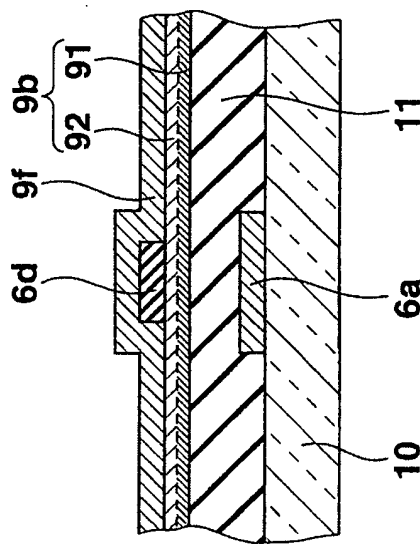
第8A圖



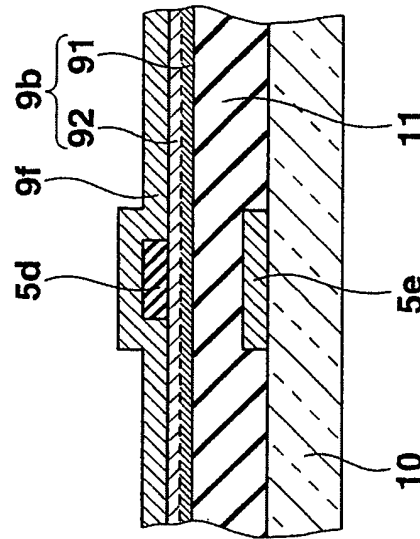
第9A圖



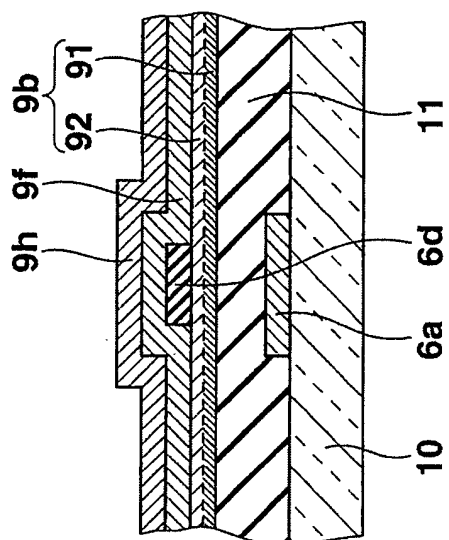
第9B圖



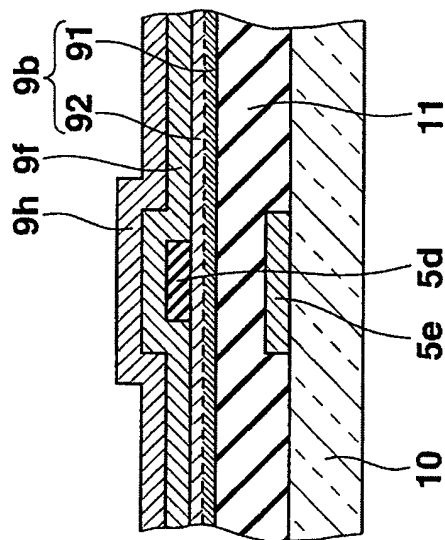
第10A圖



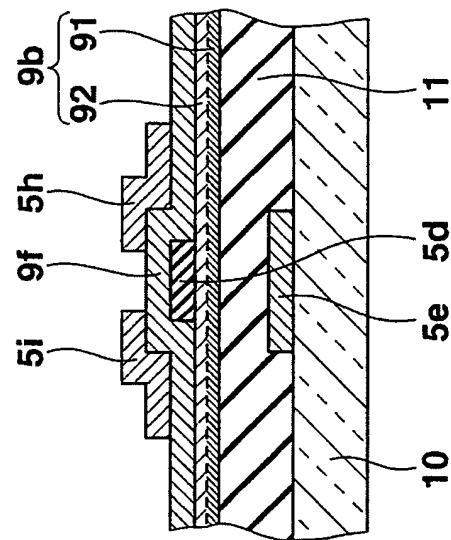
第10B圖



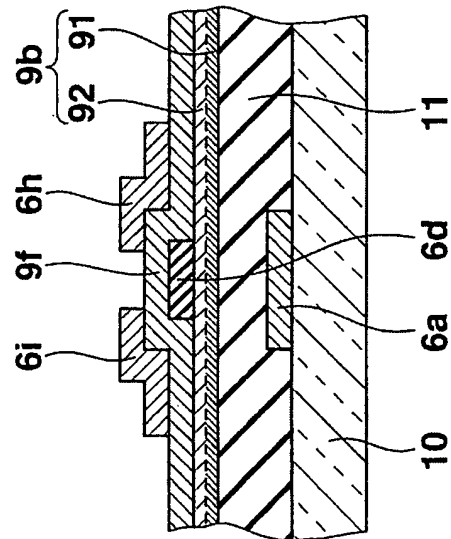
第11A圖



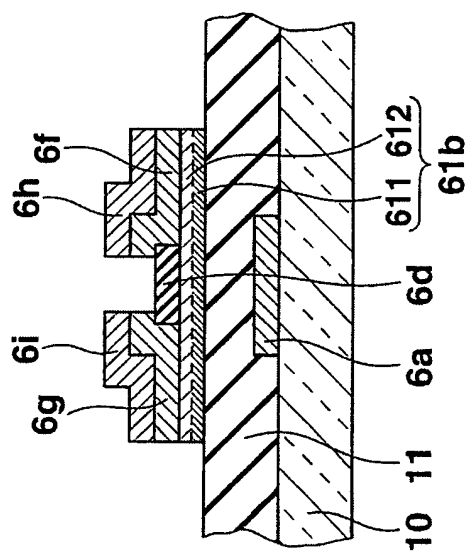
第11B圖



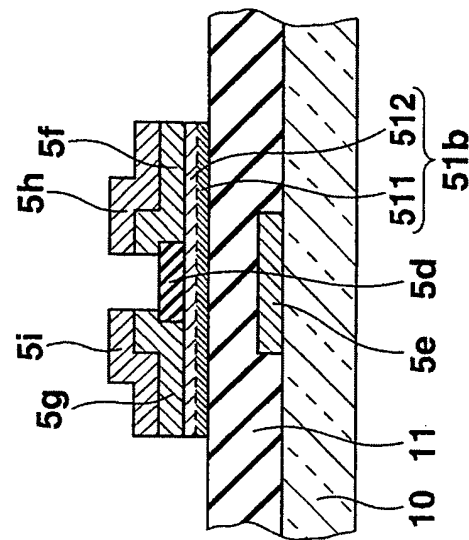
第12B圖



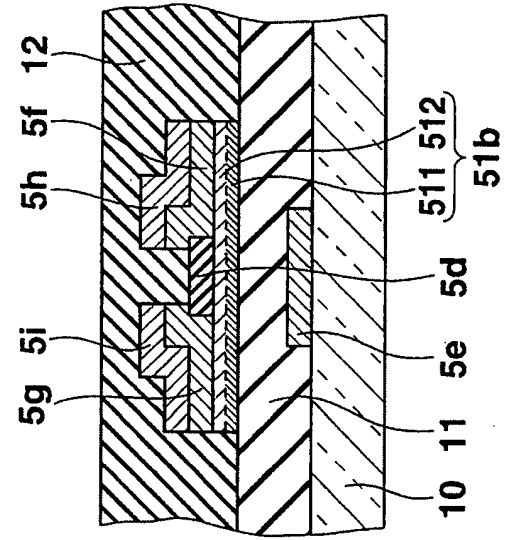
第12A圖



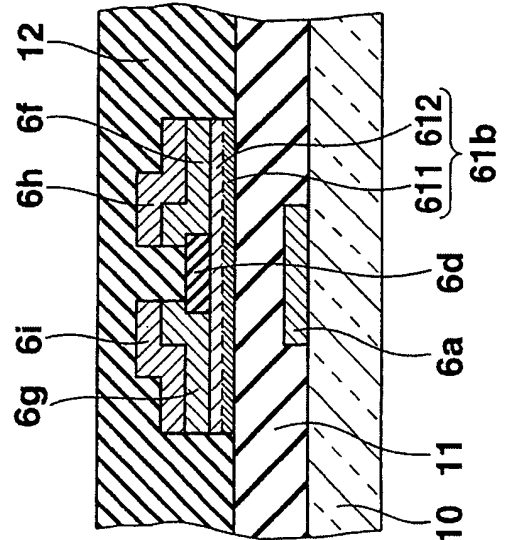
第13A圖



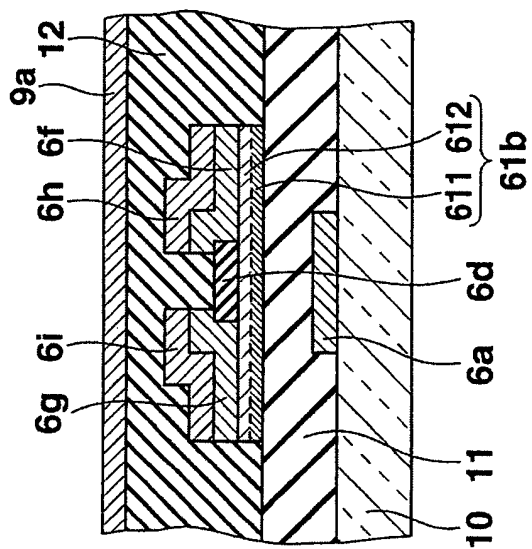
第13B圖



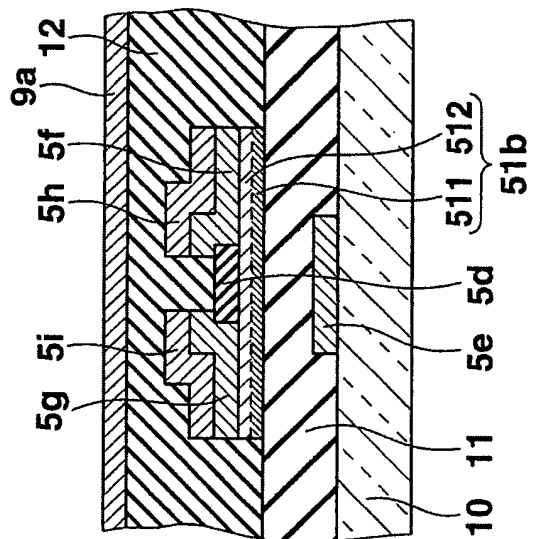
第14B圖



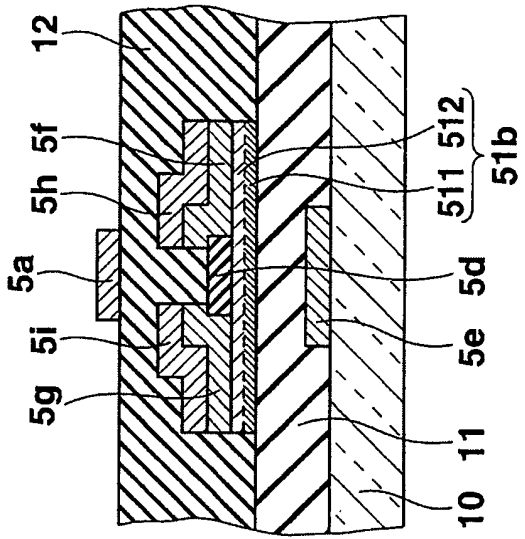
第14A圖



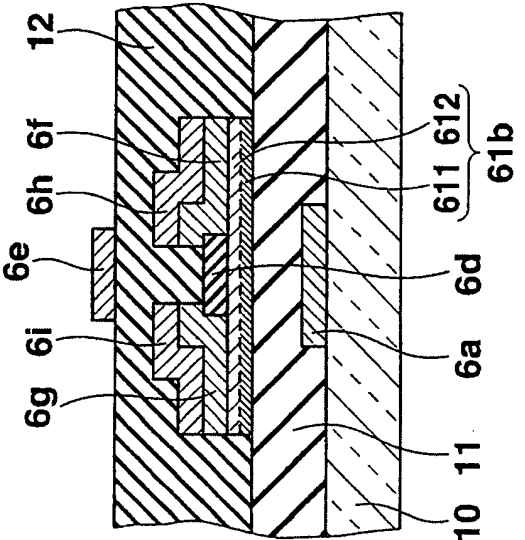
第15A圖



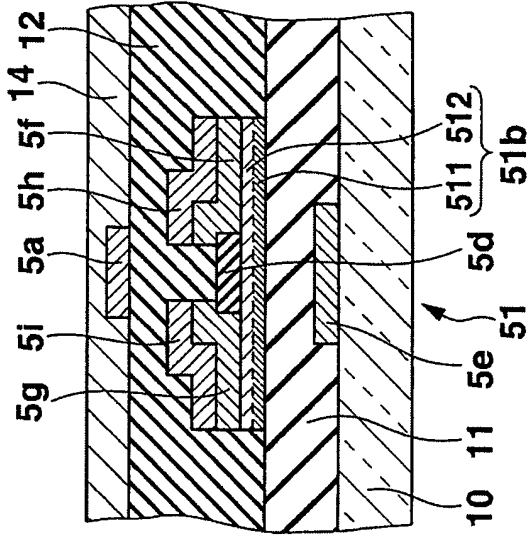
第15B圖



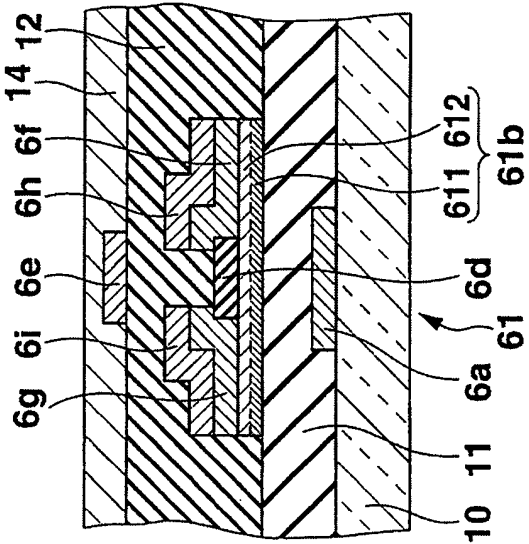
第16B圖



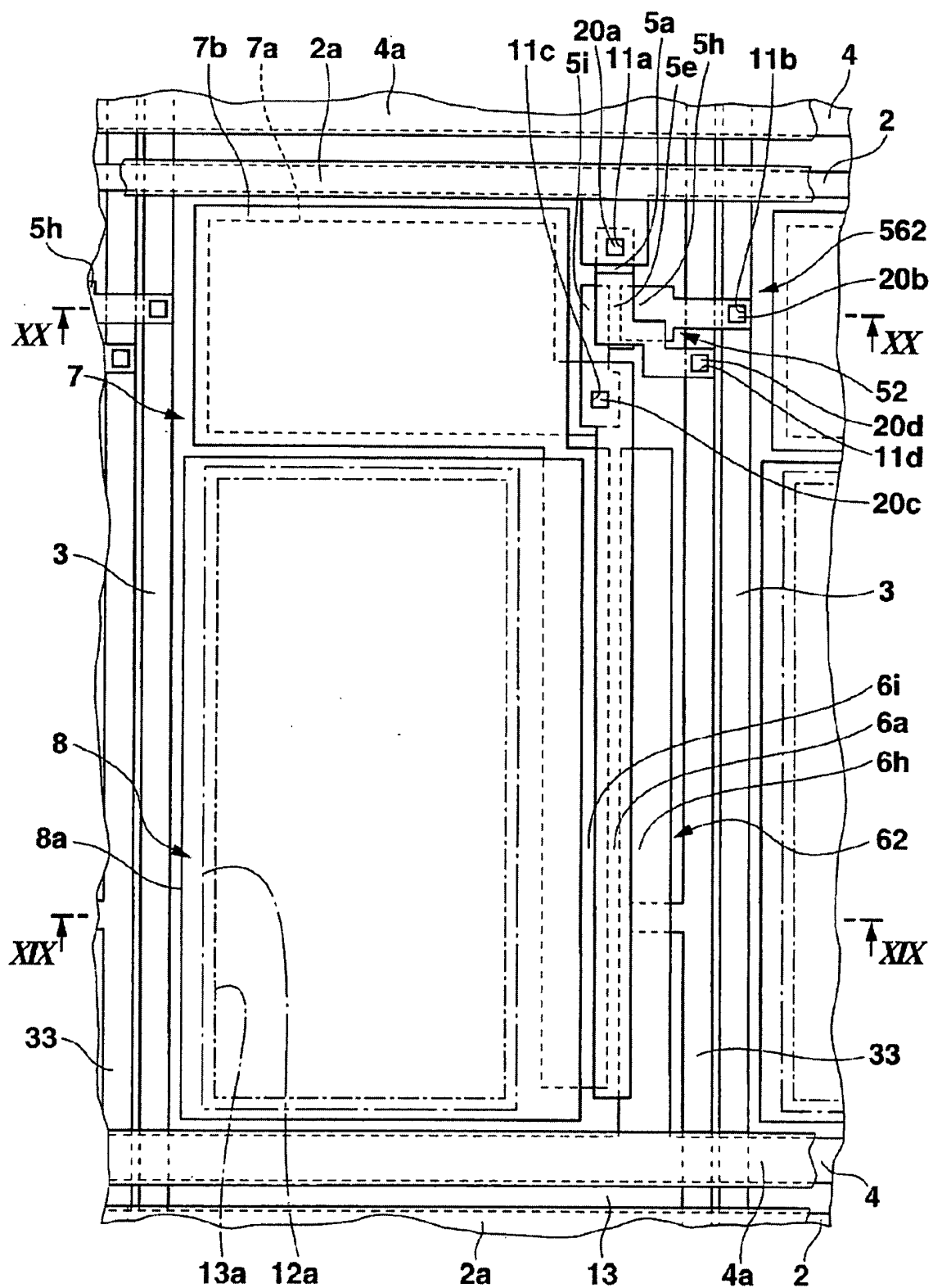
第16A圖



第17B圖



第17A圖



第18圖

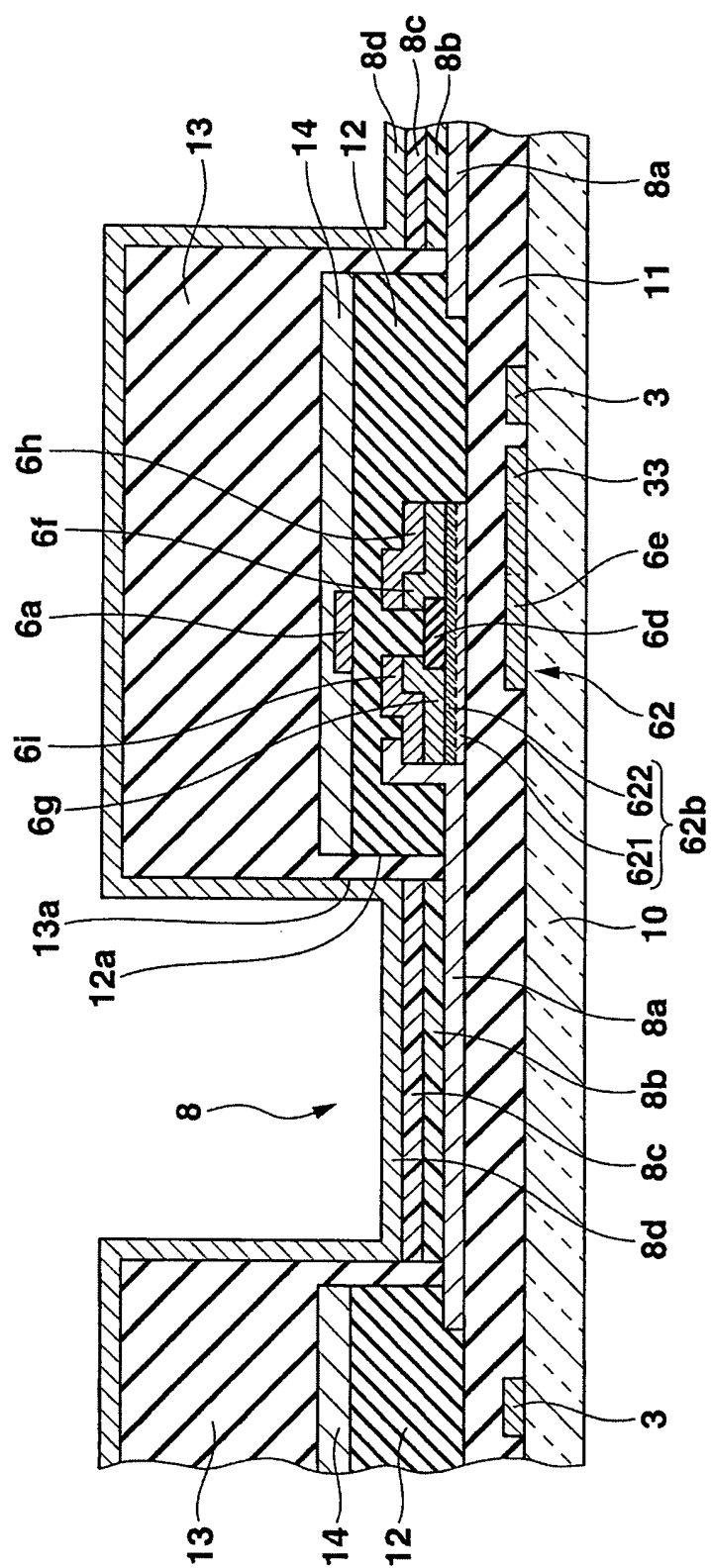


圖 19

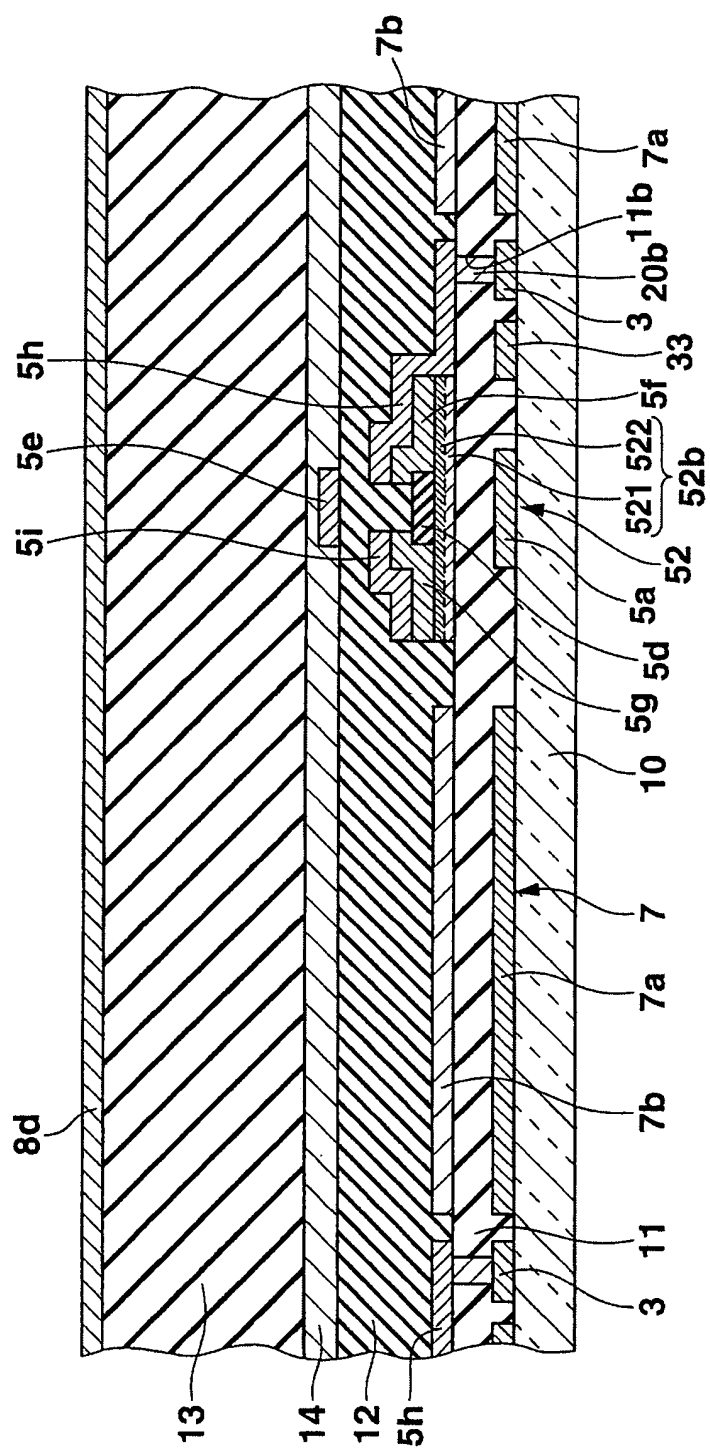
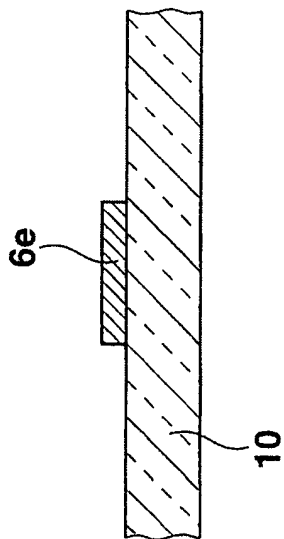
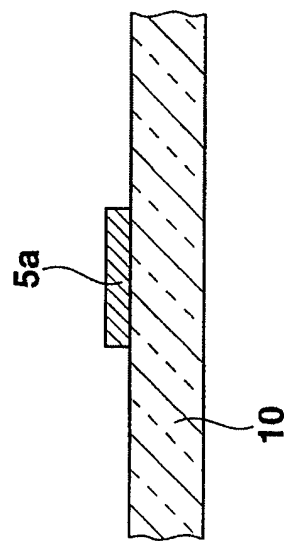


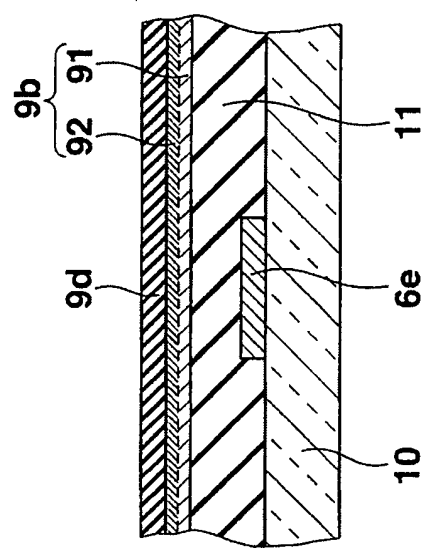
圖 20



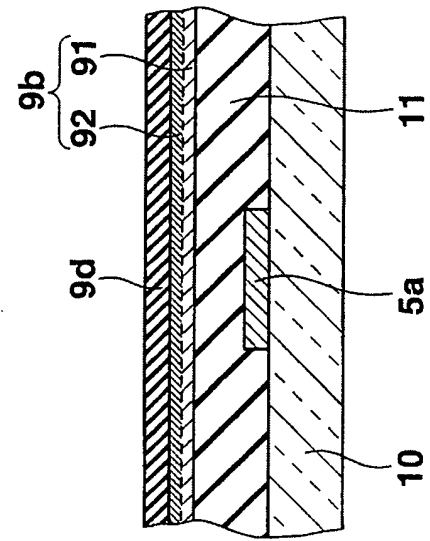
第21A圖



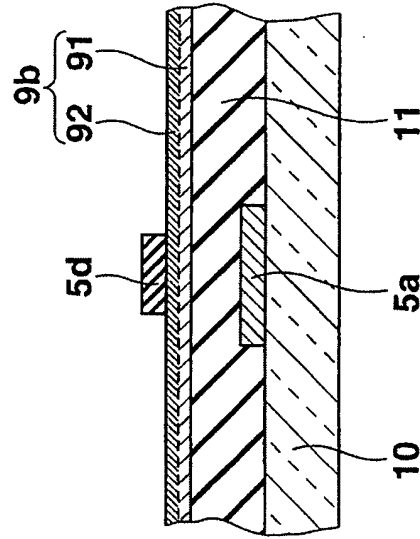
第21B圖



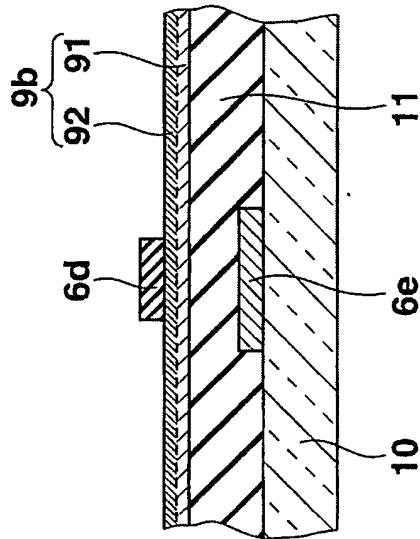
第22A圖



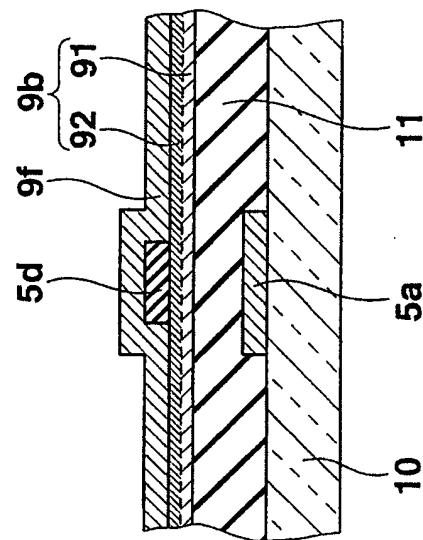
第22B圖



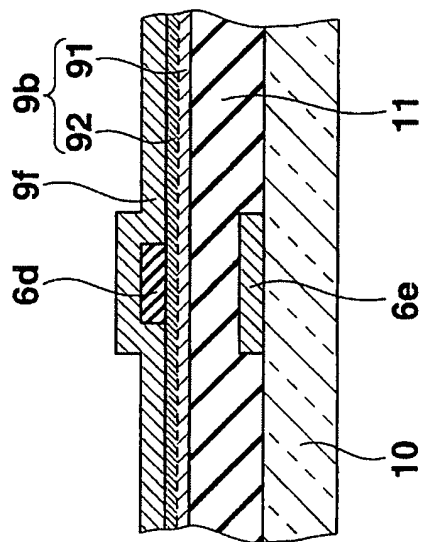
第23B圖



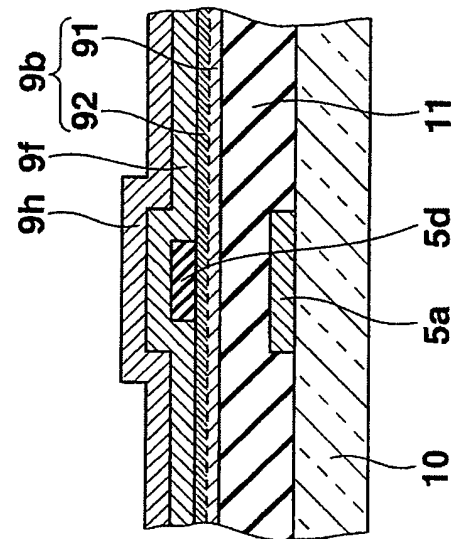
第23A圖



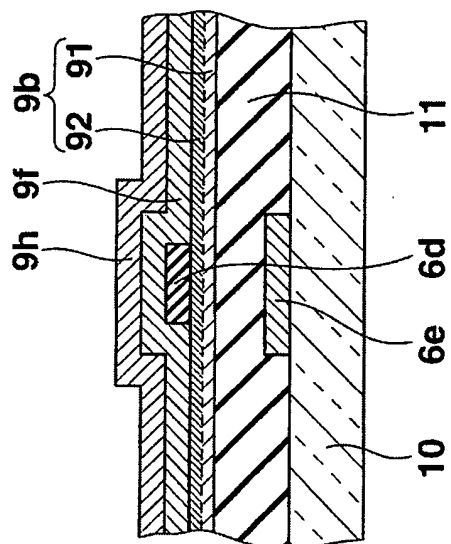
第24B圖



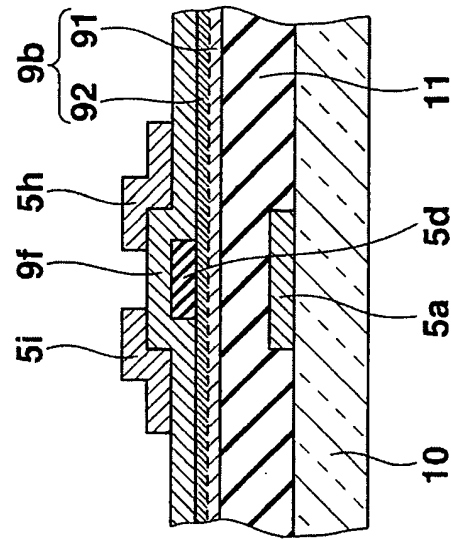
第24A圖



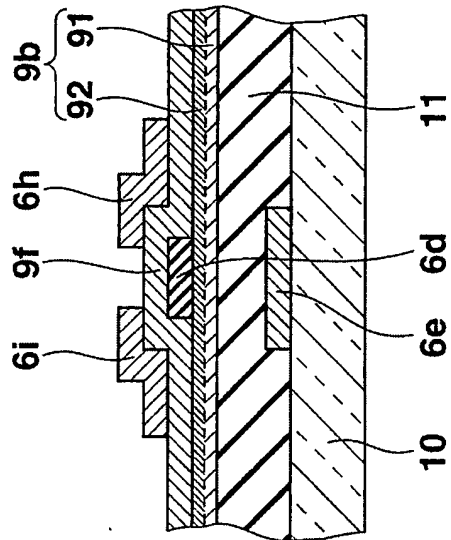
第25B圖



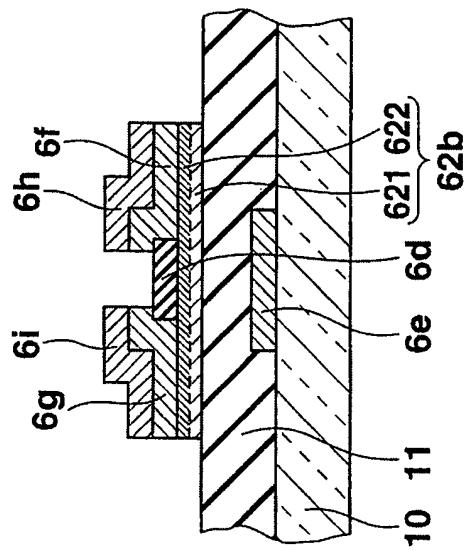
第25A圖



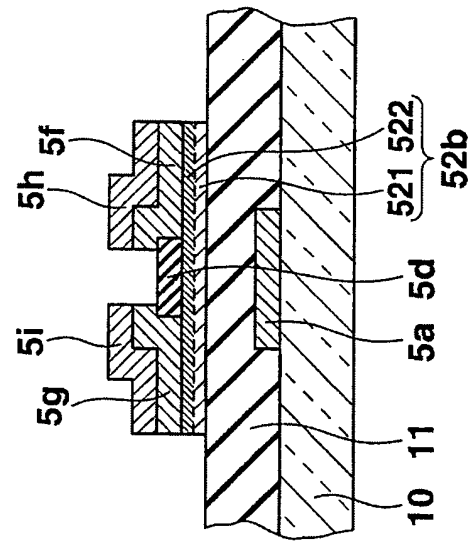
第26B圖



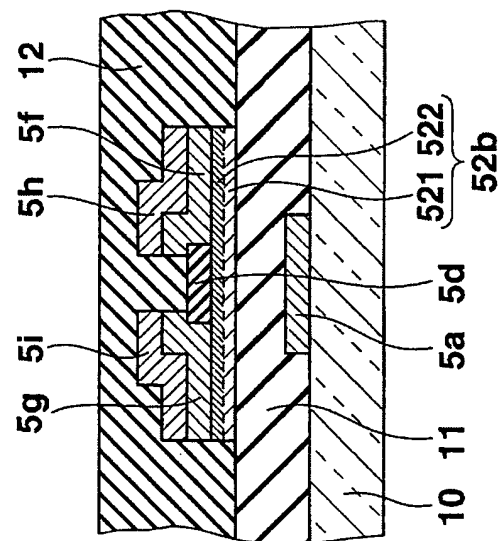
第26A圖



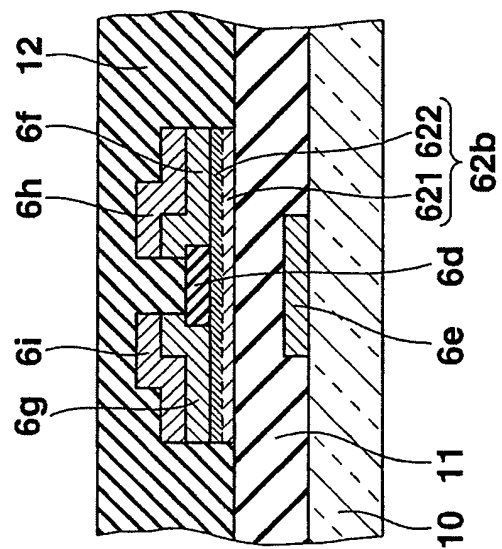
第27A圖



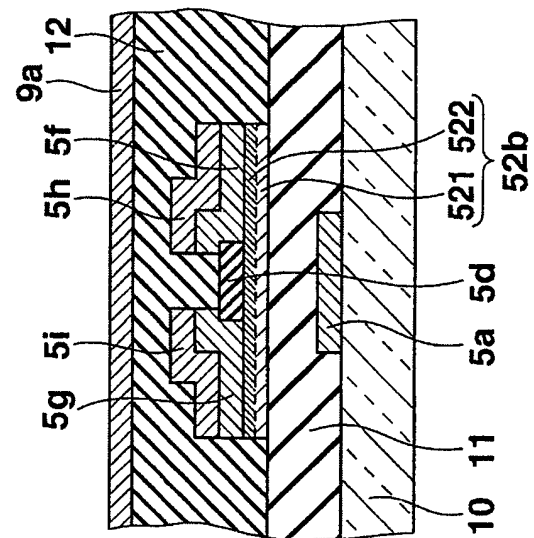
第27B圖



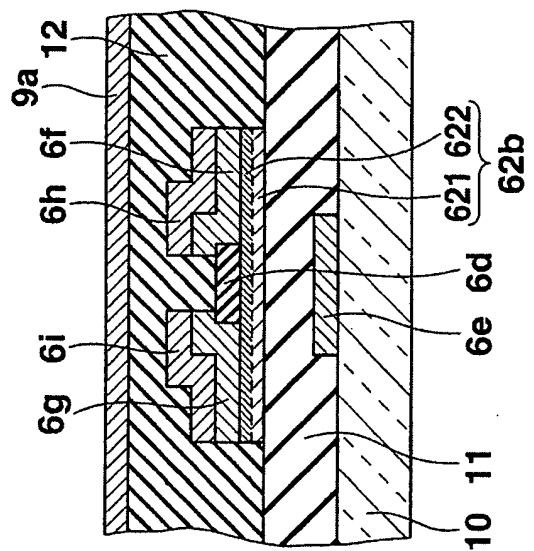
第28B圖



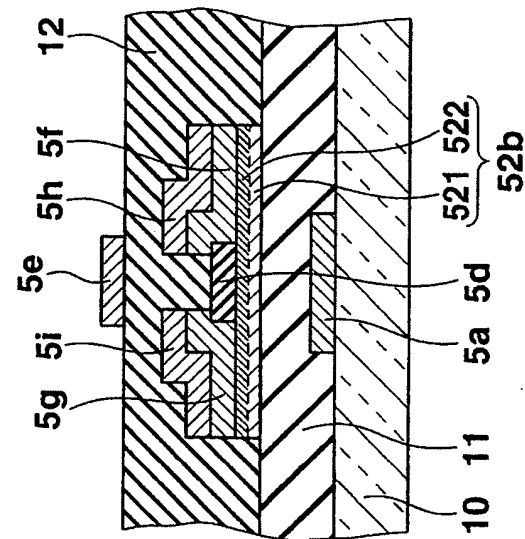
第28A圖



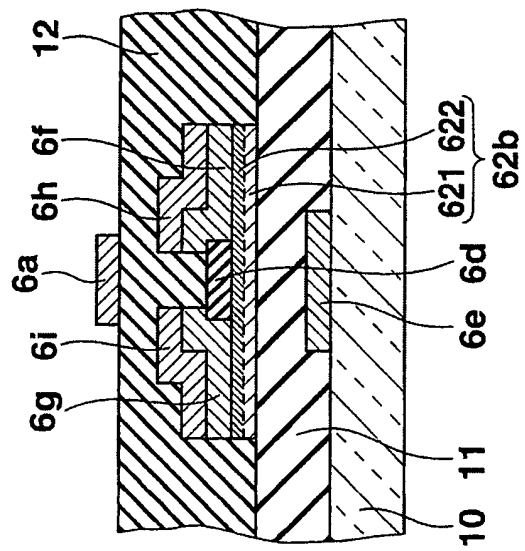
第29A圖



第29B圖

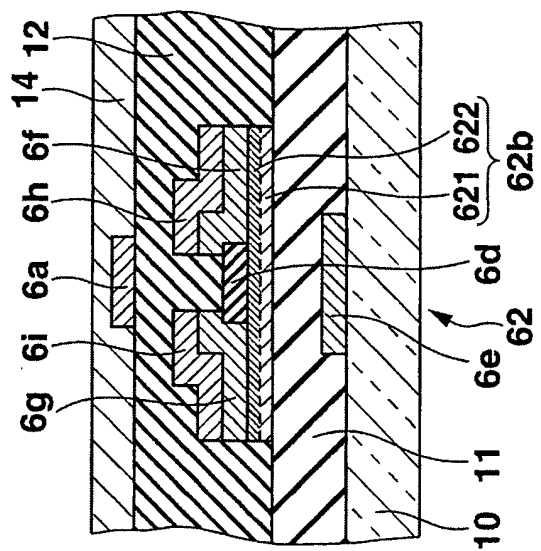


第30A圖

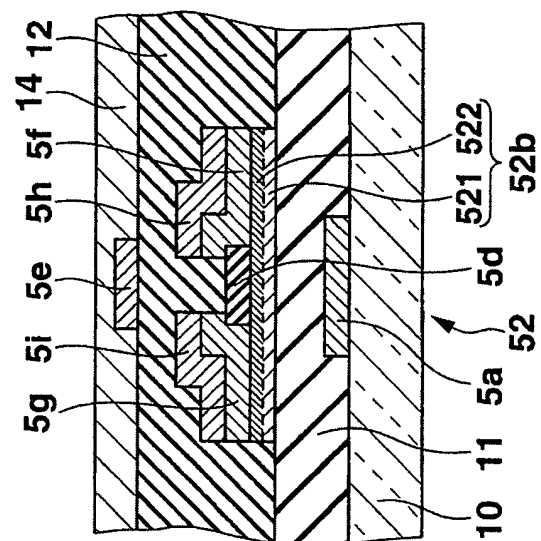


第30B圖

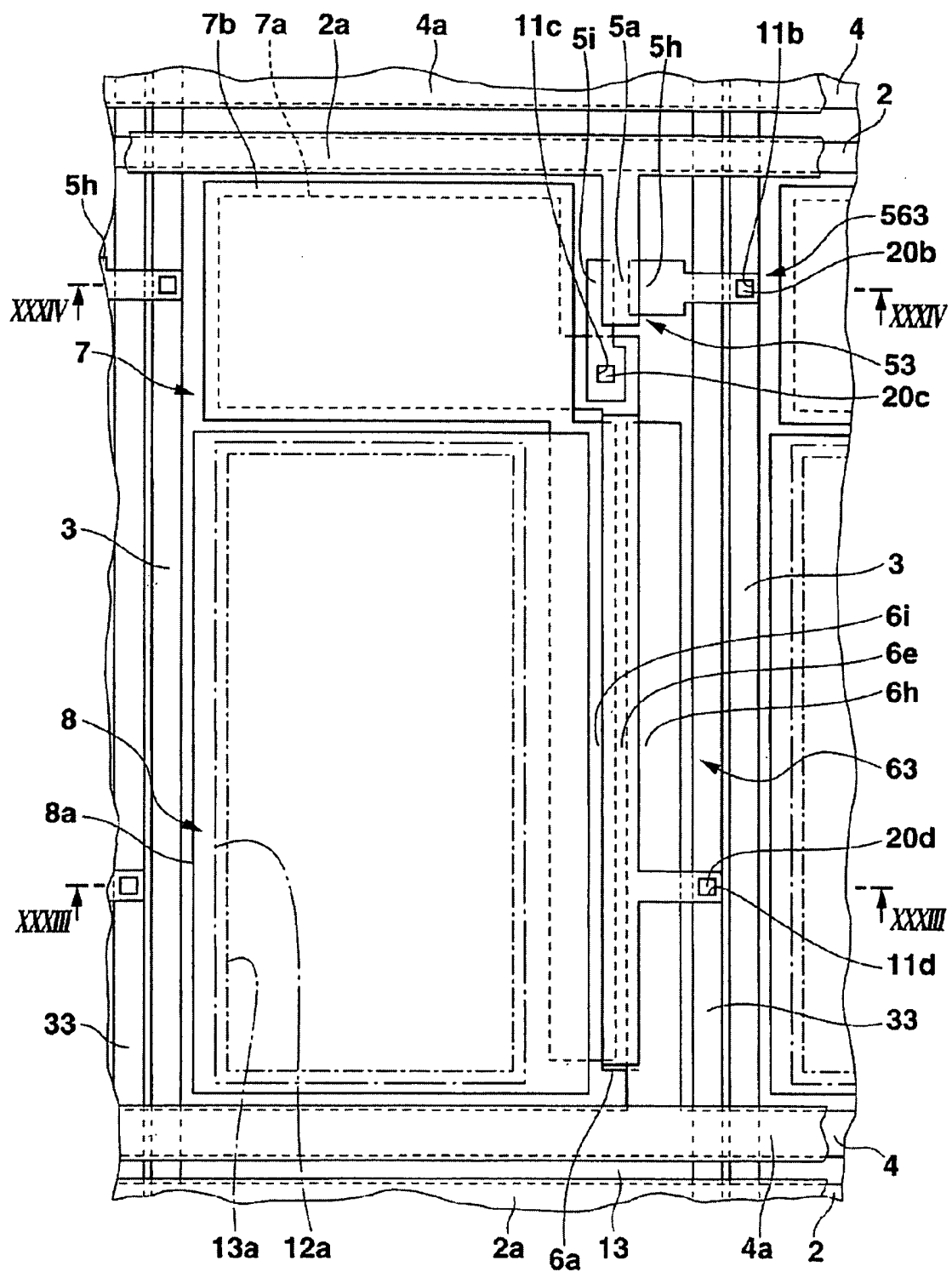




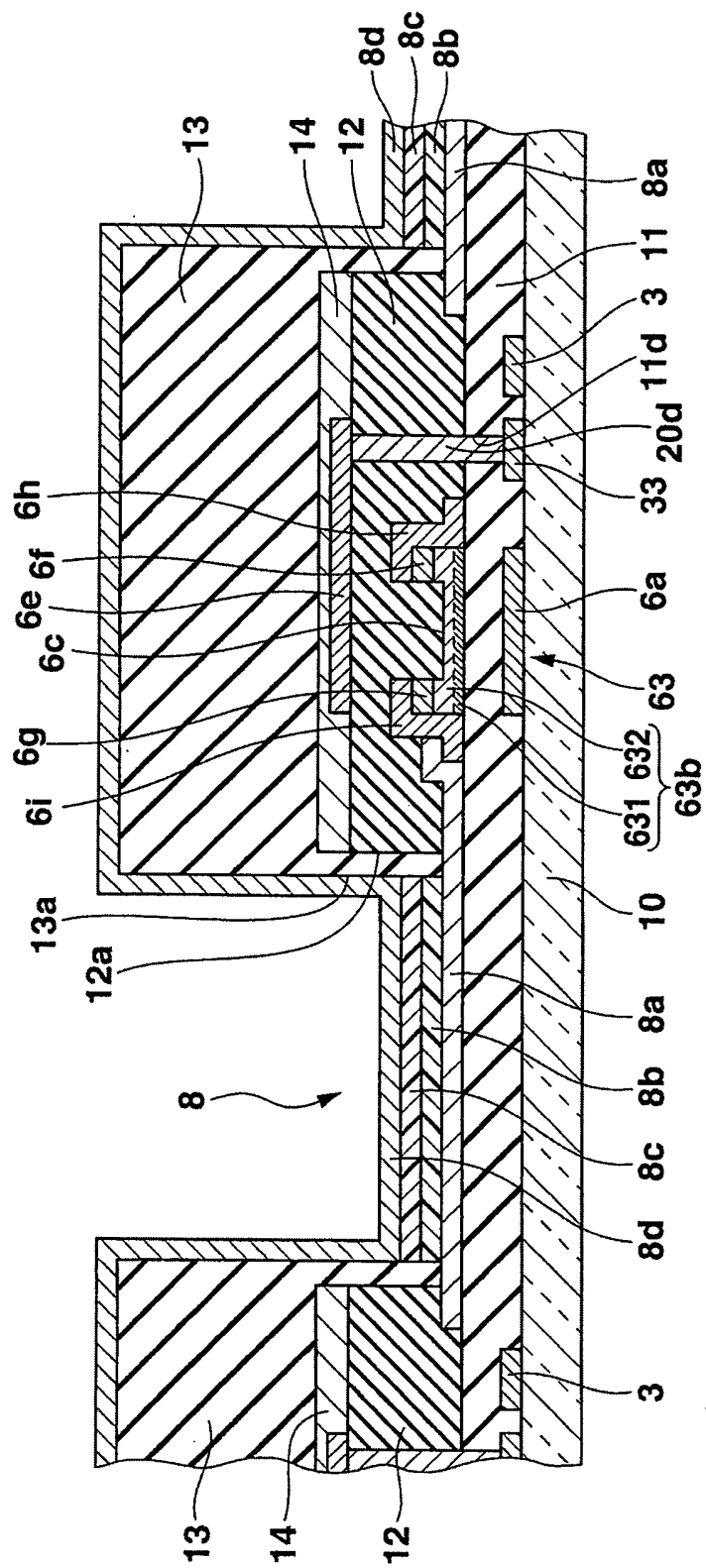
第31A圖



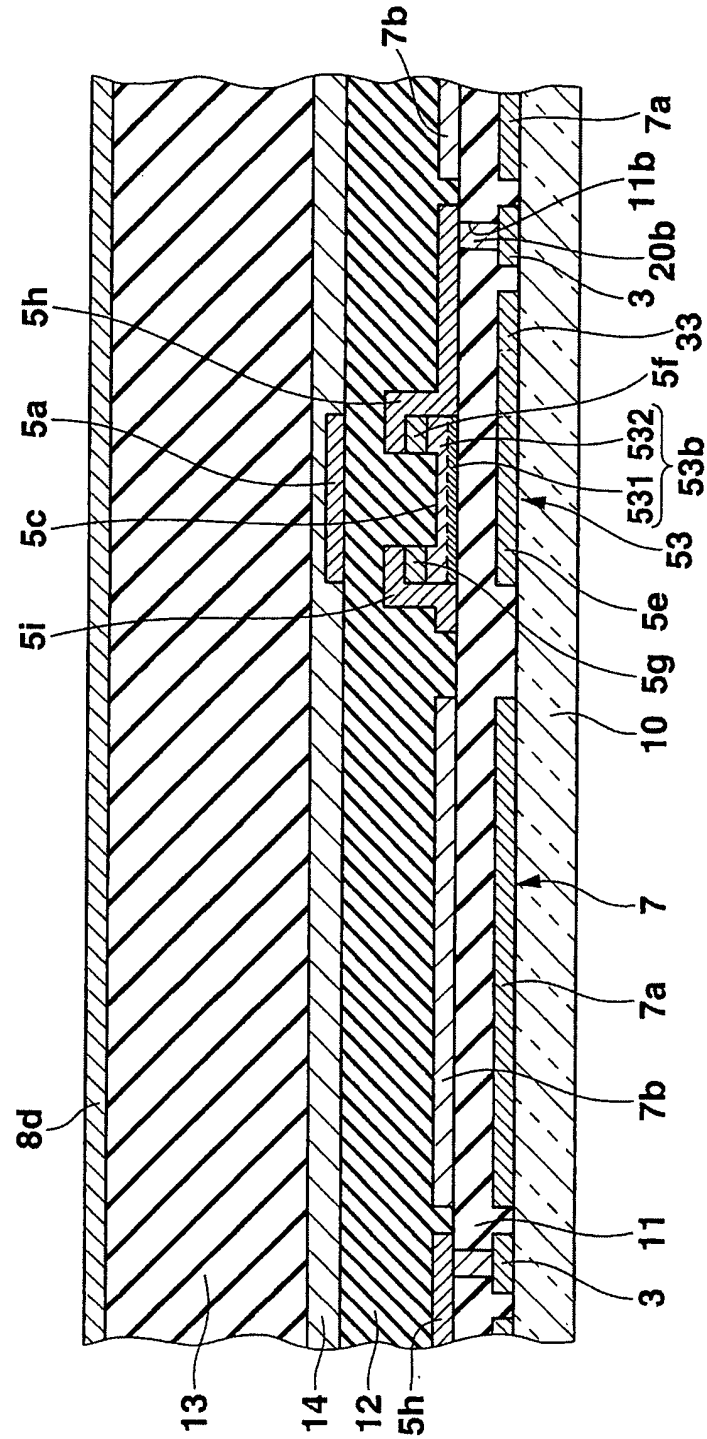
第31B圖



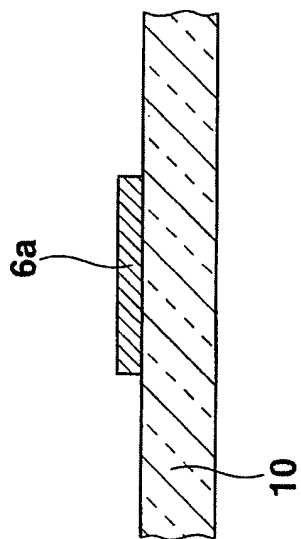
第32圖



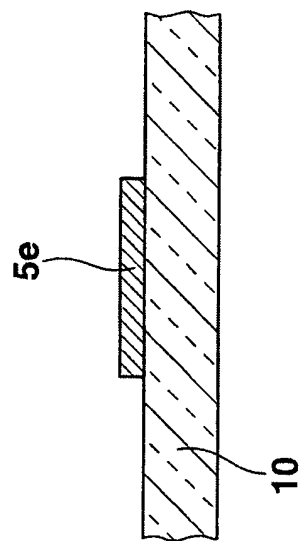
第33圖



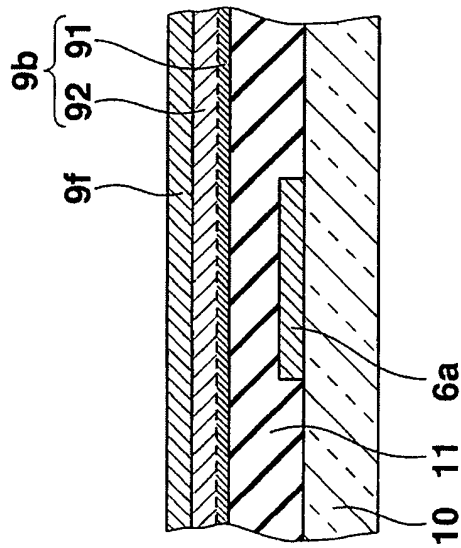
第34圖



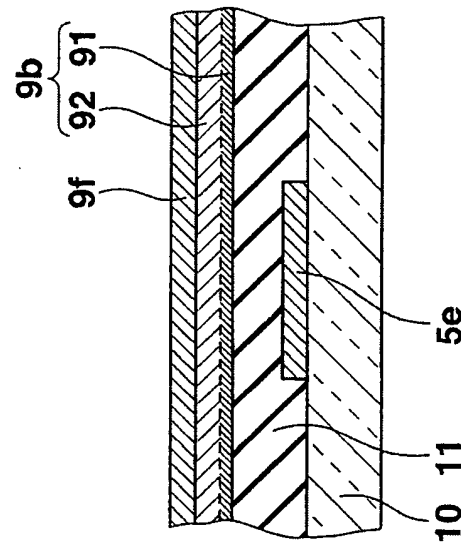
第35A圖



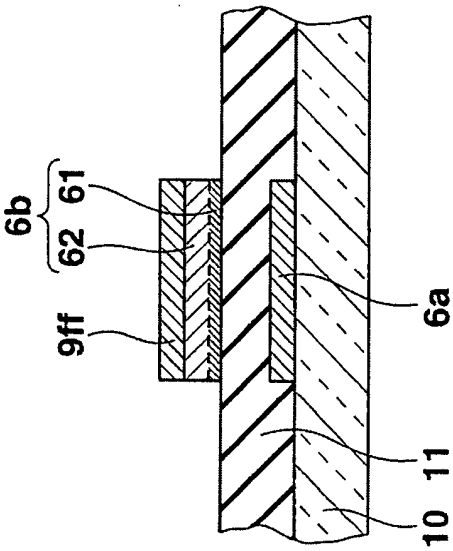
第35B圖



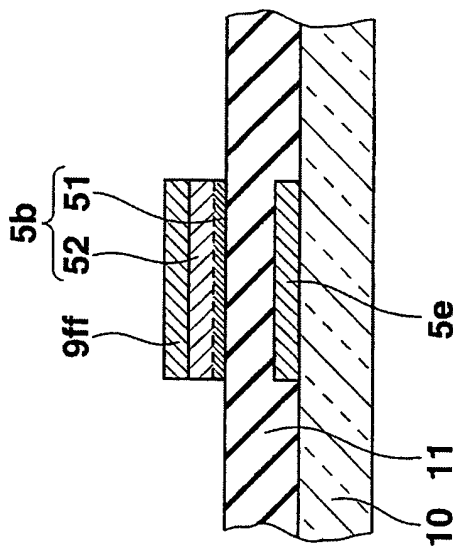
第36A圖



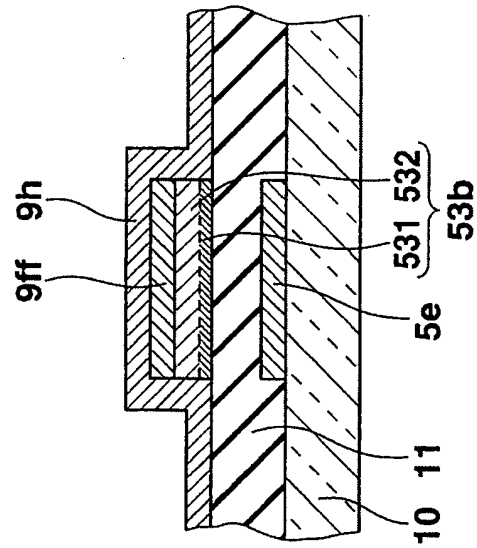
第36B圖



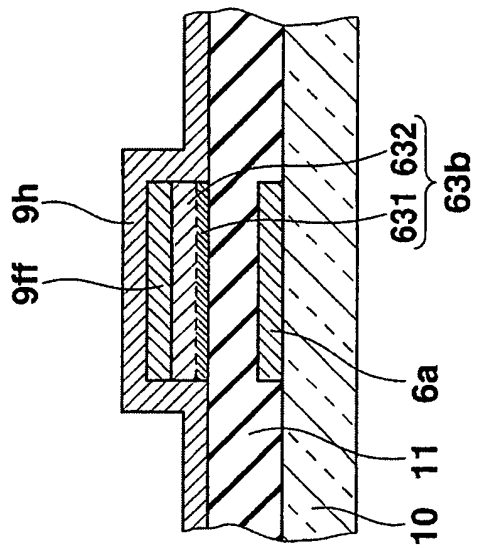
第37A圖



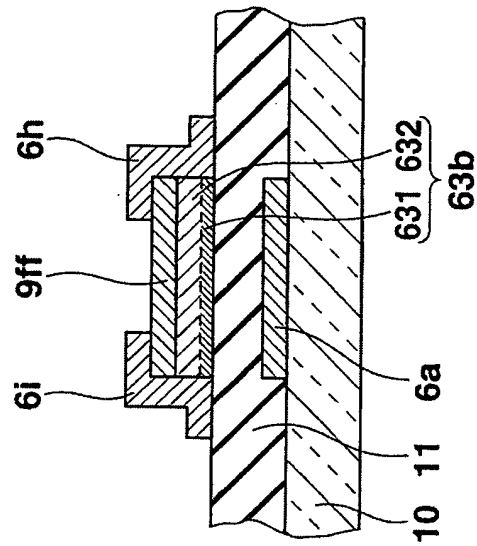
第37B圖



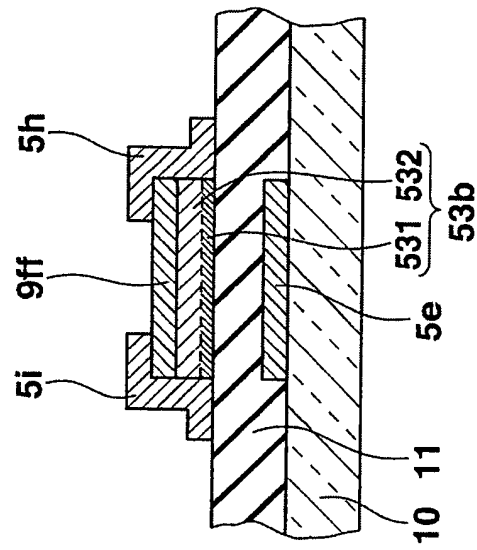
第38B圖



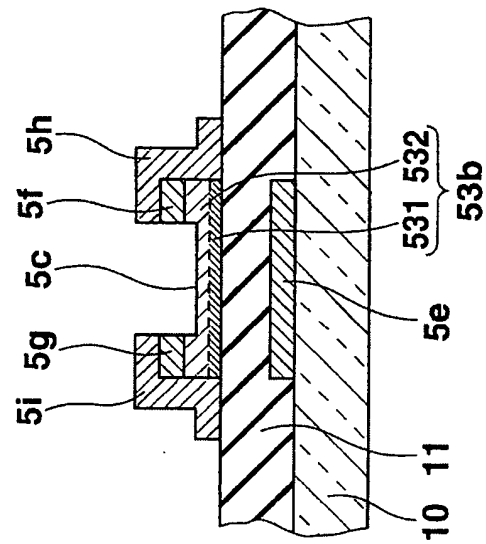
第38A圖



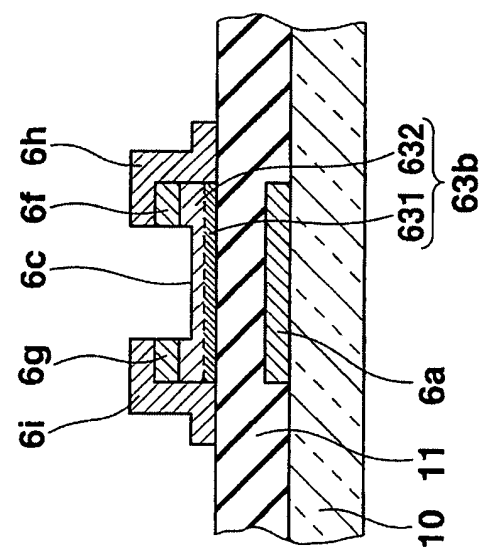
第39A圖



第39B圖

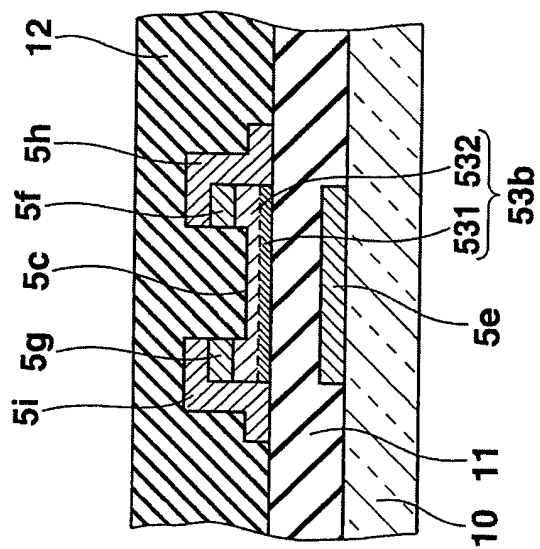


第40B圖

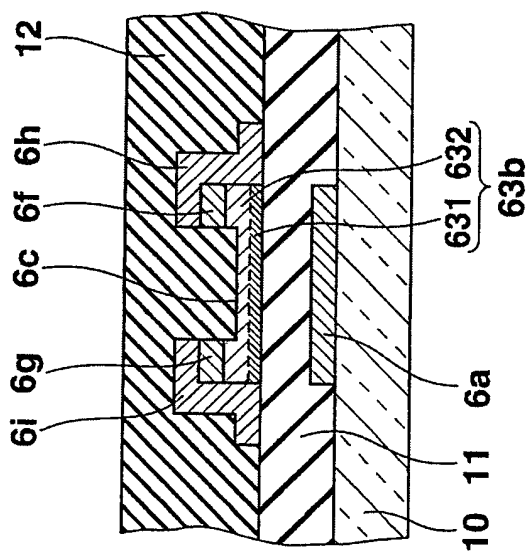


第40A圖

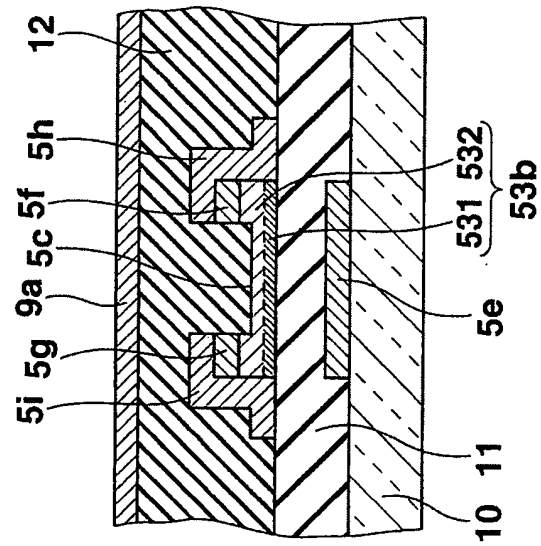




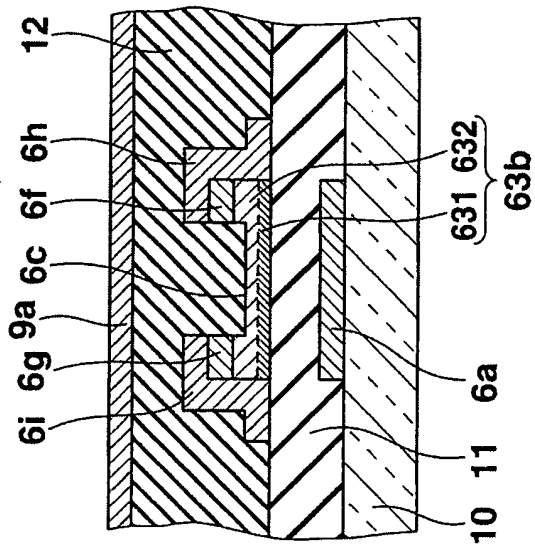
第41B圖



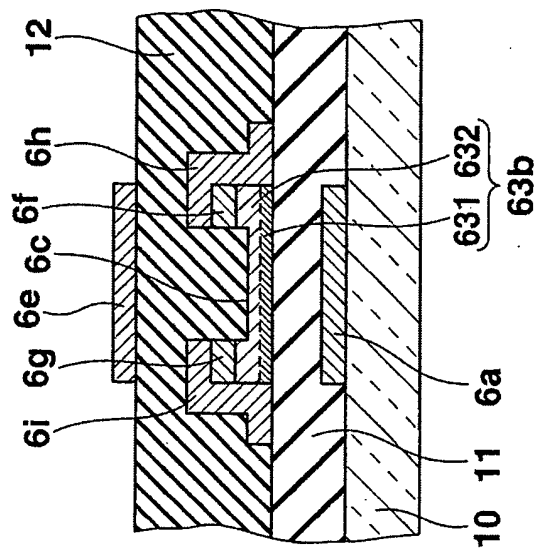
第41A圖



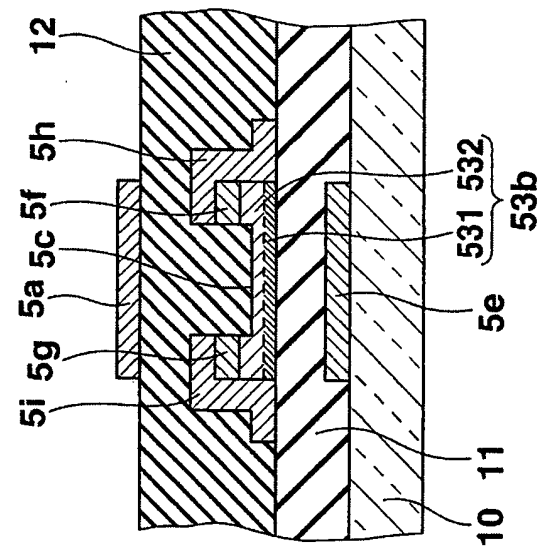
第42B圖



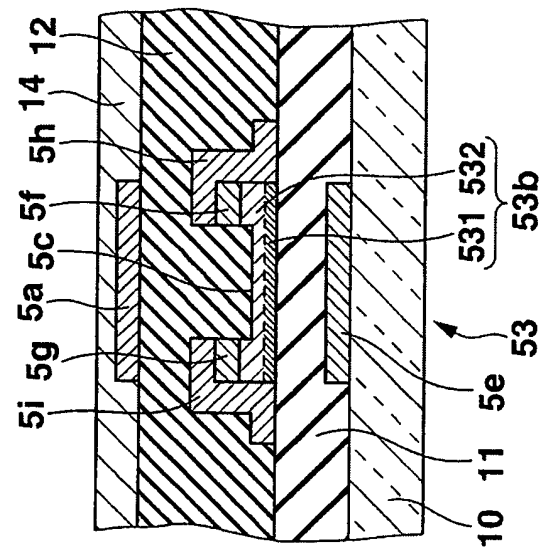
第42A圖



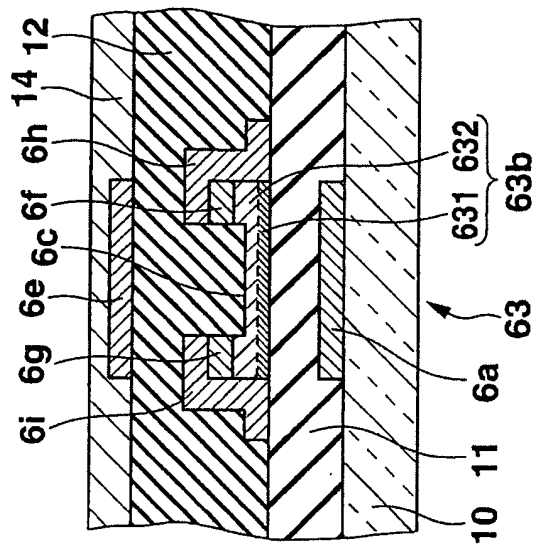
第43A圖



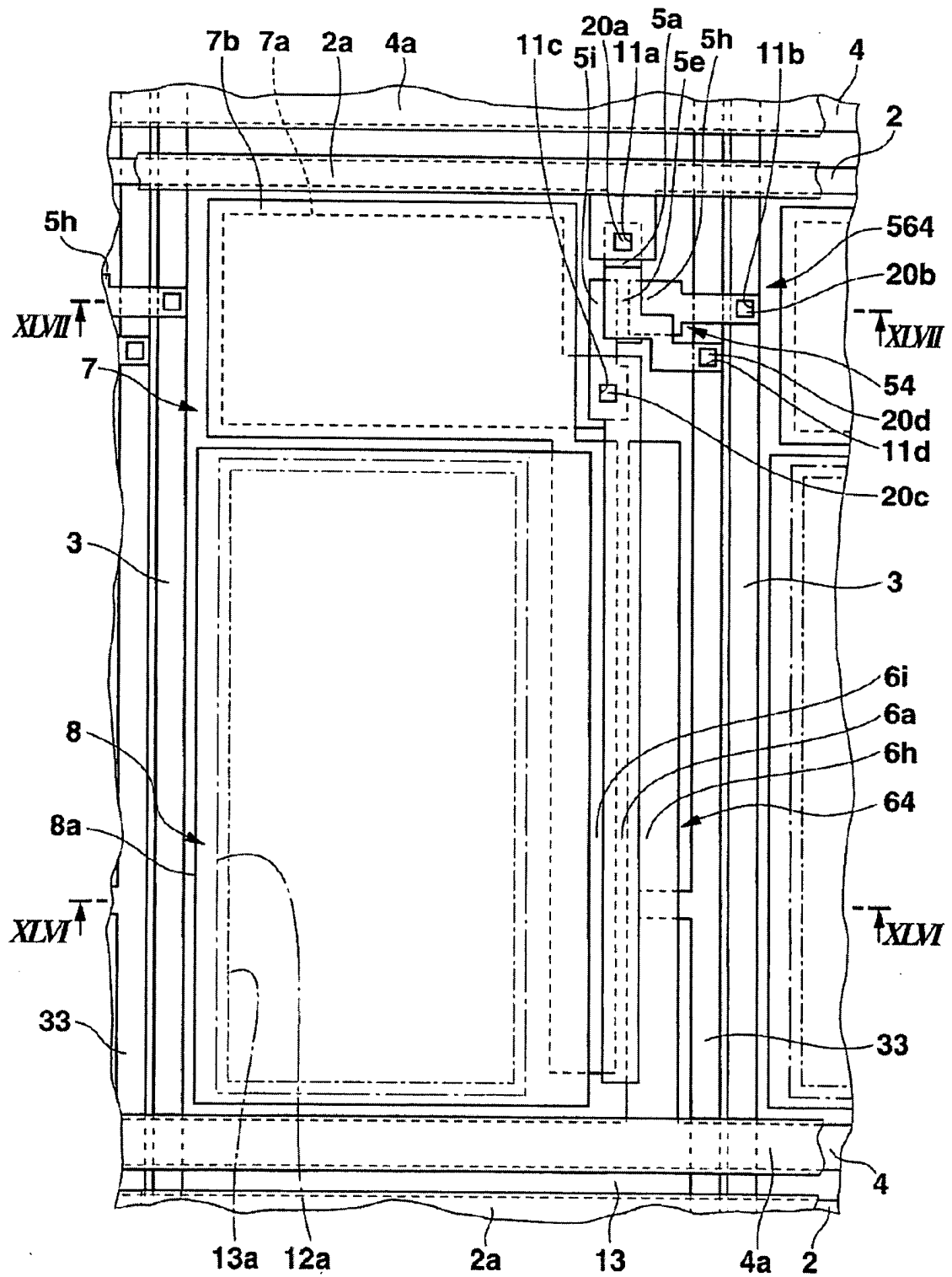
第43B圖



第44B圖



第44A圖



第45圖

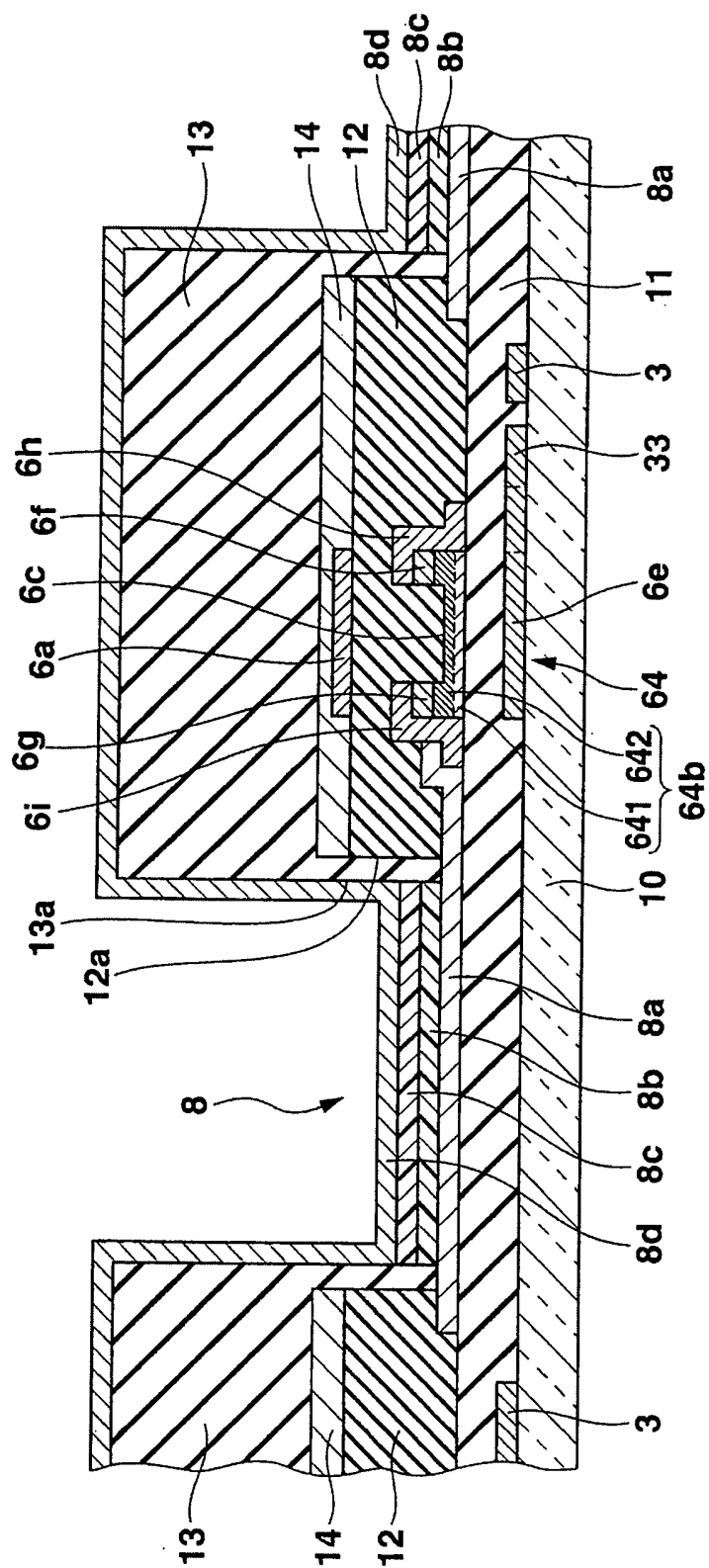
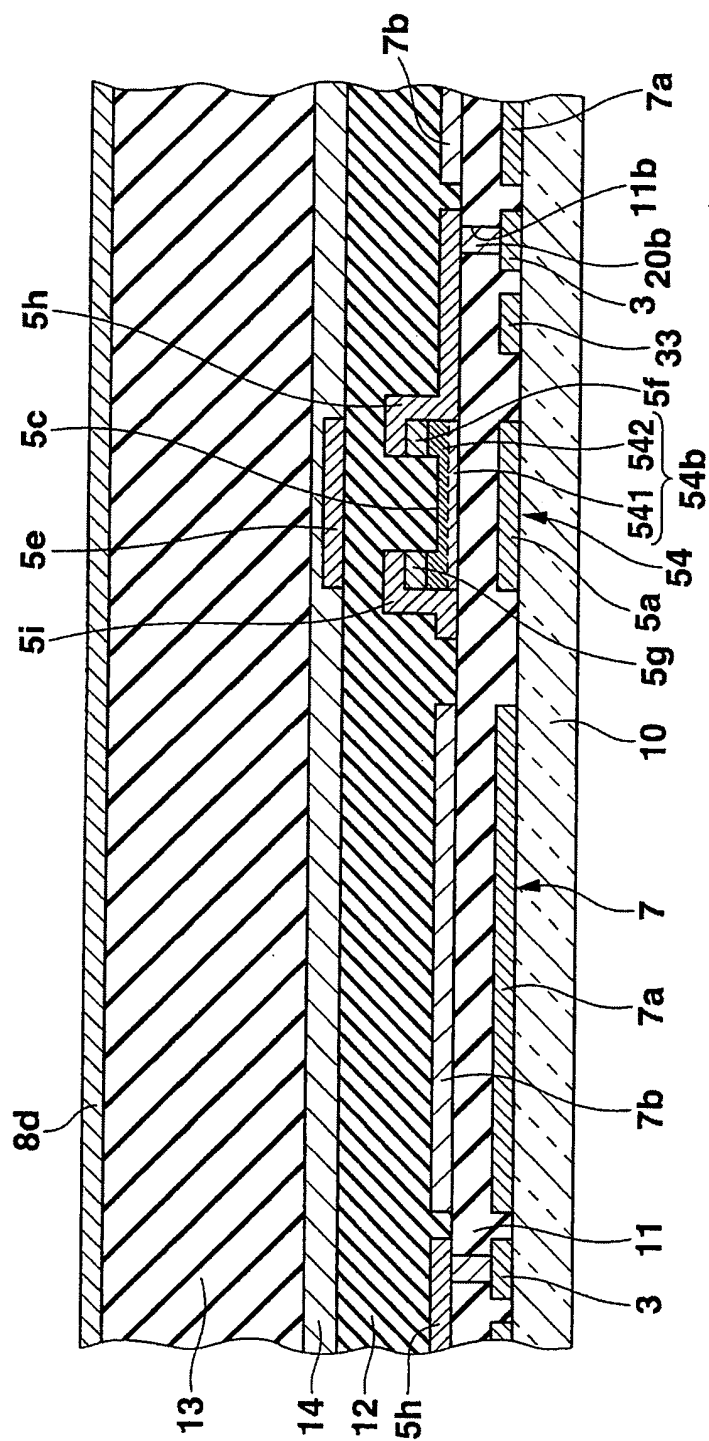
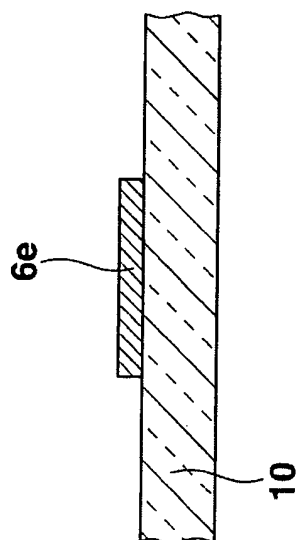


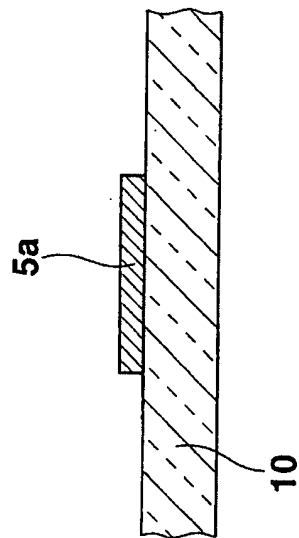
圖 46



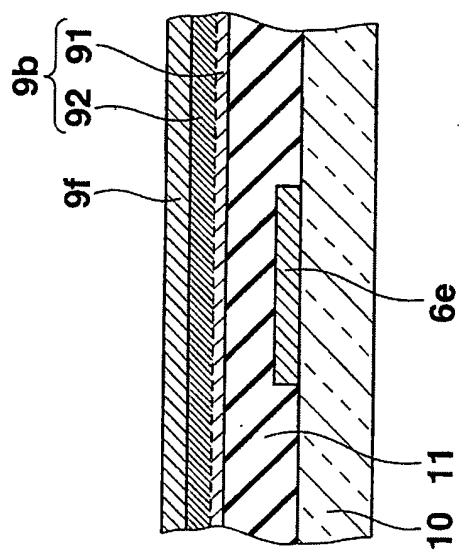
第47圖



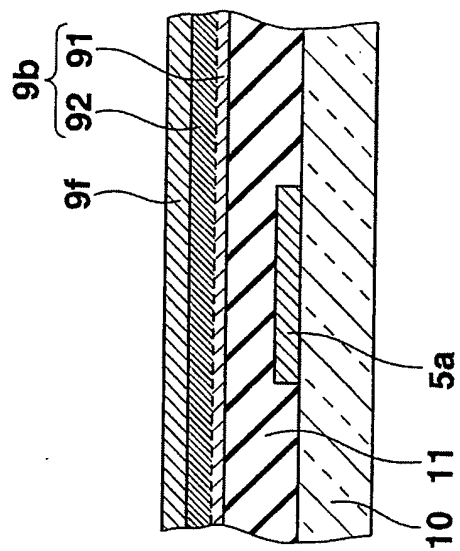
第48A圖



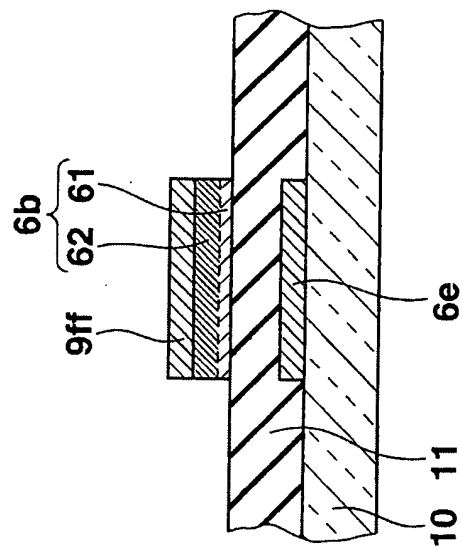
第48B圖



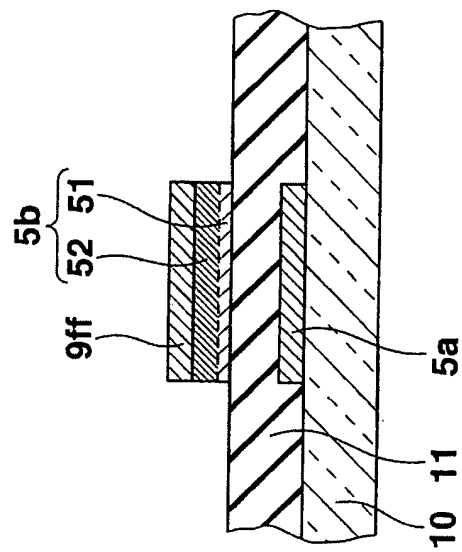
第49A圖



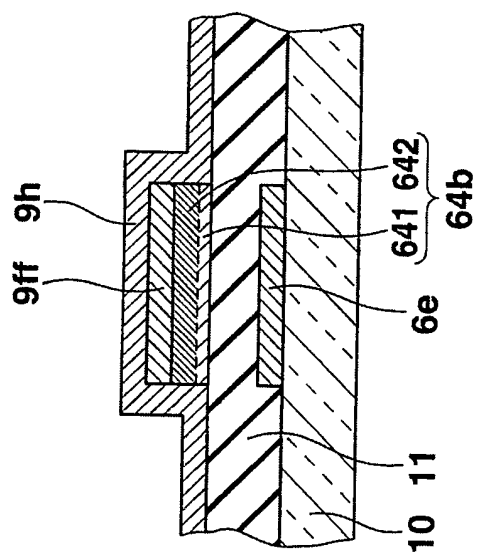
第49B圖



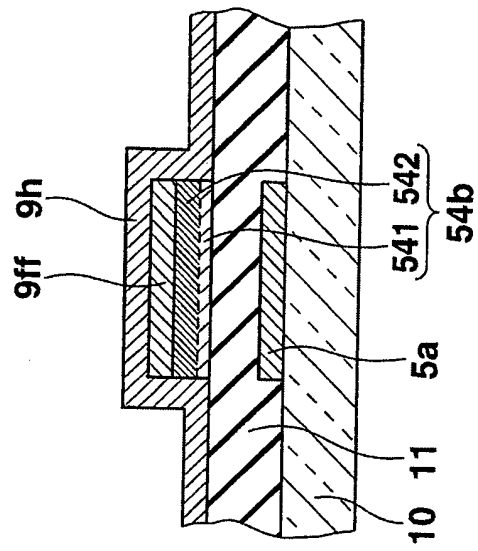
第50A圖



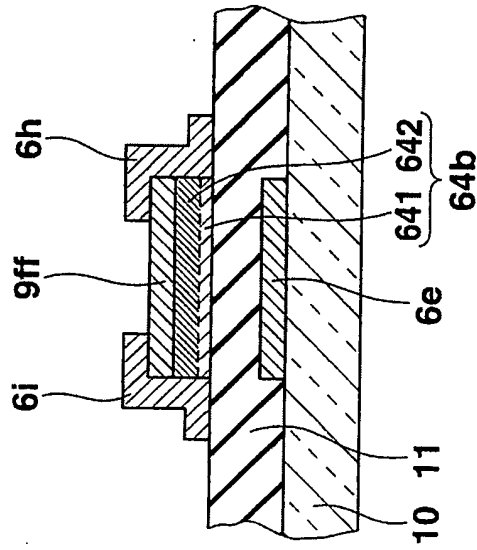
第50B圖



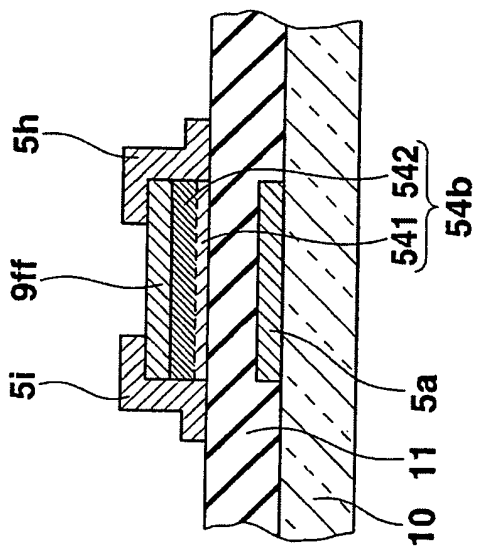
第51A圖



第51B圖

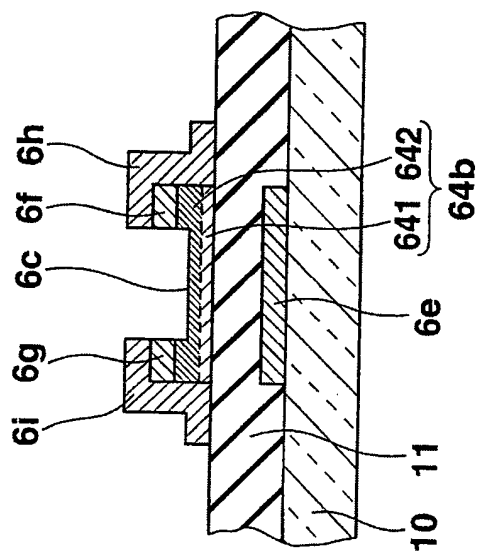


第52A圖

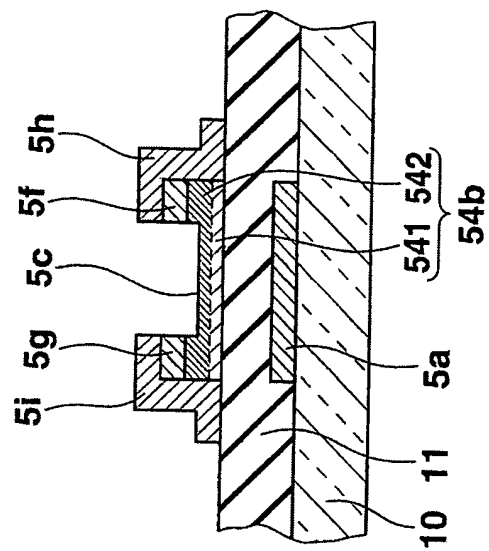


第52B圖

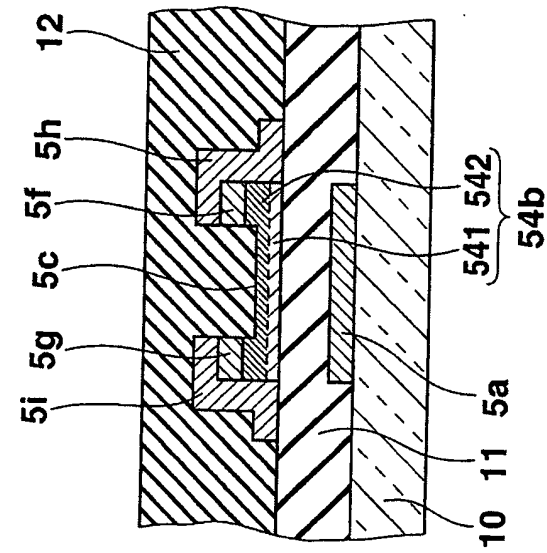




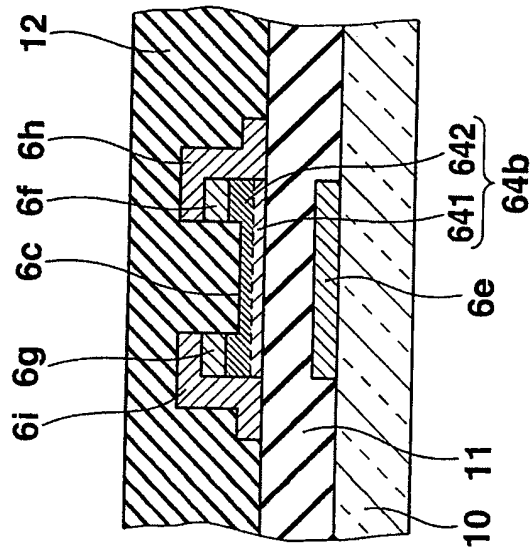
第53A圖



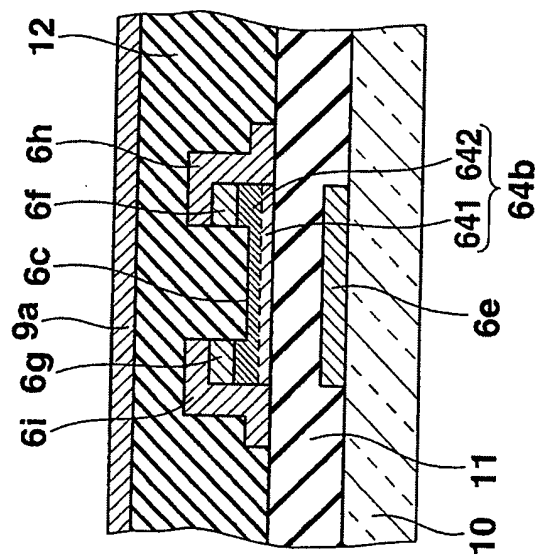
第53B圖



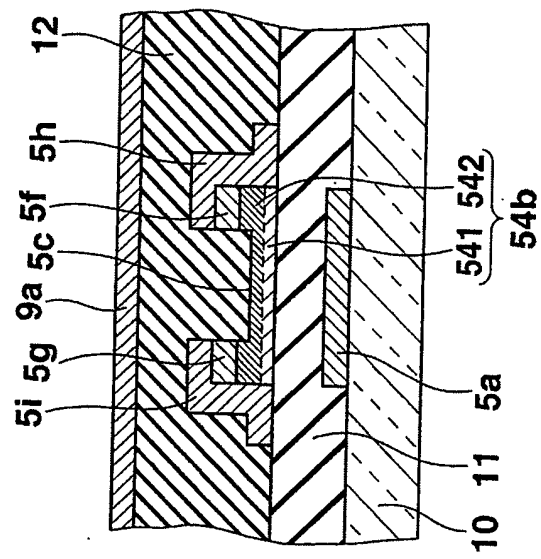
第54B圖



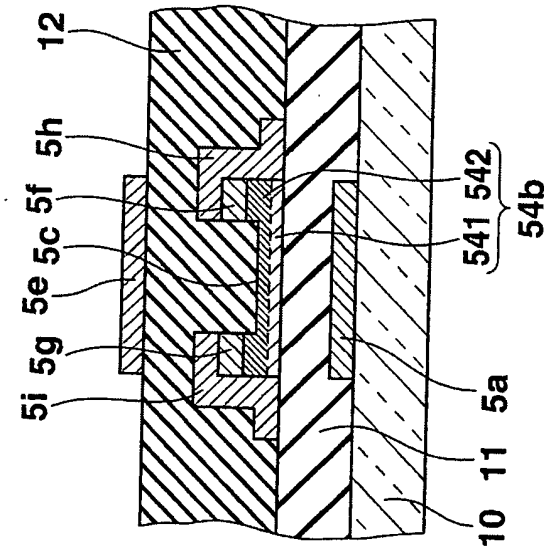
第54A圖



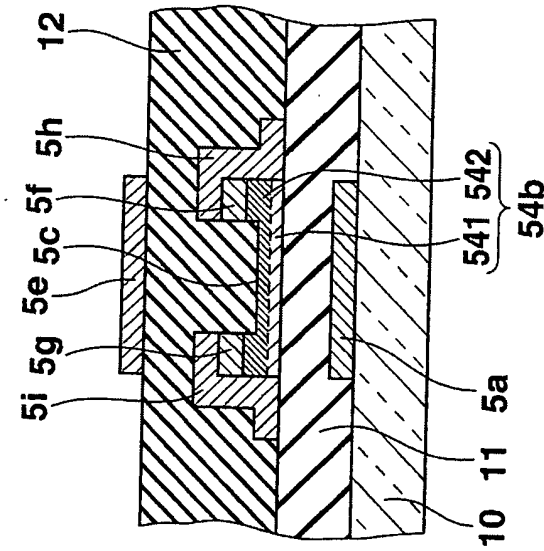
第55A圖



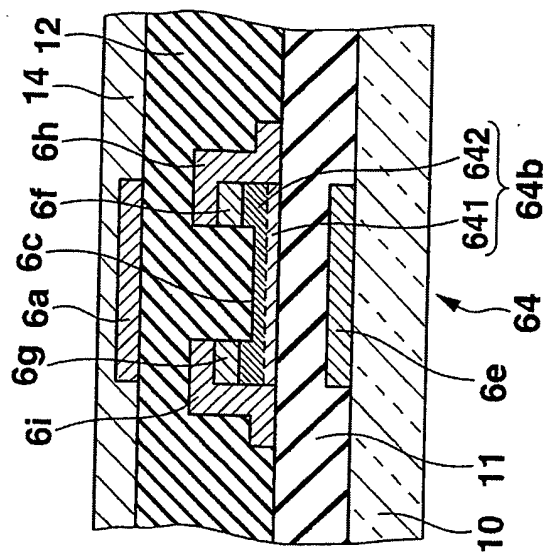
第55B圖



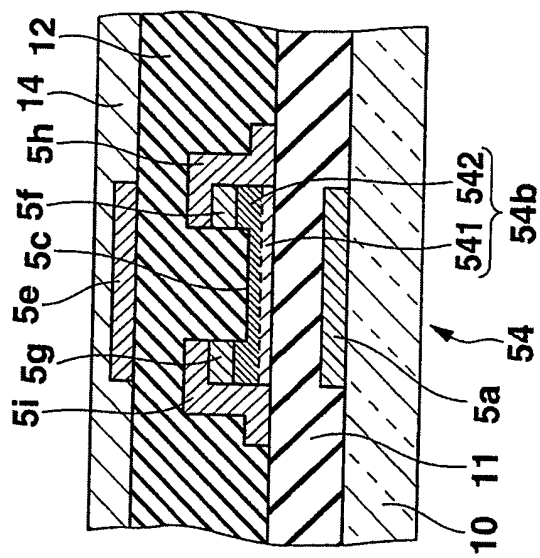
第56A圖



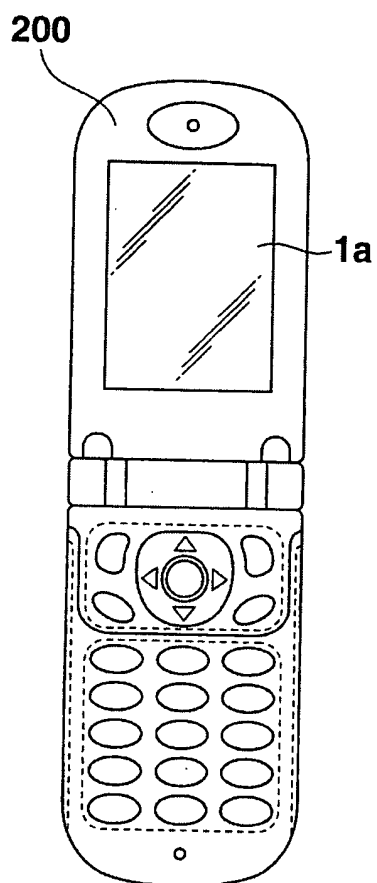
第56B圖



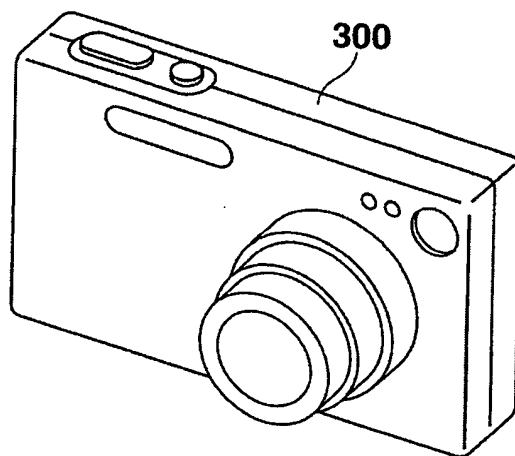
第57A圖



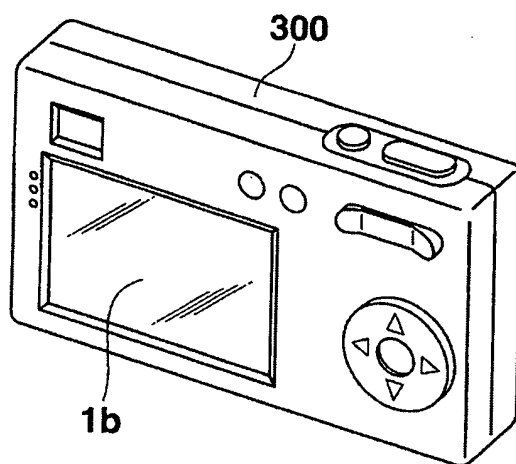
第57B圖



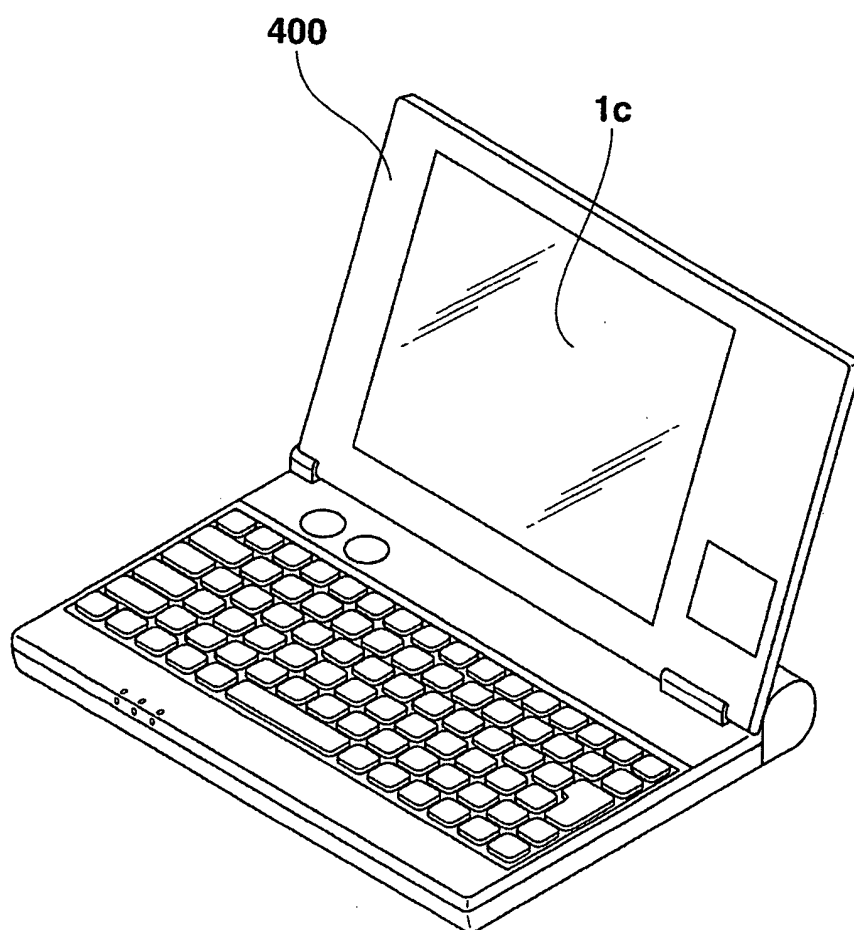
第58圖



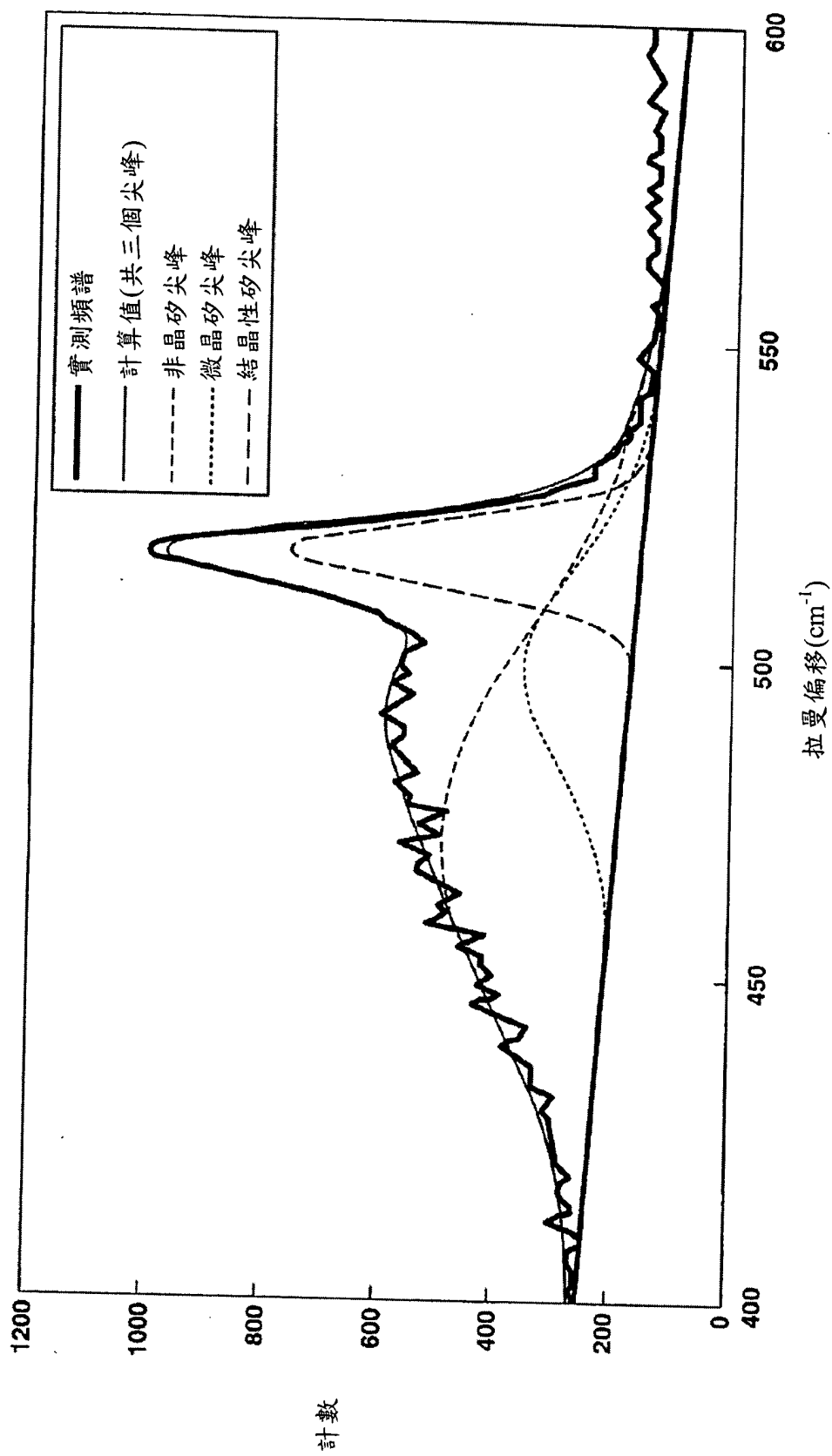
第59A圖



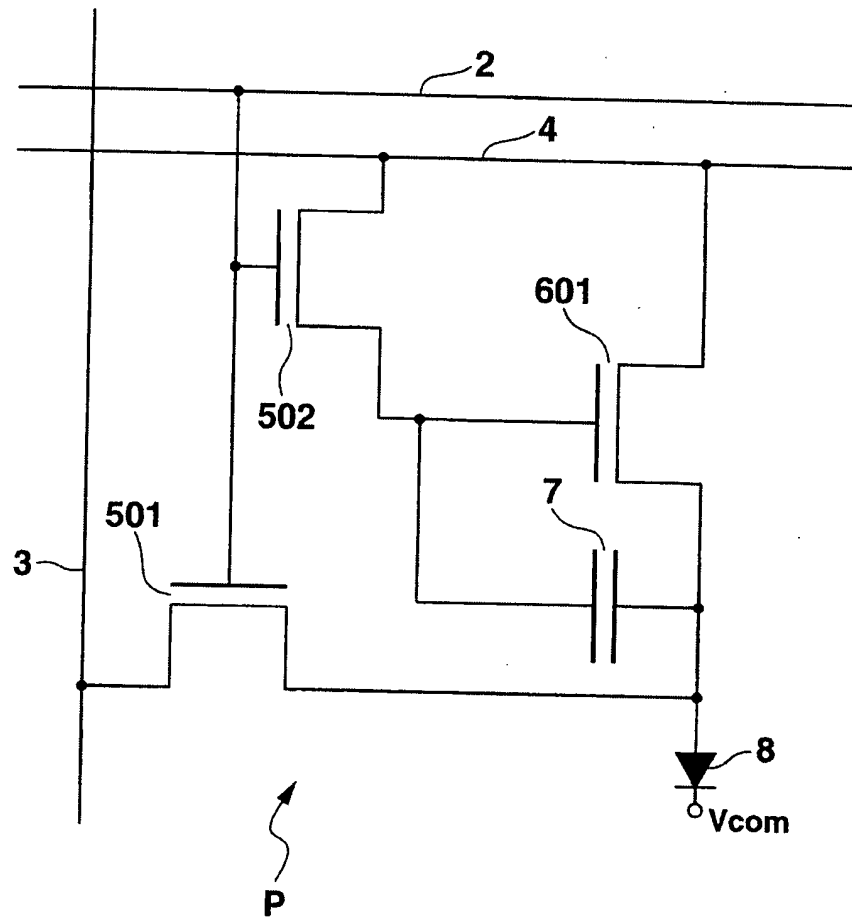
第59B圖



第60圖



第61圖



第62圖

四、指定代表圖：

(一) 本案指定代表圖為：第 5 圖。

(二) 本代表圖之元件符號簡單說明：

3	信號線
6a	第 1 閘極電極
6d	保護絕緣膜
6f, 6g	雜質半導體膜
6h	汲極電極
6i	源極電極
8	EL 元件
8a	像素電極
8b	電洞注入層
8c	發光層
8d	對向電極
10	基板
11	第 1 絕緣膜
11d	接觸孔
12	第 2 絕緣膜
12a	開口部
13	邊堤
13a	開口部
14	鈍化膜
20d	接觸栓
33	接地配線
61	驅動電晶體
61b	第 1 半導體膜
611	第 1 區域
612	第 2 區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。