



(12)发明专利申请

(10)申请公布号 CN 109564854 A

(43)申请公布日 2019.04.02

(21)申请号 201780049783.4

(22)申请日 2017.08.16

(30)优先权数据

15/238,445 2016.08.16 US

(85)PCT国际申请进入国家阶段日

2019.02.14

(86)PCT国际申请的申请数据

PCT/US2017/047148 2017.08.16

(87)PCT国际申请的公布数据

W02018/035226 EN 2018.02.22

(71)申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 J·F·萨尔兹曼 B·D·苏彻尔

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵志刚 赵蓉民

(51)Int.Cl.

H01L 21/20(2006.01)

H01L 27/04(2006.01)

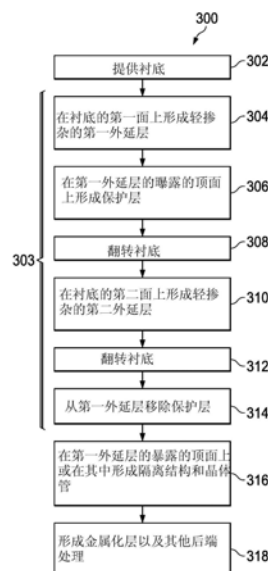
权利要求书2页 说明书5页 附图7页

(54)发明名称

在衬底上使用双面外延的工艺增强

(57)摘要

在所描述的制造半导体晶圆和集成电路的半导体器件和制造方法的示例中,方法(300)包括:在第一导电类型的半导体衬底的第一面上形成(304)第一导电类型的第一外延半导体层,在第一外延半导体层的顶面上形成(306)氮化物或氧化物保护层,在半导体衬底的第二面上形成(310)第一导电类型的第二外延半导体层,以及从第一外延半导体层移除(314)保护层。通过至少部分地在第一外延半导体层上形成(316)晶体管,晶圆可用于制造集成电路。



1. 一种器件,其包括:
第一导电类型的半导体衬底,所述半导体衬底包括平面第一面和平面第二面;
所述第一导电类型的第一外延半导体层,其形成在所述半导体衬底的所述第一面上;
以及
所述第一导电类型的第二外延半导体层,其形成在所述半导体衬底的所述第二面上。
2. 根据权利要求1所述的器件,其中,所述第一外延半导体层和所述第二外延半导体层比所述半导体衬底更轻地掺杂。
3. 根据权利要求2所述的器件,其中,所述第一导电类型是p型。
4. 根据权利要求2所述的器件,其中,所述第一导电类型是n型。
5. 一种集成电路器件即IC器件,其包括:
第一导电类型的半导体衬底,所述半导体衬底包括平面第一面和平面第二面;
所述第一导电类型的第一外延半导体层,其形成在所述半导体衬底的所述第一面上;
所述第一导电类型的第二外延半导体层,其形成在所述半导体衬底的所述第二面上;
以及
多个晶体管,其至少部分地形成在所述第一外延半导体层上。
6. 根据权利要求5所述的IC器件,其中,所述第一外延半导体层和所述第二外延半导体层比所述半导体衬底更轻地掺杂。
7. 根据权利要求6所述的IC器件,其中,所述第一导电类型是p型。
8. 根据权利要求6所述的IC器件,其中,所述第一导电类型是n型。
9. 一种制造半导体器件的方法,所述方法包括:
在第一导电类型的半导体衬底的第一面上形成第一导电类型的第一外延半导体层;以及
在所述半导体衬底的所述第二面上形成所述第一导电类型的第二外延半导体层。
10. 根据权利要求9所述的方法,还包括:
在形成所述第二外延半导体层之前,在所述第一外延半导体层的顶面上形成保护层;
以及
在形成所述第二外延半导体层之后,从所述第一外延半导体层移除所述保护层。
11. 根据权利要求10所述的方法,其中,形成所述保护层包括在形成所述第二外延半导体层之前,在所述第一外延半导体层的所述顶面上形成氮化物材料,或者在形成所述第二外延半导体层之前,在所述第一外延半导体层的所述顶面上形成氧化物材料。
12. 根据权利要求11所述的方法,其中,所述第一外延半导体层和所述第二外延半导体层比所述半导体衬底更轻地掺杂。
13. 根据权利要求10所述的方法,还包括在从所述第一外延半导体层移除所述保护层之后,至少部分地在所述第一外延半导体层上形成多个晶体管。
14. 根据权利要求13所述的方法,其中,所述第一外延半导体层和所述第二外延半导体层比所述半导体衬底更轻地掺杂。
15. 根据权利要求9所述的方法,还包括至少部分地在所述第一外延半导体层上形成多个晶体管。
16. 根据权利要求15所述的方法,其中,所述第一外延半导体层和所述第二外延半导体

层比所述半导体衬底更轻地掺杂。

17. 根据权利要求9所述的方法, 其中, 所述第一外延半导体层和所述第二外延半导体层比所述半导体衬底更轻地掺杂。

18. 根据权利要求17所述的方法, 其中, 所述第一导电类型是p型。

19. 根据权利要求17所述的方法, 其中, 所述第一导电类型是n型。

20. 根据权利要求17所述的方法, 还包括:

在形成所述第二外延半导体层之前, 在所述第一外延半导体层的顶面上形成氮化物或氧化物保护层; 以及

在形成所述第二外延半导体层之后, 从所述第一外延半导体层移除所述保护层。

在衬底上使用双面外延的工艺增强

背景技术

[0001] 期望抗辐射加固和其他高可靠性电子电路,用于其中系统和电路暴露于辐射、电磁干扰(EMI)或其他不利电噪声条件的各种应用。示例应用包括卫星和其他航天器、飞行器、诸如X射线设备的医疗装置、核电站中使用的电路、处理器内核和其他敏感数字电路。在这样的应用中,由于阱和掺杂区域作用为双极晶体管,辐射可能导致金属氧化物半导体(MOS)电路中的闩锁。在这种闩锁情况期间,这些寄生双极晶体管可以通过MOS电路组件下方的电流导通,导致潜在的大电流,其干扰集成电路(IC)中的逻辑电路的操作,并且有时可能导致IC变得永久受损。通常,闩锁涉及在MOSFET电路的电源轨之间低阻抗路径的无意的产生,触发寄生PNPN(可控硅整流器或SCR)结构,其工作为彼此相邻堆叠的PNP和NPN晶体管。在闩锁期间,当寄生双极晶体管中的一个导电时,则另一个也导电并且只要该结构保持具有一些非零电流的正向偏置,两者彼此都保持饱和。单粒子闩锁(SEL)是由单粒子翻转引起的闩锁,通常由来自宇宙射线或太阳耀斑的重离子或质子引起。各种集成电路应用需要在这种辐射环境中操作的电路,并且MOS电路闩锁可能导致处理器电路冻结,需要重启或将电源关闭再打开(power cycling)。因此,对于涉及辐射暴露的电路应用,需要改进的半导体器件和制造技术以解决数字电路闩锁问题。

发明内容

[0002] 在所描述的制造半导体晶圆和集成电路的半导体器件和制造方法的示例中,方法包括:在第一导电类型的半导体衬底的第一面上形成第一导电类型的第一外延半导体层,以及在半导体衬底的第二面上形成第一导电类型的第二外延半导体层。所描述的半导体器件示例包括第一导电类型的半导体衬底,形成在半导体衬底的第一面上的第一导电类型的第一外延半导体层,以及形成在半导体衬底的第二面上的第一导电类型的第二外延半导体层。通过至少部分地在第一外延半导体层上形成晶体管,该器件可用于制造集成电路。在一些示例中,在形成第二外延层之前,在第一外延半导体层的顶面上形成氮化物或氧化物保护层,并且在形成第二外延层之后移除保护层。在一些示例中,第一和第二外延半导体层比半导体衬底被更轻地掺杂。

附图说明

[0003] 图1是在更重掺杂的p型衬底的相对的顶面和底面上具有第一和第二轻掺杂的p型外延层的半导体晶圆器件的透视图。

[0004] 图2是使用图1的半导体晶圆制造的集成电路的部分截面正视图。

[0005] 图3是制造半导体晶圆和制造集成电路的方法的流程图。

[0006] 图4-图7是根据图3的方法的在制造的各个阶段处的图1的半导体晶圆的部分截面正视图。

[0007] 图8是在更重掺杂的n型衬底的相对的顶面和底面上具有第一和第二轻掺杂的n型外延层的半导体晶圆的透视图。

[0008] 图9是使用图8的半导体晶圆制造的集成电路的部分截面正视图。

具体实施方式

[0009] 在附图中,相同的附图标记始终指代相同的元件,并且各种特征不一定按比例绘制。

[0010] 图1示出了半导体晶圆或器件100,其包括分别形成在更重掺杂的p型半导体衬底102的相对的顶面和底面上的第一和第二轻掺杂的p型外延半导体材料层104a和104b。在一个示例中,衬底102是体硅材料,具有适合于半导体制造工艺的厚度以产生集成电路产品,且外延层104是外延硅材料。在其他示例中,不同的半导体材料可以用于衬底102和外延层104,并且示例性实施例不限于硅。在一个示例中,衬底102的厚度在500–800 μm 的范围内。在一个示例中,器件100通常是圆柱形的,具有适合于半导体制造工艺的直径,例如150mm、200mm、300mm、450mm直径等。第一外延层104a包括暴露的顶面111并且具有厚度T1。在一个示例中,厚度T1为3.0 μm 或更大。在某些示例中,厚度T1为3.0至20 μm 。在其他示例中,可以使用大于20 μm 的厚度T1。在某些示例中,厚度T1由给定电路应用的CMOS工艺要求来设定,以用于形成在第一外延层104a上或第一外延层104a中的晶体管和其他电路。实际上,选择外延层厚度T1以便适应CMOS晶体管阈值电压(VT)和用于给定集成电路设计的其他参数。第二外延层104b具有厚度T2,并且包括暴露的底面112。在一个示例中,第二外延层厚度T2可以近似等于T1。然而,不需要基于CMOS工艺要求来确定厚度T2。在一个示例中,第二外延层104b的厚度T2为2.0至20 μm 。在某些示例中,T2被设置为合适的值以在集成电路的制造期间减轻器件100的热处理期间的自动掺杂,包括在制造期间的氧化工艺步骤期间的外延材料消耗。

[0011] 图1中的器件100特别适合用作生产高可靠性和/或抗辐射加固的集成电路器件的起始晶圆。在这方面,由静电放电(ESD)、电压瞬变、光和电离辐射引入的瞬态电流可以触发在体硅晶圆中形成的CMOS集成电路中的寄生双极晶体管和可控硅整流器(SCR)。这导致闩锁和诸如双极晶体管增益劣化的其他问题。在某些情况下,闩锁涉及具有足够的寄生双极晶体管增益的P+/n阱结的正向偏置,导致寄生SCR的锁存状态,并导致电压源和参考电压节点之间潜在的大电流。随着特征尺寸继续缩小(例如90nm至28nm等),这些闩锁问题更加明显。通过在较低电阻率的起始衬底上方形成相对高电阻率的外延层,可以在某种程度上减轻CMOS闩锁机制。晶体管和其他组件形成在更轻掺杂的、更高的薄层电阻率P-外延层中,并且因此寄生双极和SCR器件具有低得多的增益并且不太可能引起闩锁。在一个示例中,P+/P-外延衬底用于制造集成电路,以在航空应用中减轻对由宇宙射线(例如,地面中子和质子反应)引起的闩锁的灵敏度和/或在空间应用中减轻对重离子的灵敏度。

[0012] 然而,P+/P-晶圆的使用导致在热处理期间自动掺杂的问题。例如,在炉退火、激光退火、快速热处理(RTP)或集成电路制造工艺的其他热处理步骤期间,硼或其他p型掺杂剂可以从重掺杂的P+硅迁移到相邻晶圆的轻掺杂的P-外延层。为了控制自动掺杂,P+/P-晶圆通常包括用于减轻自动掺杂的背面覆盖层,例如低温氧化(LTO)氮化物层。然而,P+/P-起始晶圆易遭受由高度掺杂层和轻度掺杂层之间的界面处的热应力引起的翘曲。对于较大的晶圆尺寸,这种翘曲问题更加明显,并且自动掺杂保护层的存在会加剧翘曲。另外,在使用等离子体工具和注入工具的制造工艺期间,电荷可以在LTO覆盖层处累积。

[0013] 在图1的器件100中,在起始衬底102的相对面上使用第一和第二外延层104便于制

造和构造高可靠性和/或抗辐射加固的集成电路器件,同时减轻或避免自动掺杂和翘曲二者。另外,器件100还便于使用标准处理工具进行制造,而没有先前由LT0氮化物自动掺杂覆盖层的存在引起的电弧问题。在一个示例中,起始衬底102是具有相对低的薄层电阻率的体硅,并且外延层104a具有相对较高的薄层电阻率。在实践中,器件100的薄层电阻率通常根据顶面111和底面112之间的配置(profile)而变化。在一个示例中,例如,在顶面111和底面112处的外延层104a和104b的薄层电阻率约为8-12欧姆-厘米,衬底102的第一和第二面与相应的外延层104之间的界面附近的薄层电阻率约为1欧姆-厘米,并且在衬底102的中间附近的薄层电阻率约为0.025欧姆-厘米。如上所述,可以调整第一外延层104a的厚度T1以适应形成在第一外延层104a上或其中的晶体管和其他组件的阈值电压和其他性能参数。第二外延层104b用作在热处理期间硼或其他掺杂剂从重掺杂的衬底102向外迁移的阻挡层,从而减轻集成电路制造期间的自动掺杂。此外,第二外延层104b通过在第一外延层104a的相对面上向衬底102提供第二界面来抵消工艺内翘曲。

[0014] 还参见图2,示出了集成电路(IC) 200,其使用图1的器件100构建。IC 200包括第一导电类型(例如,p型)的半导体衬底102,其具有平面的第一(例如,上部)面102a和平面的相对第二(例如,底部)面102b。在该示例中,也是p型的第一外延半导体层104a形成在衬底102的第一面102a上,并且p型第二外延半导体层104b形成在衬底102的第二面102b上。IC 200还包括至少部分地形成在第一外延半导体层104a上的一个或更多个晶体管202和206。可以使用标准制造技术至少部分地在外延层104a上形成许多这样的晶体管和其他电子组件(未示出)。在图2中,PMOS晶体管202形成在轻掺杂的(例如,N-) n阱204中。相对重掺杂的P+源极/漏极区域形成在沟道区域的相对面上的n阱204中,具有至少部分地形成在PMOS沟道区上方的栅极结构。在该示例中,包括N+阱接触,并且PMOS晶体管202通过一个或更多个隔离结构208(在该示例中为浅沟槽隔离或STI结构)与其他外围组件隔离。图2中的第二晶体管206是NMOS晶体管,包括在轻掺杂的P-外延层材料104a中形成的N+源极/漏极和在N+源极/漏极之间的P沟道区域上方形成的栅极结构。在该示例中,还在NMOS晶体管206附近形成P+衬底接触,以提供到P+衬底102的导电性。

[0015] 由于晶体管源极/漏极区域形成在第一外延层104a的顶面111中,栅极结构和源极/漏极接触形成在顶面111之上,晶体管202、206至少部分地形成在第一外延半导体层104a上。图2中的IC 200还包括在顶面111上方形成的金属前介电(PMD)结构层。PMD层包括一个或更多个导电接触结构,其形成与源/漏区、栅极和阱/衬底接触的电接触。IC 200还包括一个或更多个金属化层M1和M2以及上部钝化层210。金属化层M1、M2的每个包括层间电介质(ILD)材料和导电接触结构,以互连由晶体管202、206和IC200的其他电子组件形成的电路的各种组件和组件端子。使用轻掺杂的P-外延层104a有利地减轻了辐射引起的晶体管202、206的闩锁以及与暴露于辐射有关的其他问题。另外,第二或下部外延层104b有利地提供屏障以在制造期间减轻或防止自动掺杂,并且还抵消与上部第一外延层104a的存在相关联的任何翘曲效应。此外,第二外延层104b在等离子体或注入处理步骤期间不会遭受电荷累积,因此不会遭受先前与自动掺杂防止(例如氮化物)层相关联的电弧问题。

[0016] 参见图3-图7示出了制造半导体器件的方法300,包括形成如图1所示的起始晶圆或器件100的工艺步骤303,以及进一步工艺步骤以形成集成诸如图2的IC200的集成电路。图4-图7示出了在根据图3的方法300和303的制造的各个阶段处的图1的半导体晶圆器件

100。方法300、303可以与图1和图2中示出的P-/P+/P-器件100以及与如下文结合图8和图9所说明和描述的N-/N+/N-器件关联使用。方法300在302处开始于起始晶圆或衬底102。在方法300中可以使用任何合适的半导体衬底102。在一个示例中,起始衬底是第一导电类型(例如,在一个示例中为p型)的锯切双面抛光硅晶圆。起始衬底102可具有任何合适的尺寸(例如,具有150mm、200mm、300mm或450mm直径、500-800 μ m厚度的圆柱形晶圆)。

[0017] 方法300包括在303处制造器件(例如,上文描述的器件100),包括在304处,在衬底的第一面上(例如,在上文描述的图2中的第一面102a)形成第一导电类型的第一外延硅层104a。图4示出了304处的工艺的示例,其中使用外延生长工艺步骤400将p型第一外延层104a形成为在P+衬底102的第一面102a上的第一厚度T1。在304处可以使用任何合适的外延生长工艺400以提供具有晶体结构的轻掺杂的p型硅材料,该晶体结构通常模拟衬底102的第一面102a的晶体取向。

[0018] 在某些示例中,在306处,第一外延层104a的暴露的顶面111上形成可选的保护层。在一个实施方式中,图5中使用氧化工艺500以在第一外延半导体层104a的顶面111上形成厚度约为400埃或更大(例如400-2000埃)的氧化物和/或氮化物保护层106。在308处,对衬底进行翻转或反转,使衬底102的暴露的第二面102a留在该结构的顶部。实际上,保护层106在随后的制造工艺期间为第一外延层104a的顶面111提供保护,其中第一外延层104a被设计用于随后在图2的成品IC器件200中形成晶体管和其他电子组件。在一个示例中,在形成310第二外延硅层104b之前,在306处,在第一外延硅层104a的顶面111上形成氮化物材料。在另一个示例中,在形成310第二外延硅层104b之前,在306处,在第一外延硅层104a的顶面111上形成氧化物材料。

[0019] 方法303还包括:在310处,在硅衬底102的第二面102b上形成第二轻掺杂的p型外延硅层104b。如图6所示,执行第二外延生长工艺600以将第二外延层104b形成为在衬底102的第二面102b上的厚度T2。这留下如图6中所示的结构,该结构具有形成在第一外延层104a的顶面111上方的保护层106。第二外延层厚度T2可以与第一外延层104a的厚度T1相同或相似,但不是对方法300、303的所有实施方式的严格要求。此外,在310处,可以使用任何合适的第二外延生长工艺600,以形成第二轻掺杂外延层104b。

[0020] 在312处,再次翻转或反转该结构,并且在314处移除任何先前形成的保护层106。图7说明用于移除保护层106的示例蚀刻或材料移除工艺700,使第一外延层104a的顶面111暴露。图3中的303处的处理形成器件100,该器件100在使用了p型半导体材料102、104的图1中示出。在另一个示例中,图3中的处理步骤303可用于制造如图8所示的器件802,包括N+衬底802和第一和第二轻掺杂N-外延层804a和804b。

[0021] 在一个示例中,IC制造方法300还包括在从第一外延硅层104a移除保护层106之后,在316处,至少部分地在第一外延硅层104a上形成多个晶体管202、206。在图3中的318处执行一个或更多个金属化层和其他后端工艺,以提供集成电路器件,例如上文中描述的图2的IC 200。

[0022] 还参考图8和图9。图8示出了N-/N+/N-晶圆或器件800,包括N+衬底802、形成在衬底802的第一面上的第一轻掺杂N-外延层804a以及形成在衬底802的相对第二面上的第二轻掺杂N-外延层804b。可以使用图3的工艺300和303(其中p型掺杂剂和材料被n型掺杂剂和材料替代)来制造在图8和图9中的器件800和IC 900,反之亦然。如上文结合图1的P-/P+/P-

器件100所描述的,器件800可用作制造高可靠性和/或抗辐射加固IC的起始晶圆,其中第一和第二外延层804在处理期间提供相对于翘曲的抵消,并减轻处理期间的自动掺杂。此外,第一外延层804a可用于在相对轻掺杂的半导体材料中制造晶体管和其他电子组件,以减轻所得IC上的闩锁和其他基于辐射的效应。图3中的工艺步骤303可用于制造图8中的器件800,衬底802和外延层804中使用的材料是n型掺杂的(例如,使用磷或其他合适的n-掺杂剂)。

[0023] 图9示出了使用图8的器件800制造的示例IC 900,包括:衬底802、形成在衬底802的第一面802a上的第一外延层804a以及衬底802的相对第二面802b上的第二外延层804b。在该示例中,PMOS晶体管902形成在第一外延半导体层804a的顶面811上,包括形成在轻掺杂的N-外延层804a中的P+源极/漏极。该示例还包括利用在一对STI结构908之间的PMOS晶体管902形成的N+衬底接触。IC 900还包括轻掺杂的P-p-阱904,其中在第一外延层804a中形成NMOS晶体管906和P+阱接触。晶体管902和906还包括覆盖相应沟道区的栅极结构,和PMD结构层,以及一个或更多个金属化层M1和M2,以及上部钝化层910。

[0024] 这就是我们的技术所做的,它消除了来自注入能量源比如带电粒子、中子、ESD冲击和光子(光)注入的SEL。大多数处理设备需要在高掺杂的P+衬底上具有保护性背面涂层。这可以防止P+硼从P+晶圆的背面向外扩散,并减轻对P+衬底正后面的设备或晶圆的污染(对抗自动掺杂)。在P+衬底上使用单个外延层的解决方案需要(一个或更多个)保护性背面层,并且这些层总是不导电的,这可能导致晶圆在晶圆处理期间充电,导致拱起。所描述的示例通过形成掺杂的第二外延层104b、804b来提供阻挡层。掺杂的第二外延层阻止P-/P+/P-示例中的硼向外扩散以减轻自掺杂。第二外延层104b、804b还在制造期间提供衬底到夹持设备的背面导电性,因此可以用于常规制造设备而无需附加的修改或附加的阻挡层。

[0025] 在所描述的实施例中,修改是可能的,并且在权利要求的范围内,其他实施例也是可能的。

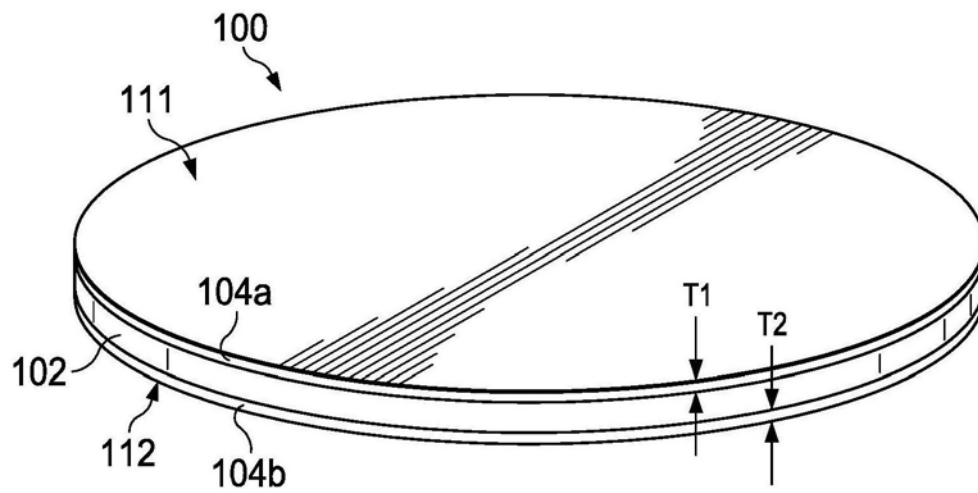


图1

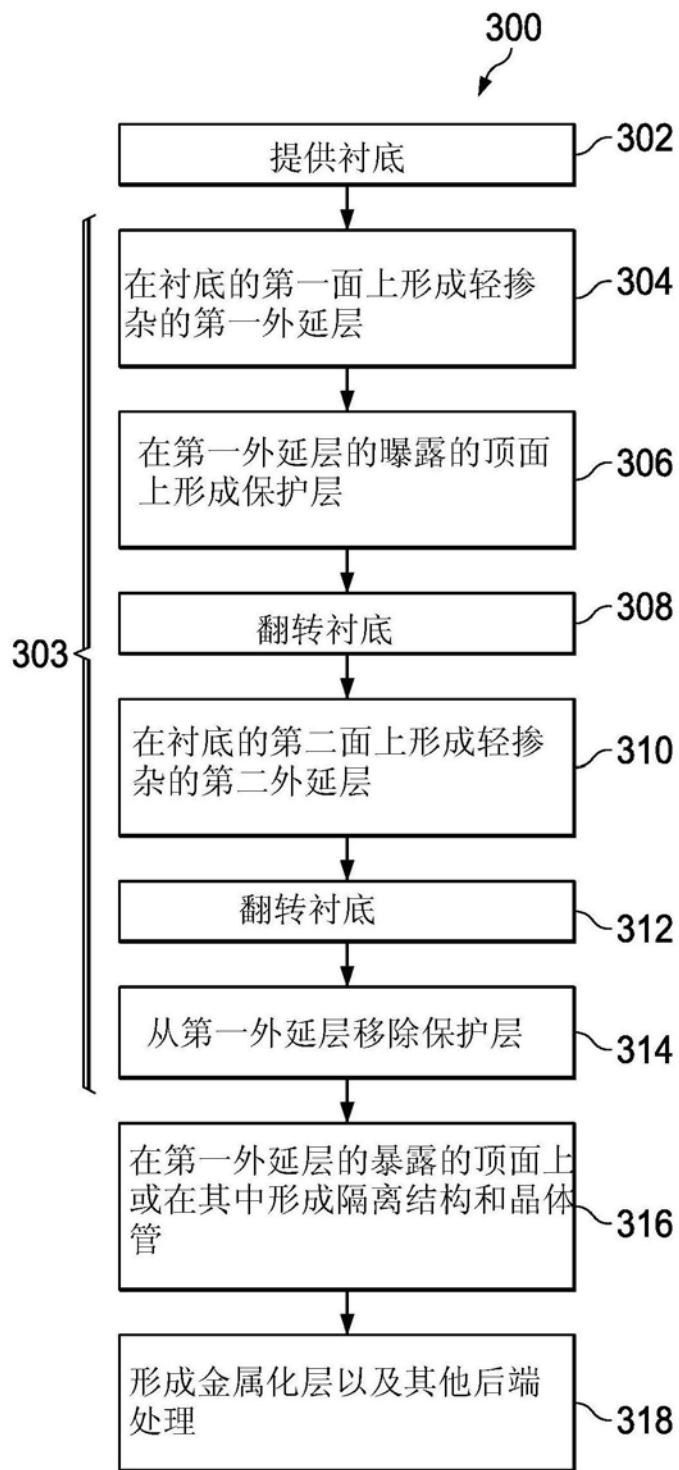


图3

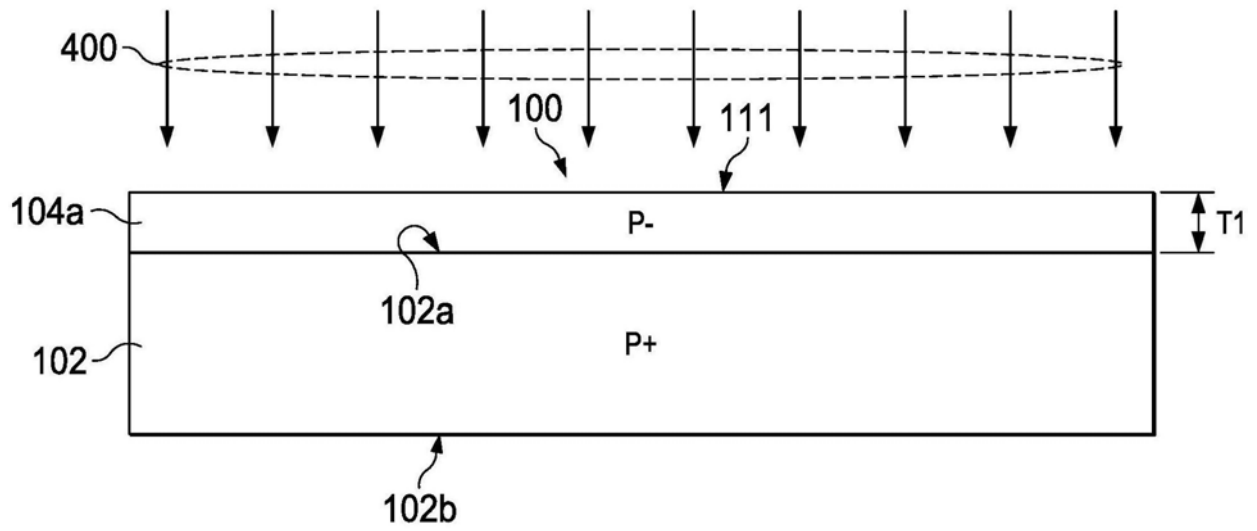


图4

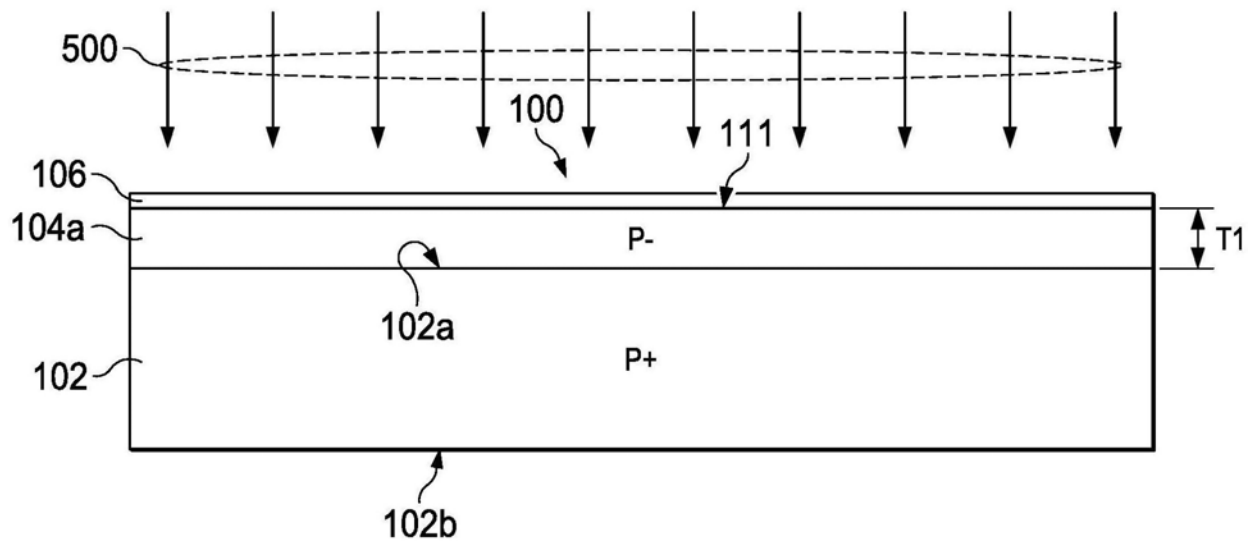


图5

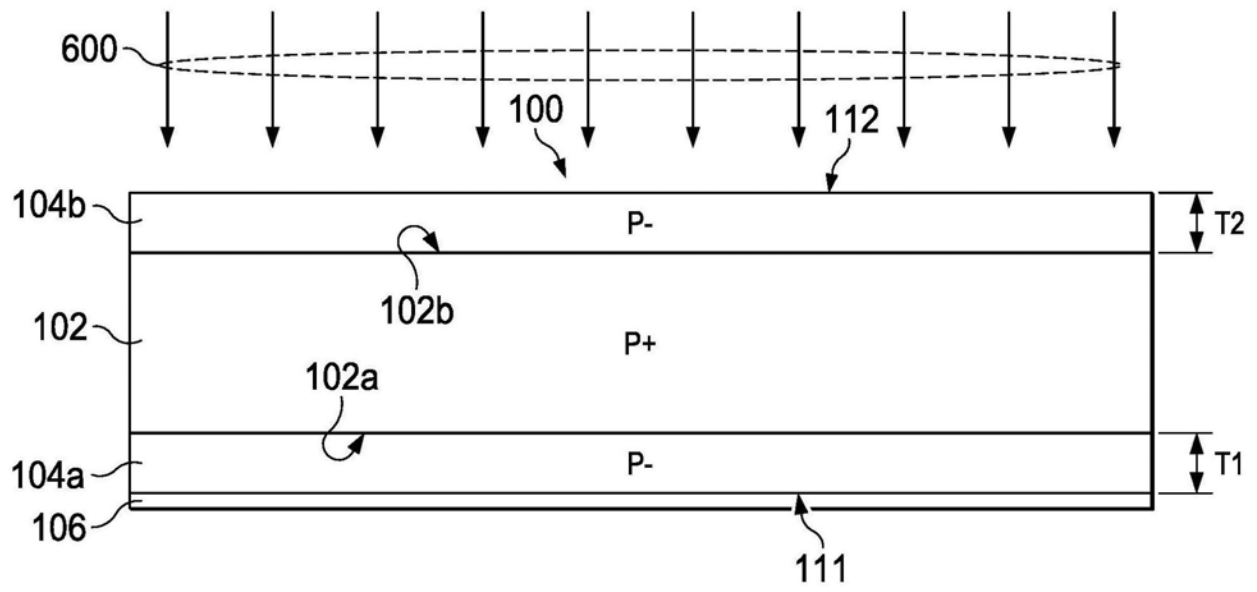


图6

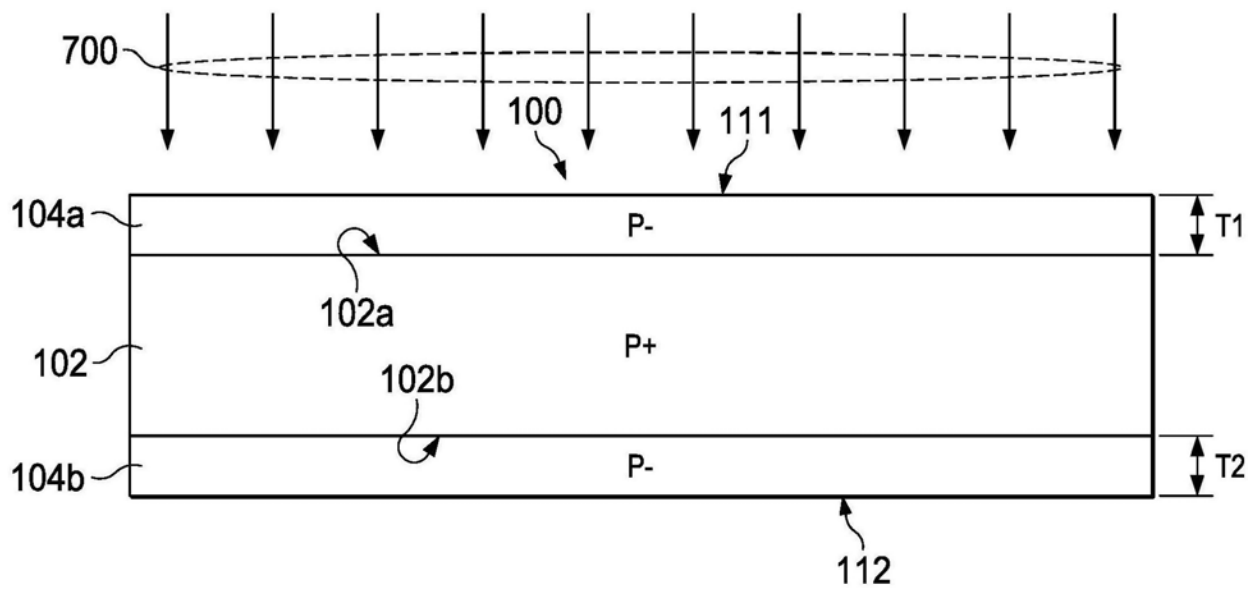


图7

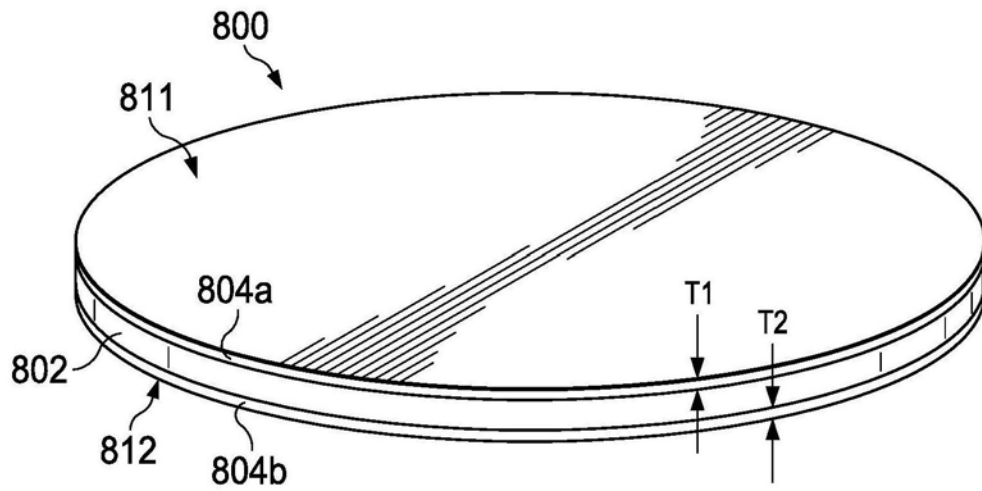


图8

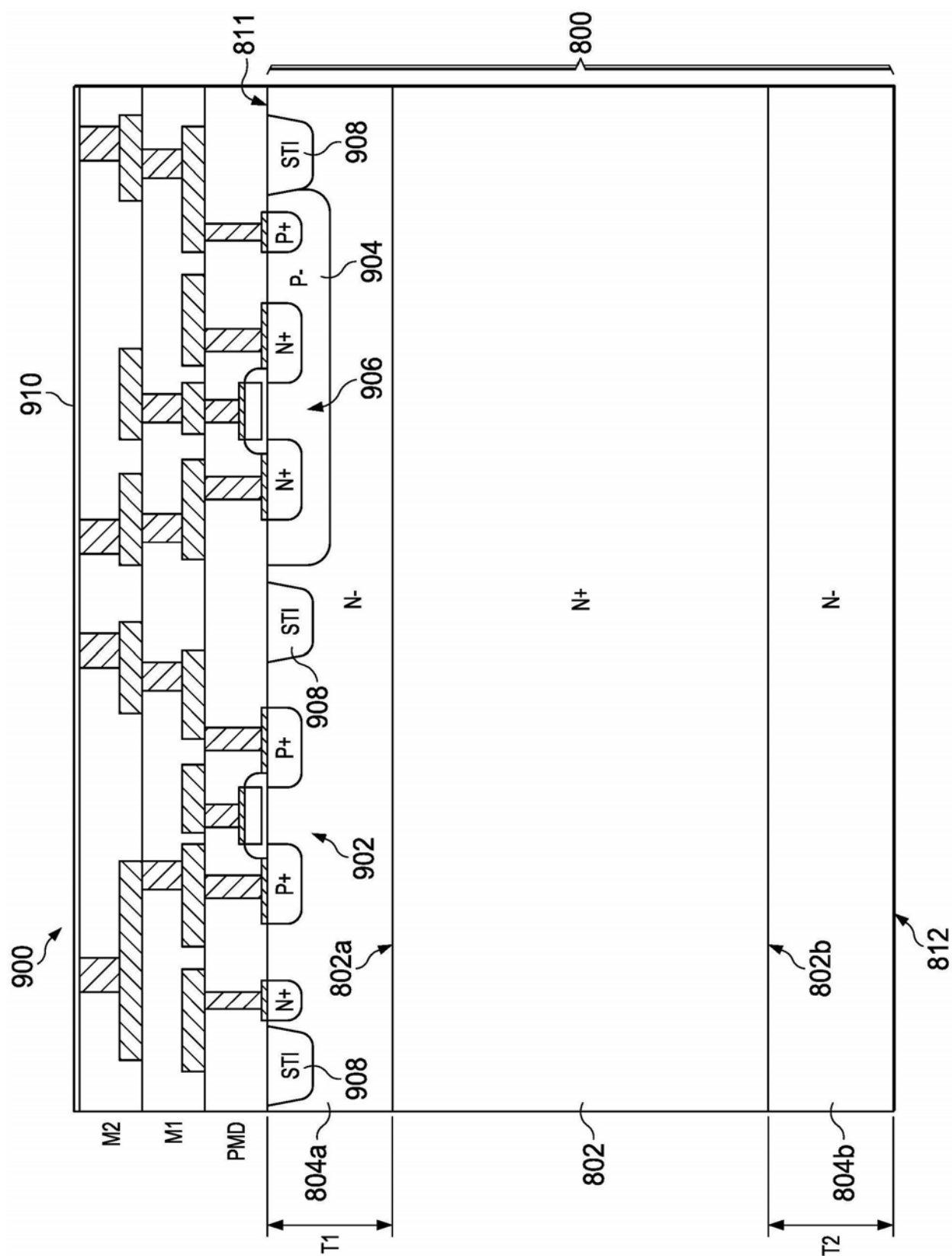


图9