



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 875628

(61) Дополнительное к авт. свид-ву №559389

(22) Заявлено 22.02.80 (21) 2888537/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.10.81. Бюллетень №39

Дата опубликования описания 25.10.81

(51) М. Кл.
Н 03 К 17/00

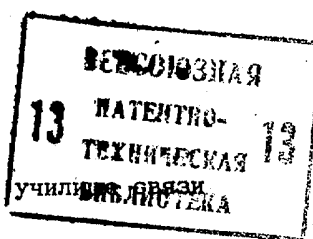
(53) УДК 621.325.
.65(088.8)

(72) Авторы
изобретения

В. П. Яковлев и Ю. С. Чистяков

(71) Заявитель

Ставропольское высшее военное инженерное
им. 60 - летия Великого Октября



(54) КОММУТИРУЮЩЕЕ УСТРОЙСТВО

1

Изобретение относится к автоматике и вычислительной технике.

По основному авт. св. № 559389 известно коммутирующее устройство, содержащее K запоминающих устройств, выходы которых соединены с полным коммутатором, разрядные выходы полного коммутатора подключены ко входам соответствующих линейных коммутаторов [1].

Недостаток указанного устройства состоит в низком быстродействии его работы вследствие последовательной организации обмена.

Цель изобретения - повышение быстродействия.

С этой целью в коммутирующее устройство с $K \cdot r$ - разрядными входами и $M \cdot r$ - разрядными выходами, содержащее K запоминающих устройств, r - разрядные входы которых являются входами устройства, полный коммутатор, информационные r - разрядные входы которого соединены с одноименными выходами соответствующих запоминающих устройств,

2

ройдств, информационные r - разрядные выходы полного коммутатора соединены с одноименными входами соответствующих линейных коммутаторов, а r - разрядные выходы каждого линейного коммутатора соединены с M/K r - разрядными выходами устройства, введены дешифратор, регистр и блок управления, причем адресные выходы запоминающих устройств соединены с адресными входами дешифратора, выход которого подключен к регистру, при этом первый выход блока управления соединен с управляющим входом дешифратора, а второй выход - с управляющим входом регистра, выходы которого подключены к управляющим входам линейных и полного коммутаторов.

На чертеже представлена функциональная схема коммутирующего устройства. Схема содержит входы 1, запоминающие устройства 2, коммутатор 3, линейные коммутаторы 4, выходы 5 коммутирующего устройства, многосекционный

дешифратор 6, регистр 7, блок управления 8.

Устройство работает следующим образом.

Входная информация содержит код номера выхода коммутирующего устройства, к которому ее необходимо скомутировать. Поступающая на входы 1 коммутирующего устройства информация накапливается в запоминающих устройствах 2. Коды номеров выходов с каждого запоминающего устройства 2 поступают на многосекционный дешифратор 6, причем каждый код на свою секцию. Прodeшифрованные сигналы адресов коммутации запоминаются на регистре 7, с которого поступают далее на управляющие цепи линейных коммутаторов 4 и коммутатора 3.

Блок 8 управления вырабатывает две команды. По первой команде, поступающей на многосекционный дешифратор 6, происходит дешифрация кодов номеров выходов коммутирующего устройства и их запись на регистр 7. По второй команде блока 8 управления управляющие сигналы коммутации с регистра 7 поступают на управляющие цепи коммутаторов 3 и 4, которые осуществляют коммутацию цепей и параллельную передачу информации со входов 1 устройства на соответствующие выходы 5 устройства.

Таким образом, полная передача информации коммутирующим устройством осуществляется за один такт работы, вклю-

чающим в себе две команды. Необходимость двух команд обуславливается разделением работы устройства на подготовительные операции и собственно передачу информации.

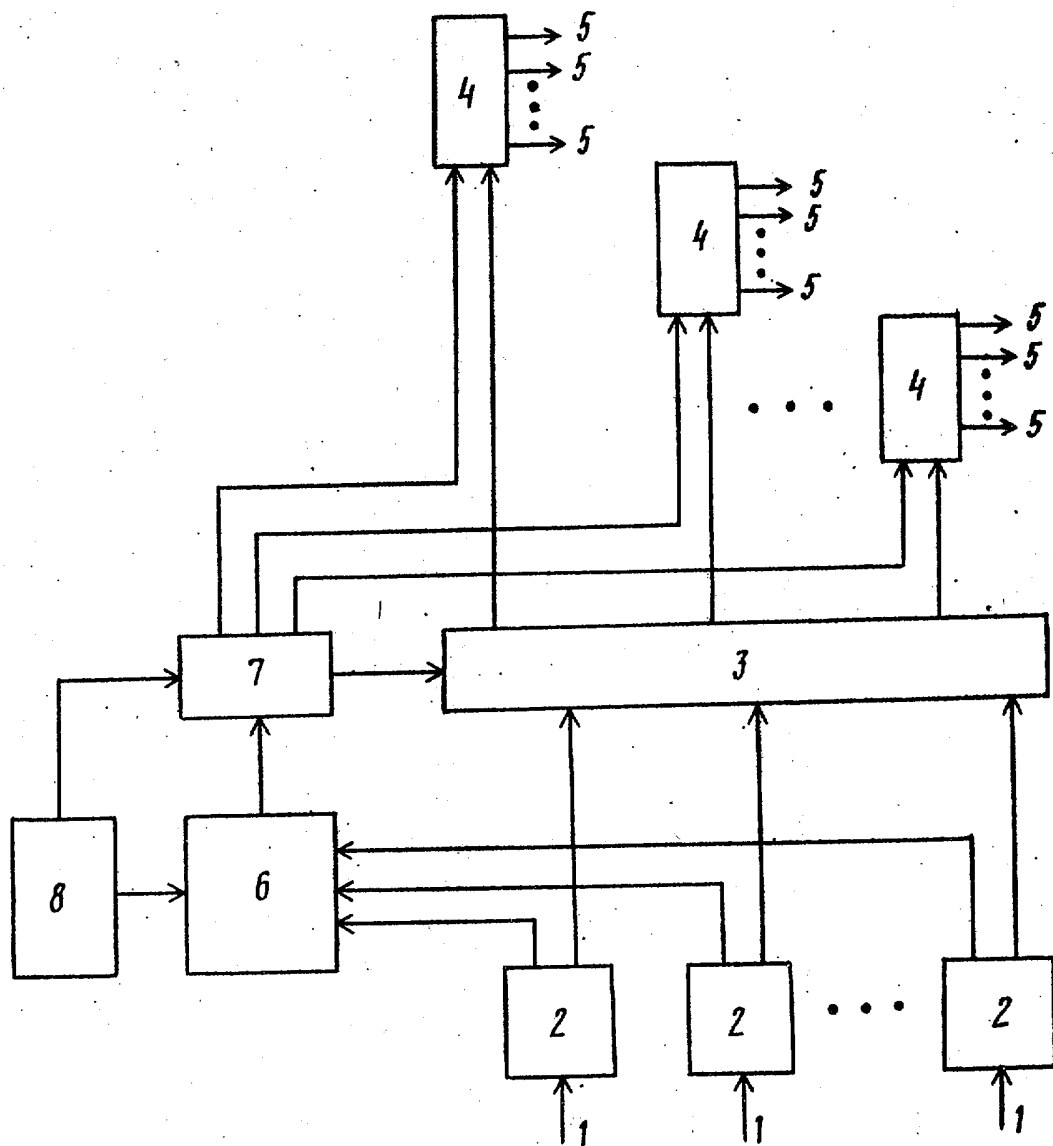
Введение многосекционного дешифратора 6, регистра 7 и блока 8 управления позволяет увеличить быстродействие работы устройства в К раз.

Ф о р м у л а и з о б р е т е н и я

Коммутирующее устройство по авт. св. № 559389, отличающееся тем, что, с целью повышения быстродействия, в него введены дешифратор, регистр и блок управления, причем адресные выходы запоминающих устройств соединены с адресными входами дешифратора, выход которого подключен к регистру, при этом первый выход блока управления соединен с управляющим входом дешифратора, а второй выход - с управляющим входом регистра, выходы которого подключены к управляющим входам линейных и полного коммутаторов.

Источники информации,
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 559389, кл. Н 03 К 17/00, 1975 (прототип).



Редактор Р. Цицка

Составитель Л. Захарова
Техред А.Бабинцев

Корректор Н. Степ

Заказ 9385/86

Тираж 991

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4