



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856983 B

(45)公告日：中華民國 113 (2024) 年 10 月 01 日

(21)申請案號：108139025

(22)申請日：中華民國 108 (2019) 年 10 月 29 日

(51)Int. Cl. : H01L27/06 (2006.01)

H01L27/088 (2006.01)

H10B10/00 (2023.01)

H10B69/00 (2023.01)

(30)優先權：2018/10/29 美國

62/752,112

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本(72)發明人：利布曼 拉爾斯 LIEBMANN, LARS (US)；史密斯 傑佛瑞 SMITH, JEFFREY
(US)；德維利耶 安東 J DEVILLIERS, ANTON J. (US)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 201810567A

US 9070552B1

審查人員：廖家成

申請專利範圍項數：20 項 圖式數：7 共 39 頁

(54)名稱

三維積體電路及其形成方法

(57)摘要

一種三維積體電路，包括具有基板表面之基板、設置在基板中之電力軌、及設置在基板中並且沿著基板之厚度方向位於電力軌上方之第一半導體元件層體。佈線層體設置在基板中，且第二半導體元件層體設置在基板中並且沿著厚度方向位於佈線層體上方。第二半導體元件層體係在厚度方向上堆疊在第一半導體元件層體上方，使得佈線層體係插設在第一與第二半導體元件層體之間。第一垂直內連線結構向由佈線層體朝下延伸至第一半導體元件層體，以電連接佈線層體至第一半導體元件層體中之元件。第二垂直內連線結構由佈線層體朝上延伸至第二半導體元件層體，以電連接佈線層體至第二半導體元件層體中之元件。

A three-dimensional (3D) integrated circuit (IC) includes a substrate having a substrate surface, a power rail provided in the substrate, and a first tier of semiconductor devices provided in the substrate and positioned over the power rail along a thickness direction of the substrate. A wiring tier is provided in the substrate, and a second tier of semiconductor devices is provided in the substrate and positioned over the wiring tier along the thickness direction. The second tier of semiconductor devices is stacked on the first tier of semiconductor devices in the thickness direction such that the wiring tier is interposed between the first and second tiers of semiconductor devices. A first vertical interconnect structure extends downward from the wiring tier to the first tier of semiconductor devices to electrically connect the wiring tier to a device within the first tier of semiconductor devices. A second vertical interconnect structure extends upward from the wiring tier to the second tier of semiconductor devices to electrically connect the wiring tier to a device within the second tier of semiconductor devices.

指定代表圖：

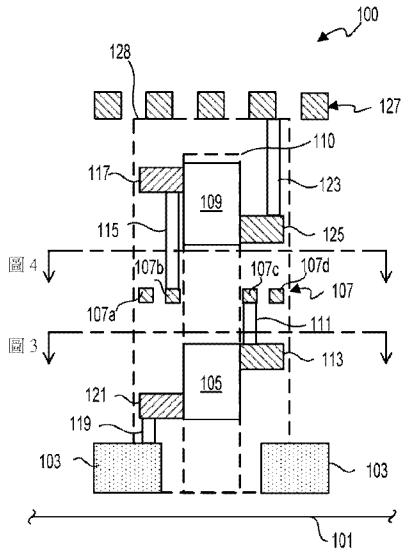


圖 1

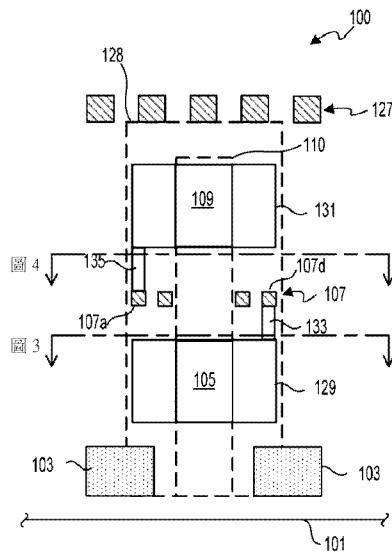


圖 2

符號簡單說明：

- 100:結構
- 101:基板表面
- 103:電力軌
- 105:元件層體
- 107:佈線層體
- 107a~107d:佈線軌道
- 109:元件層體
- 110:元件列
- 111:垂直內連線
- 113:水平內連線
- 115:垂直內連線
- 117:水平內連線
- 119:垂直內連線
- 121:水平內連線
- 123:垂直內連線
- 125:水平內連線
- 127:總體佈線層體
- 128:積體電路邊界



公告本

I856983

【發明摘要】

【中文發明名稱】三維積體電路及其形成方法

【英文發明名稱】THREE-DIMENSIONAL INTEGRATED CIRCUIT AND
METHOD OF FORMING THE SAME

【中文】

一種三維積體電路，包括具有基板表面之基板、設置在基板中之電力軌、及設置在基板中並且沿著基板之厚度方向位於電力軌上方之第一半導體元件層體。佈線層體設置在基板中，且第二半導體元件層體設置在基板中並且沿著厚度方向位於佈線層體上方。第二半導體元件層體係在厚度方向上堆疊在第一半導體元件層體上方，使得佈線層體係插設在第一與第二半導體元件層體之間。第一垂直內連線結構向由佈線層體朝下延伸至第一半導體元件層體，以電連接佈線層體至第一半導體元件層體中之元件。第二垂直內連線結構由佈線層體朝上延伸至第二半導體元件層體，以電連接佈線層體至第二半導體元件層體中之元件。

【英文】

A three-dimensional (3D) integrated circuit (IC) includes a substrate having a substrate surface, a power rail provided in the substrate, and a first tier of semiconductor devices provided in the substrate and positioned over the power rail along a thickness direction of the substrate. A wiring tier is provided in the substrate, and a second tier of semiconductor devices is provided in the substrate and positioned over the wiring tier along the thickness direction. The second tier of semiconductor devices is stacked on the first tier of semiconductor devices in the thickness direction

such that the wiring tier is interposed between the first and second tiers of semiconductor devices. A first vertical interconnect structure extends downward from the wiring tier to the first tier of semiconductor devices to electrically connect the wiring tier to a device within the first tier of semiconductor devices. A second vertical interconnect structure extends upward from the wiring tier to the second tier of semiconductor devices to electrically connect the wiring tier to a device within the second tier of semiconductor devices.

【指定代表圖】 圖 1

【代表圖之符號簡單說明】

100:結構

101:基板表面

103:電力軌

105:元件層體

107:佈線層體

107a~107d:佈線軌道

109:元件層體

110:元件列

111:垂直內連線

113:水平內連線

115:垂直內連線

117:水平內連線

119:垂直內連線

121:水平內連線

123:垂直內連線

125:水平內連線

127:總體佈線層體

128:積體電路邊界

【發明說明書】

【中文發明名稱】三維積體電路及其形成方法

【英文發明名稱】THREE-DIMENSIONAL INTEGRATED CIRCUIT AND
METHOD OF FORMING THE SAME

【技術領域】

【0001】本揭示內容關於包括半導體元件、電晶體及積體電路之微電子裝置，包括微製造之方法。

[相關申請案之交互參照]

【0002】本申請案主張於 2018 年 10 月 29 日提出之美國臨時專利申請案第 62/752,112 號之優先權，其完整內容係併入本申請案中之參考資料。

【先前技術】

【0003】本文中提出之先前技術大致上用於呈現本揭示內容之背景。在此先前技術部分中所述之本案發明人之成果範圍、以及不適格做為申請時之先前技術之實施態樣，皆非直接或間接地被承認為對抗本揭示內容之先前技術。

【0004】積體電路被廣泛使用在電子工業中以提供電子裝置，例如智慧型電話、電腦等。積體電路（IC）包括許多半導體元件，例如電晶體，電容器等，它們藉由半導體基板上之佈線而互連。對電子裝置而言，支援更大量複雜功能之更小更快之 IC 之需求不斷增加。此需求已經導致半導體製造工業縮小了基板上之 IC 之面積，同時也提高了 IC 之效能及功率消耗效率。

【0005】在製造半導體 IC（特別是在微觀等級上）時，會執行各種製造處理，例如成膜沉積、蝕刻遮罩產生、圖案化、材料蝕刻及移除、以及摻雜處理。

這些處理被重複執行，以在基板上形成期望的半導體元件成分。在歷史上，利用微製造，已經製造 IC 之電晶體在一平面中，且 IC 之佈線金屬化係形成在主動元件平面上方，因此已經被表徵為二維（2D）電路或 2D 製造。在微縮上之努力已大幅增加在 2D 電路中每單位面積之電晶體數目，已使得異質的功能電路（例如邏輯及記憶體電路）能夠整合至同一半導體基板上。但當微縮進入個位數奈米半導體元件製造節點時，在 2D 微縮上之努力正面臨更大的挑戰。半導體元件製造商已表達了對於電晶體堆疊於彼此之頂部上之三維（3D）半導體電路之需求，以做為 IC 之進一步微縮之另一手段。

【發明內容】

【0006】本文中技術提出一架構，該架構是不同功能電路（例如邏輯及記憶體電路）之真正的單片（monolithic）3D 積體化。技術亦包括用於單片積體式三維元件之整合流程。本文中設計包括將記憶體整合在邏輯堆疊上。技術包括將複數不同的半導體元件整合在彼此之上，而無需將晶圓或基板切片堆疊在彼此之頂部上。

【0007】根據本揭示內容之一態樣，提出一種三維（3D）積體電路（IC）。3D IC 包括具有基板表面之基板、設置在基板中之電力軌、以及設置在基板中並且沿著基板之厚度方向位於電力軌上方之第一半導體元件層體（tier），基板之厚度方向係實質上垂直於基板表面。佈線層體設置在基板中並且沿著厚度方向位於第一半導體元件層體上方。第二半導體元件層體設置在基板中並且沿著厚度方向位於佈線層體上方，第二半導體元件層體係在厚度方向上堆疊在第一半導體元件層體上方，使得佈線層體係插設在第一與第二半導體元件層體之間。第一垂直內連線結構沿著厚度方向由佈線層體朝下延伸至第一半導體元件層體，以電連接佈線層體至第一半導體元件層體中之元件。第二垂直內連線結構沿著厚度方向由

佈線層體朝上延伸至第二半導體元件層體，以電連接佈線層體至第二半導體元件層體中之元件。

【0008】 在本揭示內容之一態樣中，3D IC 之佈線層體可包括二或更多佈線層，該等佈線層沿著基板之厚度方向而設置在彼此上方。

【0009】 在本揭示內容之另一態樣中，第一半導體元件層體包括第一電晶體對，第一電晶體對包括彼此堆疊之 n 型電晶體及 p 型電晶體，第二半導體元件層體包括第二電晶體對，第二電晶體對包括彼此堆疊之 n 型電晶體及 p 型電晶體。此態樣之 3D IC 可提供以交替堆疊位向配置之第一電晶體對以及第二電晶體對。替代地，第一電晶體對可包括第一共用閘極結構，第二電晶體對可包括第二共用閘極結構。

【0010】 在本揭示內容之另一態樣中，在第一及第二半導體元件層體每一者中之複數元件係沿著厚度方向而共線地堆疊，以界定主動元件列，第一及第二垂直內連線係設置在主動元件列之外。在此態樣中，主動元件列可沿著基板之基板表面延伸，以界定基板表面之主動元件區域，且佈線層體可包括複數佈線軌道，複數佈線軌道係實質圍繞基板表面之主動元件區域。此外，複數佈線軌道可包括複數第一佈線軌道，複數第一佈線軌道係設置在主動元件區域之複數源極-汲極區域內並且以實質平行於主動元件區域之複數閘極區域之方式沿著基板表面延伸。複數佈線軌道可更包括複數第二佈線軌道，複數第二佈線軌道係以實質垂直於主動元件區域之複數閘極區域之方式沿著基板表面延伸。

【0011】 在本揭示內容之其它態樣中，3D IC 可更包括中間電力軌，中間電力軌設置在基板中並且沿著基板之厚度方向位於電力軌上方。

【0012】 在又另一態樣中，3D IC 可包括設置在基板中並且在厚度方向上堆疊在第二半導體元件層體上方之第三半導體元件層體。在此態樣中，中間電力軌設置在基板中並且位於第二半導體元件層體上方，使得中層電力軌係沿著厚度

方向位於第二與第三半導體元件層體之間。此態樣之 3D IC 可更包括第一電力連接結構，沿著厚度方向從電力軌朝上延伸至第一半導體元件層體，以電連接電力軌至第一半導體元件層體內之元件。可提供第二電力連接結構，沿著厚度方向從中間電力軌朝下延伸至第二半導體元件層體，以電連接中間電力軌至第二半導體元件層體內之元件。第三電力連接結構可沿著厚度方向從中間電力軌朝上延伸至第三半導體元件層體，以電連接中間電力軌至第三半導體元件層體內之元件。

【0013】本揭示內容之額外態樣提出，第一半導體元件層體包括第一堆疊式互補場效電晶體對，第一堆疊式互補場效電晶體對共享共用閘極結構，第二半導體元件層體包括第二堆疊式互補場效電晶體對，第二堆疊式互補場效電晶體對共享共用閘極結構。第三半導體元件層體可包括共享共用閘極結構之第三堆疊式互補場效電晶體對、及堆疊在第三堆疊式互補場效電晶體對上方之額外電晶體。第一、第二及第三堆疊式互補場效電晶體對係相對於彼此而堆疊。根據此態樣，第一堆疊式互補場效電晶體對具有 n 在 p 上位向，第二堆疊式互補場效電晶體對具有 p 在 n 上位向，第三堆疊式互補場效電晶體對具有 n 在 p 上位向。第三半導體元件層體可更包括 n 型場效電晶體，該 n 型場效電晶體係堆疊在第三堆疊式互補場效電晶體對上方。又一態樣提出，第一半導體元件層體包括第一邏輯電路，第二半導體元件層體包括第二邏輯電路，第三半導體元件層體包括記憶體電路。在一示例性 IC 中，第一邏輯電路係及或非（And-Or-Invert, AOI）電路，第二邏輯電路係互斥或（Exclusive-Or, XOR）電路，記憶體電路係 SRAM 電路。

【0014】根據本揭示內容之另一態樣，提出一種三維積體電路之形成方法。該方法包括：提供具有工作表面之基板、形成電力軌在表面上方、形成第一半導體元件層體在表面上方且在電力軌上方、及形成佈線層體在表面上方且在第一半導體元件層體上方。第二半導體元件層體係形成在表面上方在佈線層體上方、並且堆疊在第一半導體元件層體上方，使得佈線層體係插設在第一與第二半導體元

件層體之間。第一垂直內連線結構係形成為由佈線層體朝下延伸至第一半導體元件層體，以電連接佈線層體至第一半導體元件層體內之元件。第二垂直內連線結構係形成為由佈線層體朝上延伸至第二半導體元件層體，以電連接佈線層體至第二半導體元件層體內之元件。該等形成步驟每一者係在一連續製程流程內實施，以形成 3D IC。此態樣可提供第一及第二半導體元件層體為不同於彼此之操作電路。

【0015】 應當注意，本文中所述之製造步驟之順序係為了清楚說明之目的而呈現。整體而言，這些製造步驟可以任何合適的順序進行。此外，雖然本文中不同特徵、技術、配置等之每一者可能是在本揭示內容之不同處加以討論，但應當注意，每一概念可彼此獨立執行或彼此結合執行。據此，本揭示內容可以許多不同方式實現與檢視。

【0016】 應當注意，此發明內容部分並未明確說明本揭露內容或所請發明之每一實施例及/或漸增的新穎態樣。反之，此發明內容僅提供不同實施例及勝過習知技術之相應新穎處之初步討論。對於本發明及實施例之附加細節及/或可能觀點，可參見以下進一步討論之本揭示內容之實施方式部分及對應圖式。

【圖式簡單說明】

【0017】 根據以下的實施方式並結合附圖，可最佳地理解本揭示內容之態樣。應當注意，根據工業中之標準實務，各種特徵並未按比例繪製。實際上，為了清楚討論，可能任意地放大或縮小各種特徵之尺寸。

【0018】 圖 1 為根據本揭示內容之實施例，表示 3D IC 之源極-汲極平面之垂直截面圖。

【0019】 圖 2 為根據本揭示內容之實施例，表示圖 1 之 3D IC 之閘極平面之垂直截面圖。

【0020】圖 3 為根據本揭示內容之實施例，在圖 1 及 2 中之結構之水平截面之俯視平面圖。

【0021】圖 4 為根據本揭示內容之實施例，在圖 1 及 2 中之結構之另一水平截面之俯視平面圖。

【0022】圖 5 為根據本揭示內容之實施例，表示另一 3D IC 之源極-汲極平面之垂直截面圖。

【0023】圖 6 為根據本揭示內容之實施例，表示圖 5 之 3D IC 之閘極平面之垂直截面圖。

【0024】圖 7 為根據本揭示內容之實施例，在圖 5 及 6 中之結構之水平截面之俯視平面圖。

【0025】圖 8 為根據本揭示內容之實施例，在圖 5 及 6 中之結構之另一水平截面之俯視平面圖。

【實施方式】

【0026】以下揭示內容提供許多不同實施例或範例，用以實施所述標的之不同特徵。構件及配置之特定範例描述如下，以簡化本揭示內容。當然，這些僅為範例，而非受限於此。此外，在本揭示內容之各種範例中，元件符號及/或字母可能重複。此重複是為了簡化與清晰之目的，其本身並非限定所討論的各種實施例及/或配置之間之關係。

【0027】再者，為了方便說明，在本文中可能使用空間相對用語，例如「下方」、「之下」、「下部」、「之上」、「上部」等，以描述圖中所示之一元件或特徵與另一元件或特徵之間之關係。這些空間相對用語之用意為，除了圖中所示之方向外，在使用或操作中更包括設備之不同方向。設備可以其它方式定向(轉 90 度或其它方向)，且本文中所使用之空間相對用語可據此作類似解釋。

【0028】 整篇說明書中提到的「一實施例」或「實施例」表示關於該實施例所描述之特定特徵、結構、材料、或特性係包含於至少一實施例中，但不代表其存在每一實施例中。因此，在說明書不同地方出現「在一實施例中」用語時，未必指同一實施例。再者，特定特徵、結構、材料或特性可在一或更多實施例中以任何合適方式結合。

【0029】 如同先前技術中所述，在習知的 2D 微縮之外，半導體元件製造商已表達了對於電晶體堆疊於彼此之頂部上之三維（3D）半導體電路之需求，以做為 IC 微縮之另一手段。3D 積體化，亦即，半導體元件之垂直堆疊，旨在藉由在體積上而不是在面積上增加電晶體密度來克服 2D 微縮限制。雖然採用 3D NAND 之快閃記憶體工業已經成功地證明並實現了元件堆疊，但是將其應用於隨機邏輯設計是更為困難的。目前主要藉由兩種方案來實現邏輯晶片（例如 CPU（中央處理單元）、GPU（圖形處理單元）、FPGA（現場可編程閘陣列）及 SoC（單晶片系統））之 3D 積體化：一種方案是異質堆疊，另一種方案更多是同質堆疊。

【0030】 在 IMEC PTW Spring 2018 中，Anne VanDooren 之「Process Integration Aspects enabling 3D sequential stacked planar and FINfet Technology」揭示了使用晶圓/晶片堆疊以及直通矽穿孔（TSV）技術之異質 3D 積體化之範例。在此 3D 積體化方案中，每一晶片都針對不同的特定任務而進行了設計及製造上之優化。然後，藉由高效的封裝技術將分別製造的晶片結合在一起，以建構堆疊式 SoC。有關異質積體化方法之詳細內容，請參見 2019 年 10 月發布之「Heterogeneous Integration Roadmap, 2019 Edition」，網址為 eps.iee.org/hir。

【0031】 在 2014 年 4 月之 2014 Intl. Workshop on Data-Abundant System Technology 中，Brian Cronquist 及 Zvi Or-Bach 之「Monolithic 3D IC: The Time is Now」揭示了同質堆疊方法之範例。此方案採用晶圓接合處理，以克服在晶片堆

疊中所使用之微米級 TSV 相關之密度損失。利用接合方案，可以對基底晶圓進行處理以形成元件及數層的金屬化佈線。然後，將薄化的 SoI（絕緣體上矽）層放置在基底晶圓之頂部上並與其接合。相較於上述晶片堆疊異質方案，這種晶圓接合方法所需穿孔之尺寸明顯較小（ ~ 100 nm 節距），因此可實現更好的層間連接。然而，本案發明人認為，此方案不是真正的單片積體化，因為是將分別進行處理的晶圓或晶圓切片堆疊在彼此之頂部上。因此，晶圓接合方法無法為半導體製造提供真正的微縮解決方案。此外，與此晶圓接合處理相關之製程複雜性及成本開銷未達到與真正的單片 3D 積體化相關之微縮目標。

【0032】 本文中所揭示之技術提供了半導體元件（例如邏輯及記憶體）之真正的單片 3D 積體化。因為設計包括以一連續的處理流程而建構之垂直積體化的多層邏輯及記憶體，且該處理流程係藉由將所有主動元件疊置在單一系列中而實現，所以提供了單片 3D 積體化。這種真正的柱狀製造可降低製造成本（因為僅有單一晶圓處理）並且提高密度（在整個積體化堆疊中使用自對準及完全對準的通孔）。

【0033】 圖 1 是根據本揭示內容之實施例，表示 3D IC 之源極-汲極平面之垂直截面圖。如圖所示，結構 100 包括設置在基板中之電力軌 103，其可與輸送至 3D IC 之低電壓（VSS）及高電壓（VDD）電力輸送相連接。電力軌 103 可被視為「埋入式電力軌」，因為它們位於主動元件平面之下方。下部半導體元件層體 105 設置在基板中，並且沿著基板之厚度方向（實質垂直於基板表面 101）在電力軌 103 上方。下部元件層體可包括一或更多半導體元件（例如場效電晶體（FET）），其形成功能電路（例如邏輯電路或記憶體電路）。此外，FET 可為 n 型或 p 型 FET，其沿著基板表面配置或沿著基板之厚度方向垂直地彼此堆疊。

【0034】 佈線層體 107 設置在基板中並且位於下部半導體元件層體 105 之上方。佈線層體 107 包括一或更多佈線層，每一佈線層包括在沿著基板表面 101

之方向上延伸之一或更多佈線軌道。通常，在一佈線層中之佈線軌道之延伸方向將垂直於相鄰佈線層中之佈線軌道之方向，如以下之進一步討論。在圖 1 之實施例中，佈線層體 107 包括具有四佈線軌道 107a、107b、107c 及 107d 之單一佈線層，四佈線軌道之延伸方向係垂直於沿著基板表面之南北方向（亦即，垂直於紙面）。

【0035】結構 100 亦包括上部半導體元件層體 109，沿著厚度方向位於佈線層體 107 之上。如同下部層體，上部元件層體可包括一或更多半導體元件，例如橫向配置或彼此堆疊之 n 型或 p 型 FET，以形成功能電路。在一些實施例中，下部層體 105 及上部層體 109 實現不同的功能電路。如圖 1 所示，上部半導體元件層體 109 在厚度方向上堆疊在下部半導體元件層體 105 上，使得佈線層體 107 介於下部與上部半導體元件層體之間。在圖 1 中，元件層體 105 及 109 係描繪為在垂直方向上共線對準、在元件列 110 內。然而，熟悉此項技藝者應了解，由於製造處理之變異性、微影解析度之限制、圖案定位誤差等，這些堆疊的層體可能未完全對準。

【0036】藉由局部內連線，例如垂直及水平內連線，佈線層體 107 中之佈線軌道係電連接至下部元件層體及上部元件層體內之元件。圖 1 旨在描繪在 IC 之各別層體內、具有橫向配置的源極、汲極及通道區域之 FET 元件之源極-汲極區域。因此，圖 1 並非橫斷在第一層體及第二層體每一者中之 FET 之單一源極-汲極區域之平面之真實橫截面，而是提供了在實際的物理元件中會佔據不同的垂直平面之 FET 之兩個源極-汲極區域之代表性視圖。在圖 1 之實施例中，第一垂直內連線 111 將佈線層體 107 電連接至第一半導體元件層體 105。具體而言，垂直內連線 111 具有連接至佈線層體 107 之佈線軌道 107c 之第一端，並且沿著基板厚度方向而向下延伸。垂直內連線 111 之第二端連接至水平內連線 113，水平內連線 113 連接至下部元件層體 105 內之元件之源極-汲極區域。因此，垂直內

連線 111 做為連接至佈線軌道 107c 之源極-汲極接觸點，佈線軌道 107c 可經由其它局部內連線結構而接線至結構 100 內之另一元件。

【0037】 第二垂直內連線 115 將佈線層體 107 電連接至上部半導體元件層體 109。在所示的範例中，垂直內連線 115 具有連接至佈線層體 107 之佈線軌道 107b 之第一端，並且沿著基板厚度方向而向上延伸。垂直內連線結構 115 之第二端連接至水平內連線結構 117，水平內連線結構 117 連接至上部元件層體 109 內之元件之 SD 區域。因此，垂直內連線 115 做為連接至佈線軌道 107b 之源極-汲極接觸點，佈線軌道 107b 可經由其它局部內連線結構而接線至結構 100 內之另一元件。

【0038】 可基於特定電路設計及功能所需之電連接而使用其它局部內連線結構。例如，電力軌 103 經由垂直內連線 119 及水平內連線 121 而電連接至下部層體 105 中之元件，水平內連線 121 連接至下部元件層體 105 內之元件之 SD 區域。因此，垂直內連線 119 做為電力接觸點，用於輸送電力至下部元件層體。類似地，上部層體 109 中之元件經由水平內連線 125 及垂直內連線 123 而連接至總體佈線層體 127 內之總體佈線。雖然未顯示在圖 1 中，但是電力接觸點可用於將上部層體 109 中之元件與電力軌 103、與總體佈線層體 127 處之上部電力軌、或與中間電力軌連接，如下所述。此外，當佈線層體 107 包括複數佈線層時，可使用通孔將佈線軌道彼此連接。

【0039】 圖 2 是根據本揭示內容之實施例，表示圖 1 之 3D IC 之閘極平面之垂直截面圖。結構 100 表示具有大致平坦的基板表面 101 之單片半導體基板之一部分。圖 2 是橫斷堆疊的半導體元件層體之閘極軌道之橫截面。如熟悉此項技藝者所能了解，圖 2 中之閘極部分係位於在圖 1 所示之 IC 之橫向隔開的源極-汲極區域之間之平面中。如圖 2 所示，結構 100 包括與第一半導體元件層體 105 相關之第一閘極區域 129、以及與第二半導體元件層體相關之第二閘極區域 131。

閘極區域 129 及 131 每一者可為導電的環繞式閘極 (GAA) 結構，其圍繞與各別層體內之元件相關之一或更多通道區域。GAA 結構可為在一層體內用於兩個半導體元件之共用閘極結構，如以下之進一步討論。

【0040】根據本揭示內容之實施例，佈線層體 107 可電連接至第一及第二層體 105 及 109 內之元件之閘極。例如，垂直內連線 133 將佈線層體 107 之佈線軌道 107d 電連接至閘極區域 129，垂直內連線 135 將佈線層體 107 之佈線軌道 107a 電連接至閘極區域 131。因此，垂直內連線 133 及 135 提供用於佈線軌道 107a 及 107d 之閘極接觸點，佈線軌道 107a 及 107d 可經由其它局部內連線結構而接線至結構 100 內之另一元件。

【0041】使用以上所討論之佈線層體及局部內連線，使得下部層體 105 中之一或更多元件能夠連接至上部層體 109 中之一或更多元件，以提供由圖 1 及 2 中之 IC 邊界 128 所表示之單片 3D IC。如上所述，一層體內之半導體元件可沿著基板表面而橫向配置。在一些實施例中，元件層體可包括沿著半導體表面橫向重複之二或更多半導體元件，以形成可具有習知的平面單元佈局之功能電路或單元。圖 3 及 4 提供了圖 1 及 2 之 IC 之平面圖，但是更包括在一層體內之重複的元件，其沿著基板表面 101 之方向橫向地擴大 IC 邊界 128。

【0042】根據本揭示內容之實施例，圖 3 是圖 1 及 2 中之結構之水平截面之俯視平面圖。如圖 3 所示，IC 128 之佈局可包括沿著基板之東西方向與複數閘極軌道 (G1、G2...) 交替配置之複數源極-汲極軌道 (SD1、SD2、SD3...)。如熟悉此項技藝者所知，這些交替的 SD 與 G 區域在基板之東西方向上形成半導體元件陣列。如圖 1 及 2 中之橫截面標線所示，在圖 3 中通過做為下部層體 105 中之元件之 SD 接觸點之垂直內連線 111、以及通過做為下部層體 105 之閘極結構之閘極接觸點之垂直內連線 133 而切開截面。因此，在圖 3 中，垂直內連線 111 係顯示在 SD1 軌道中以著陸在水平內連線 113 上，水平內連線 113 連接至下

部元件層體 105 內之元件之 SD 區域。圖 3 之 SD1 軌道亦顯示出水平內連線 121，其具有由垂直內連線 119 提供之下方電力接觸點，垂直內連線 119 著陸在電力軌 103 上。類似地，圖 3 之軌道 G1 顯示出，垂直內連線 133 著陸在閘極區域 129 上。根據需要，可在額外的 SD 及 G 軌道上使用額外的示例性電力接觸點（PC）、SD 接觸點（SDC）及閘極接觸點（GC），以形成完整的功能電路或單元，如圖 3 所示。亦顯示出相鄰的單元 228、328 及 428 之部分，以描繪單元在整個基板上之重複狀態。

【0043】根據本揭示內容之實施例，圖 4 是圖 1 及 2 中之結構之另一水平截面之俯視平面圖。如圖 1 及 2 中之橫截面標線所示，在圖 4 中通過做為上部層體 109 中之元件之 SD 接觸點之垂直內連線 115、以及通過做為上部層體 109 之閘極結構之閘極接觸點之垂直內連線 135 而切開截面。因此，圖 4 中之 SD1 軌道包括著陸在佈線軌道 107b 上之垂直內連線 115，並且也顯示出佈線軌道 107a、107c 及 107d 沒有任何與上部元件層體 109 之 SD 區域之連接。類似地，圖 4 之軌道 G1 顯示出，垂直內連線 135 著陸在佈線軌道 107a 上，而佈線軌道 107b、107c 及 107d 不具有任何上部元件層體 109 之閘極區域。圖 4 中未顯示在佈線層體 107 下方之元件。根據需要，可在額外的 SD 及 G 軌道上使用額外的示例性電力接觸點（PC）、SD 接觸點（SDC）及閘極接觸點（GC），以形成完整的功能電路或單元，如圖 3 所示。

【0044】因此，本文中之技術提供了半導體元件之真正的單片積體化，因為設計包括以一連續的處理流程而建構、具有不同功能類型之垂直積體化的多層元件，且該處理流程係藉由將所有主動元件疊置在單一系列中而實現。這樣的真正的柱狀製造降低了製造成本（因為僅進行單一品圓處理），並且提高了密度（在整個積體化堆疊中使用自對準及完全對準的通孔）。可將更多的電晶體及閘極佈線夾設（放置）在元件層體之間，以促進沒有 MIV（單片層間通孔）之有效接

線。此態樣有助於電晶體至電晶體以及閘極至閘極之接線。這樣的佈線是更有效的（亦即，短的佈線長度、較淺的通孔、低 RC），並提供了從兩個元件層級至佈線平面之通道，以改善電晶體至電晶體以及閘極至閘極之佈線。

【0045】如上所述，半導體元件之每一層體可包括垂直堆疊的半導體元件及/或橫向配置的半導體元件，其互相連接以形成功能電路或單元。在一些實施例中，每一層體包括彼此疊置之二或更多半導體元件之堆疊，且這樣的堆疊沿著基板表面而橫向重複，以形成用於實現功能電路（例如，邏輯電路或記憶體電路）之複雜的單元。可將實現功能單元之這樣的層體本身堆疊起來，以形成複雜的單片 3D IC，從而提供類似於習知的平面 SOC 之異質功能化。一範例可包括用於實現 AOI 單元之下部層體、用於實現 XOR 單元之中間層體、以及用於實現 SRAM 單元之上部層體。

【0046】圖 5 是呈現根據本揭示內容之實施例之具有三層體之 3D IC 之源極-汲極平面之垂直截面圖。結構 500 描繪出具有大致平坦的基板表面 501 之單片半導體基板之一部分。如圖所示，結構 500 包括埋入式電力軌 503a 及電力軌 503b，電力軌 503a 做為供電至 n 型電晶體之 VSS，電力軌 503b 做為供電至 p 型電晶體之 VDD。第一電晶體層體包括各別 p 型及 n 型元件之 SD 區域 505P 及 SD 區域 505N，第二層體包括各別 p 型及 n 型元件之 SD 區域 507N 及 SD 區域 507P，頂部層體包括元件之 SD 區域 509P，元件之 SD 區域 509N 及元件之 SD 區域 511N。因此，下部層體及中間層體每一者包括兩個堆疊的電晶體，而上部層體包括三個堆疊的電晶體。

【0047】如圖 5 所示，該等電晶體之 SD 區域係共線地堆疊在結構之主動元件列 512 內。每一層體中之堆疊的電晶體可形成電晶體對，電晶體對包括彼此堆疊以形成互補電晶體對之 n 型電晶體及 p 型電晶體。在圖 5 之實施例中，SD 區域 505P 及 505N 形成互補對，SD 區域 507N 及 507P 形成互補對，且 SD 區域

509P 及 509N 形成另一互補對。SD 區域 511P 是單一電晶體之部分，在其層體內沒有互補物。如圖所示，堆疊的電晶體對係藉由電晶體之摻雜類型、以交替的堆疊位向而加以配置。在圖 5 之實施例中，SD 區域 505P 是 p 型電晶體之一部分，而其互補物 505N 是 n 型電晶體。類似地，SD 區域 507N 是 n 型，且其互補物 507P 是 p 型。最後，SD 區域 509P 是 p 型的，且其互補物 509N 是 n 型。SD 區域 511N 是 n 型電晶體之一部分。此交替的堆疊位向（亦即，n 在 p 上，然後 p 在 n 上）改善了離子植入及功函數沉積效率。相較於使堆疊中之所有元件對維持相同的堆疊順序（n-p n-p），交替位向可改善離子植入及特定類型元件選擇性沉積之製程效率。

【0048】如圖 5 所示，佈線層體包括在基板厚度方向上彼此疊置之五個佈線層 513、515、517、519 及 521。每一佈線層包括多個佈線軌道，該多個佈線軌道在佈線層內大致平行地延伸，並且大致垂直於相鄰層中之佈線軌道，如圖所示。佈線層 513 大致做為下部層體之 M0 金屬層，並且包括在東西方向（亦即，垂直於紙面）上延伸之四佈線軌道 513a、513b、513c 及 513d。佈線層 515 大致做為下部層體之 M1 金屬層，並且包括沿著南北方向延伸之多個佈線軌道。因此，在圖 5 中僅顯示軌道 515a。類似地，佈線層 521 大致做為中間元件層體之 M0 金屬層，並且包括在東西方向上延伸之四佈線軌道 521a、521b、521c 及 521d，而佈線層 519 大致做為中間層體之 M1 金屬層，並且包括沿著南北方向延伸之多個佈線軌道，僅顯示軌道 519a。佈線層 517 包括在東西方向上延伸之五佈線軌道 517a、517b、517c、517d 及 517e。佈線層 517 大致做為下部及上部層體之 M2 金屬層，並提供與總體佈線層 522 之連接，總體佈線層 522 大致提供在結構 500 之不同單元之間之連接。結構 500 亦包括中間電力軌 523a 及 523b，位於中間元件（507P 及 507N）層體與下部元件（505P 及 505N）層體之間，如圖所示。

【0049】 數個局部內連線根據需要而電連接半導體元件以形成功能電路。具體而言，在下部元件層體中，埋入式電力軌 503b 藉由垂直電力內連線 525 及水平內連線 527 而連接至 SD 區域 505P，且埋入式電力軌 503a 藉由垂直電力內連線 529 及水平內連線 531 而連接至 SD 區域 505N。垂直內連線 533 將 SD 區域 505P 電連接至佈線層 513 中之佈線軌道 513b，且垂直內連線 535 類似地將 SD 區域 505N 連接至佈線層 513 中之佈線軌道 513c。在中間元件層體中，SD 區域 507N 藉由水平內連線 537 及垂直內連線 539 而連接至佈線層 521 之佈線軌道 521c。類似地，SD 區域 507P 藉由水平內連線 541 及垂直內連線 543 而連接至佈線層 521 之佈線軌道 521b。

【0050】 中間電力軌 523b 藉由垂直內連線 545 及水平內連線 541 將電力傳送到 SD 區域 507P，同時亦藉由垂直內連線 547 及水平內連線 549 將電力傳送到上部層體中之 SD 區域 509P。類似地，中間電力軌 523a 藉由垂直內連線 549 及水平內連線 537 將電力傳送到 SD 區域 507N，並且藉由垂直內連線 551 及水平內連線 553 將電力傳送到 SD 區域 509N。亦可看到，垂直內連線 555 將佈線軌道 517e 連接至總體佈線層體之佈線軌道 522a。

【0051】 圖 6 是呈現根據本揭示內容之實施例之圖 5 之 3D IC 之閘極平面之垂直截面圖。圖 6 中之閘極區域截面位於圖 5 所示之元件之源極-汲極平面之後方。如圖中所示，結構 500 包括與下部半導體元件層體相關之閘極區域 557、與中間半導體元件層體相關之閘極區域 567、以及與上部元件層體相關之閘極區域 568。每一閘極區域是由該層體內之互補電晶體共享之共用閘極區域。具體而言，閘極區域 557 是環繞式閘極 (GAA) 結構，其圍繞在下部層體中之元件之通道區域 505P-C 及 509N-C；而閘極區域 567 是 GAA 結構，其圍繞中間層體中之元件之通道區域 507N-C 及 507P-C，如圖所示。閘極區域 568 是環繞式閘極 (GAA) 結構，其圍繞上部層體中之元件之通道區域 509P-C 及 509N-C。通道 511P-C 包

括 GAA 結構 570，其做為由三個堆疊的電晶體之上部層體所實現之 SRAM 電路之傳送閘。

【0052】如圖 6 所示，垂直內連線 559 將佈線層 513 之佈線軌道 513d 電連接至閘極區域 557，且垂直內連線 561 將佈線層 513 之佈線軌道 513a 電連接至閘極區域 557。類似地，垂直內連線 563 將佈線層 521 之佈線軌道 521 電連接至閘極區域 567，且垂直內連線 565 將佈線軌道 521a 電連接至閘極區域 567。

【0053】如上所述，結構 500 之每一元件層體包括垂直堆疊的半導體元件，這樣的堆疊沿著基板表面而橫向重複，以形成用於實現功能電路（例如，記憶體或邏輯電路）之複雜的單元。圖 5 旨在描繪在 IC 之一層體內沿著東西方向彼此橫向配置之複數 FET 元件之數個源極-汲極區域。類似地，圖 6 旨在描繪在 IC 之一層體內沿著東西方向彼此橫向配置之複數 FET 元件之數個閘極或通道區域。因此，圖 5 及 6 並非橫斷 IC 之單一平面之真實橫截面，而是提供了在實際的物理元件中會佔據不同的垂直平面之所有源極-汲極區域及閘極區域之代表性視圖。熟悉此項技藝者將理解，圖 5 中所示之連接至相同的 SD 區域之兩個垂直內連線可能表示連接至不同元件之 SD 區域之不同平面中之垂直內連線。類似地，圖 6 中所示之連接至相同的閘極結構之兩個垂直內連線可能表示連接至不同元件之閘極結構之不同平面中之兩個垂直內連線。

【0054】如上所述，圖 5 及 6 之 3D IC 之一範例提供：用於實現 AOI 邏輯單元之下部層體、用於實現 XOR 邏輯單元之中間層體、以及用於實現 SRAM 單元之上部層體。圖 7 及 8 提供了圖 5 及 6 之 IC 之用於實現 AOI22 邏輯單元之下部層體之平面圖，AOI22 邏輯單元由複數堆疊的互補 FET 元件所形成，其中堆疊的互補 FET 在下部層體內重複，以沿著基板表面 101 方向橫向地擴大下部層體之 IC 邊界 528。具體而言，圖 7 及 8 顯示出沿著元件之西向東方向按順序配置

之 A、B、C 及 D 互補 FET 對。Y 輸出係設置在 AOI22 邏輯單元之 FET B 及 C 之共用 SD 區域處。

【0055】根據本揭示內容之實施例，圖 7 是圖 5 及 6 中之結構之水平截面之俯視平面圖。如圖 5 及 6 中之橫截面標線所示，在圖 7 中通過垂直內連線 533、通過元件 505N 之 SD 區域、通過局部內連線 531 以及通過與元件 505N 相關之閘極區域而切開截面。根據本揭示內容之實施例，圖 8 是圖 5 及 6 中之結構之另一水平截面之俯視平面圖。如圖 5 及 6 中之橫截面所示，在圖 8 中通過佈線軌道 515a 而切開截面。熟悉此項技藝者將理解，G1、G2、G3 及 G4 軌道為 AOI 單元之 A、B、C 及 D 互補 FET 元件提供閘極輸入。此外，SD1 及 SD5 軌道分別為 A 及 D FET 元件提供分離的 SD 區域，而 SD2-SD4 軌道為 AOI22 單元之所有 FET 元件提供共用的 SD 區域。亦即，SD2 為 A 及 B FET 元件提供共用的 SD 區域，SD3 為 B 及 C FET 元件提供共用的 SD 區域，SD4 為 C 及 D FET 元件提供共用的 SD 區域。SD3 軌道為 AOI22 單元額外提供了 Y 輸出。

【0056】利用這種佈局理解，從圖 7 及 8 可以看出，AOI22 單元之軌道 SD1 包括垂直內連線 533，垂直內連線 533 著陸在局部內連線 527 上，如圖 7 所示。內連線 533 提供從 AOI 電晶體 A 之 p-FET 部分 505P 向上延伸到 M0 層中之佈線軌道 513b 之 SD 接觸點，如圖 8 所示。軌道 SD1 亦顯示出垂直內連線 529，垂直內連線 529 從局部內連線 531 向下延伸至電力軌 503a，以提供 VSS 電力接觸點至 AOI 電晶體 A 之 n-FET 部分，如圖 7 所示。圖 8 中之接觸點 525 表示 AOI 單元之 M0 層中之佈線軌道 515a 至 M1 層之短通孔連接。

【0057】從圖 7 及 8 亦可看到，軌道 G1 包括垂直內連線 561，垂直內連線 561 向下延伸到閘極區域 557，以提供共用閘極接觸點給 AOI 電晶體 A 之 n-FET 及 p-FET 部分。垂直內連線 561 更向上延伸以與佈線軌道 513a 接觸，以提供閘極輸入給 AOI 元件 A，如圖 8 中所示。圖 7 及 8 中顯示額外的源極-汲極接觸點

SDC、電力接觸點 PC、閘極接觸點 GC 及通孔 V，以提供在 AOI22 單元之 A、B、C 及 D 互補 FET 元件之間之電連接。

【0058】本文中示例性結構及設計包括二邏輯層體，其中四個橫向環繞式閘極元件以相反的堆疊順序（在此非限制性範例中，n 在 p 上，然後上方為 p 在 n 上）堆疊成互補對。有一層體/層專用於 SRAM，其中三個橫向環繞式閘極元件配置為 2 在 1 上（顯示為兩個 n 型在一個 p 型上，但可選擇為兩個 p 在一個 n 上）。複數元件係共線地堆疊，能夠實現單片製造。電力軌係實施為一 VDD/VSS 組在元件平面下方之埋入式電力軌中，且輔助 VDD/VSS 設置在頂部邏輯層體與 SRAM 層體之間之空間中。

【0059】實施例包括一或更多佈線層級，其嵌入在兩個邏輯層體之間。此示例性實施例顯示出五佈線層級，但可根據設計而變化。可安排設計以使中央主動元件區域不受佈線阻礙之影響。設計包括一垂直內連線，從中央佈線層級向下延伸至底部邏輯元件，且向上延伸至頂部邏輯元件層級。週期性的深垂直內連線可用於連接夾設在邏輯層體之間之局部佈線與在元件堆疊上方之總體佈線。

【0060】因此，本文中技術提供了邏輯與記憶體之真正的單片積體化，因為設計包括以一連續的處理流程而建構之垂直積體化的多層邏輯及記憶體，且該處理流程係藉由將所有主動元件疊置在單一系列中而實現。這樣的真正的柱狀製造降低了製造成本（因為僅進行單一晶圓處理），並且提高了密度（在整個積體化堆疊中使用自對準及完全對準的通孔）。

【0061】本文中堆疊式 CFET（互補場效電晶體）具有多層堆疊式互補 FET 對，每一者共享一個共用電晶體閘極。

【0062】堆疊位向可交替（亦即，n 在 p 上，然後 p 在 n 上），以改善離子植入及功函數沉積效率。相較於使堆疊中之所有元件對維持相同的堆疊順序（n-p n-p），交替位向可改善離子植入及特定類型元件選擇性沉積之製程效率。

【0063】電晶體及閘極佈線可被夾設（放置）在元件層級與元件層級之間，以促進沒有 MIV（單片層間通孔）之有效接線。此態樣有助於電晶體至電晶體以及閘極至閘極之佈線。這樣的佈線是更有效的（亦即，短的佈線長度、較淺的通孔、低 RC），並提供了從兩個元件層級至佈線平面之通道，以改善電晶體至電晶體以及閘極至閘極之佈線。

【0064】佈線軌道可圍繞主動元件區域。對於平行於閘極而延伸之佈線，佈線軌道可被限制為在源極-汲極區域中延伸。對於垂直於閘極而延伸之佈線，佈線可越過閘極端蓋（亦即，電晶體閘極之延伸越過主動通道）。此實施例是有益的，因為藉由將佈線軌道最佳化而延伸至主動閘極區域之外，可利用不受週期性佈線所阻礙之一系列蝕刻及沉積製程、由單一單片特徵部製造相應的元件堆疊。

【0065】「埋入式」電力軌具有在邏輯與 SRAM 堆疊之間之重複的電力軌，有助於在整個堆疊中進行有效的電力輸送。埋入式電力軌可設置在最初元件層下方。在元件堆疊下方及邏輯堆疊上方（亦即，在 SRAM 堆疊下方）重複電力軌，確保電力輸送，並改善 IR 壓降及 EM 特性。

【0066】為了有效的佈局規劃使用，可在邏輯之頂部上使用三電晶體 CFET 用於 SRAM（6 電晶體 SRAM 單元之二堆疊）。提供針對與邏輯堆疊積體化之 SRAM 進行最佳化之電晶體堆疊配置（例如兩對 n-n-p 堆疊），不僅允許緊密的 SRAM 設計，而且還有助於從下方的邏輯對於記憶體區塊進行高帶寬、低功率存取。

【0067】於以上敘述中，已提出具體細節，例如處理系統之特定幾何結構及其中所使用之各種構件及處理之描述。然而，應當理解，本文中之技術可實施於背離這些具體細節之其它實施例中，且這樣的細節係用於說明而非用於限制之目的。本文中所揭示之實施例已參考附圖加以描述。類似地，為了說明之目的，

已提出特定數目、材料及配置以提供完整的理解。儘管如此，實施例可在沒有這樣的具體細節下實施。具有實質上相同的功能性結構之元件以類似的參考符號表示，因此可省略任何冗餘的描述。

【0068】 各種技術已描述為多個分離的操作，以助於理解各種實施例。描述的順序不應被解釋為暗示這些操作係必然順序相關的。事實上，這些操作不需以陳述的順序加以執行。所述的操作可以不同於所述實施例之順序來執行。在額外的實施例中，可執行各種額外操作、及/或可省略所述的操作。

【0069】 本文中所使用之「基板」或「目標基板」一般意指根據本發明進行處理之物件。基板可包含元件之任何材料部分或結構，尤其是半導體或其它電子元件，且例如可為基底基板結構，例如半導體晶圓、光罩、或在基底基板結構之上或覆蓋基底基板結構之一層，例如薄膜。因此，基板不限於任何特定的基底結構、底層或覆蓋層、圖案化或未圖案化，而是設想為包括任何這樣的層或基底結構、以及層及/或基底結構之任何組合。描述可能提及特定類型的基板，但此僅用於說明之目的。

【0070】 熟悉此項技藝者亦將了解，可對上述技術之操作做出許多變化，但仍可達到本發明之相同目標。這樣的變化應被本揭露內容之範圍所涵蓋。因此，本發明實施例之以上說明並非限制性的。本發明實施例之任何限制係呈現於下列申請專利範圍中。

【符號說明】

【0071】

100:結構

101:基板表面

103:電力軌

105:元件層體
107:佈線層體
107a~107d:佈線軌道
109:元件層體
110:元件列
111:垂直內連線
113:水平內連線
115:垂直內連線
117:水平內連線
119:垂直內連線
121:水平內連線
123:垂直內連線
125:水平內連線
127:總體佈線層體
128:積體電路（IC）邊界
129: 第一閘極區域
131: 第二閘極區域
133:垂直內連線
135:垂直內連線
228:單元
328:單元
428:單元
500:結構
501:基板表面

503a, 503b:電力軌
505N, 505P:SD區域
505P-C, 505N-C:通道區域
507N, 507P:SD區域
507P-C, 507N-C:通道區域
509N, 509P:SD區域
509P-C, 509N-C:通道區域
511N:SD區域
511N-C:通道
512:主動元件列
513:佈線層
513a~513d:佈線軌道
515:佈線層
515a:佈線軌道
517:佈線層
517a~517e:佈線軌道
519:佈線層
519a:佈線軌道
521:佈線層
521a~521d:佈線軌道
522:總體佈線層
522a:佈線軌道
523a~523b:中間電力軌
525:垂直電力內連線

527:水平內連線

528:積體電路（IC）邊界

529:垂直電力內連線

531:水平內連線

533:垂直內連線

535:垂直內連線

537:水平內連線

539:垂直內連線

541:水平內連線

543:垂直內連線

545:垂直內連線

547:垂直內連線

549:水平內連線

551:垂直內連線

553:水平內連線

555:垂直內連線

557:閘極區域

559:垂直內連線

561:垂直內連線

563:垂直內連線

565:垂直內連線

567:閘極區域

568:閘極區域

570:環繞式閘極結構

G1~G4:閘極軌道

GC:閘極接觸點

PC:電力接觸點

SD1~SD5:源極-汲極軌道

SDC:源極-汲極接觸點

V:通孔

【發明申請專利範圍】

【請求項 1】 一種三維積體電路，包括：

- 一基板，具有一基板表面；
- 一電力軌，設置在該基板中；
- 一第一半導體元件層體，設置在該基板中並且沿著該基板之厚度方向位於該電力軌上方，該基板之該厚度方向係實質上垂直於該基板表面；
- 一佈線層體，設置在該基板中並且沿著該厚度方向位於該第一半導體元件層體上方，該佈線層體包括至少一佈線層，該佈線層包括複數獨立佈線軌道，該複數獨立佈線軌道各在沿著該基板表面的方向上延伸；
- 一第二半導體元件層體，設置在該基板中並且沿著該厚度方向位於該佈線層體上方，該第二半導體元件層體係在該厚度方向上堆疊在該第一半導體元件層體上方，使得該佈線層體係插設在該第一半導體元件層體與該第二半導體元件層體之間；
- 一第一垂直內連線結構，沿著該厚度方向由該複數獨立佈線軌道之第一軌道朝下延伸並進入該第一半導體元件層體，以電連接該第一軌道至該第一半導體元件層體中之一元件；及
- 一第二垂直內連線結構，沿著該厚度方向由該複數獨立佈線軌道之第二軌道朝上延伸並進入該第二半導體元件層體，以電連接該第二軌道至該第二半導體元件層體中之一元件。

【請求項 2】 如請求項 1 之三維積體電路，其中該佈線層體包括複數佈線層，該等佈線層沿著該基板之該厚度方向而設置在彼此上方，該複數佈線層包括該至少一佈線層。

【請求項 3】 如請求項 1 之三維積體電路，更包括一中間電力軌，該中間電力軌設置在該基板中並且沿著該基板之該厚度方向位於該電力軌上方。

【請求項 4】 如請求項 1 之三維積體電路，更包括一第三半導體元件層體，設置在該基板中並且在該厚度方向上堆疊在該第二半導體元件層體上方。

【請求項 5】 如請求項 4 之三維積體電路，更包括一中間電力軌，該中間電力軌設置在該基板中並且位於該第二半導體元件層體上方，使得該中層電力軌係沿著該厚度方向位於該第二半導體元件層體與該第三半導體元件層體之間。

【請求項 6】 如請求項 5 之三維積體電路，更包括：

一第一電力連接結構，沿著該厚度方向從該電力軌朝上延伸至該第一半導體元件層體，以電連接該電力軌至該第一半導體元件層體內之該元件，

一第二電力連接結構，沿著該厚度方向從該中間電力軌朝下延伸至該第二半導體元件層體，以電連接該中間電力軌至該第二半導體元件層體內之該元件，及

一第三電力連接結構，沿著該厚度方向從該中間電力軌朝上延伸至該第三半導體元件層體，以電連接該中間電力軌至該第三半導體元件層體內之一元件。

【請求項 7】 如請求項 4 之三維積體電路，其中：

該第一半導體元件層體包括一第一堆疊式互補場效電晶體對，該第一堆疊式互補場效電晶體對共享一共用閘極結構，

該第二半導體元件層體包括一第二堆疊式互補場效電晶體對，該第二堆疊式互補場效電晶體對共享一共用閘極結構，

該第三半導體元件層體包括：

一第三堆疊式互補場效電晶體對，該第三堆疊式互補場效電晶體對共享一共用閘極結構，及

一額外電晶體，堆疊在該第三堆疊式互補場效電晶體對上方；及
該等第一、第二及第三堆疊式互補場效電晶體對係相對於彼此而堆疊。

【請求項 8】 如請求項 7 之三維積體電路，其中：

該第一堆疊式互補場效電晶體對具有一 n 在 p 上位向，

該第二堆疊式互補場效電晶體對具有一 p 在 n 上位向，及

該第三堆疊式互補場效電晶體對具有一 n 在 p 上位向。

【請求項 9】 如請求項 8 之三維積體電路，其中該第三半導體元件層體更包括一 n 型場效電晶體，該 n 型場效電晶體係堆疊在該第三堆疊式互補場效電晶體對上方。

【請求項 10】 如請求項 9 之三維積體電路，其中：

該第一半導體元件層體包括一第一邏輯電路，

該第二半導體元件層體包括一第二邏輯電路，及

該第三半導體元件層體包括一記憶體電路。

【請求項 11】 如請求項 10 之三維積體電路，其中：

該第一邏輯電路係及或非（And-Or-Invert, AOI）電路，

該第二邏輯電路係互斥或（Exclusive-Or, XOR）電路，及

該記憶體電路係 SRAM 電路。

【請求項 12】 一種三維積體電路，包括：

一基板，具有一基板表面；

一電力軌，設置在該基板中；

一第一半導體元件層體，設置在該基板中並且沿著該基板之厚度方向位於該電力軌上方，該基板之該厚度方向係實質上垂直於該基板表面；

一佈線層體，設置在該基板中並且沿著該厚度方向位於該第一半導體元件層體上方；

一第二半導體元件層體，設置在該基板中並且沿著該厚度方向位於該佈線層體上方，該第二半導體元件層體係在該厚度方向上堆疊在該第一半導體元件層體上方，使得該佈線層體係插設在該第一半導體元件層體與該第二半導體元件層體之間；

一第一垂直內連線結構，沿著該厚度方向由該佈線層體朝下延伸至該第一半導體元件層體，以電連接該佈線層體至該第一半導體元件層體中之一元件；
及

一第二垂直內連線結構，沿著該厚度方向由該佈線層體朝上延伸至該第二半導體元件層體，以電連接該佈線層體至該第二半導體元件層體中之一元件，
其中：

該第一半導體元件層體包括一第一電晶體對，該第一電晶體對包括彼此堆疊之一 n 型電晶體及一 p 型電晶體，及

該第二半導體元件層體包括一第二電晶體對，該第二電晶體對包括彼此堆疊之一 n 型電晶體及一 p 型電晶體。

【請求項 13】 如請求項 12 之三維積體電路，其中該第一電晶體對及該第二電晶體對係配置成一交替堆疊位向。

【請求項 14】如請求項 12 之三維積體電路，其中：

該第一電晶體對更包括一第一共用閘極結構，及
該第二電晶體對更包括一第二共用閘極結構。

【請求項 15】一種三維積體電路，包括：

一基板，具有一基板表面；

一電力軌，設置在該基板中；

一第一半導體元件層體，設置在該基板中並且沿著該基板之厚度方向位於該電力軌上方，該基板之該厚度方向係實質上垂直於該基板表面；

一佈線層體，設置在該基板中並且沿著該厚度方向位於該第一半導體元件層體上方；

一第二半導體元件層體，設置在該基板中並且沿著該厚度方向位於該佈線層體上方，該第二半導體元件層體係在該厚度方向上堆疊在該第一半導體元件層體上方，使得該佈線層體係插設在該第一半導體元件層體與該第二半導體元件層體之間；

一第一垂直內連線結構，沿著該厚度方向由該佈線層體朝下延伸至該第一半導體元件層體，以電連接該佈線層體至該第一半導體元件層體中之一元件；

及

一第二垂直內連線結構，沿著該厚度方向由該佈線層體朝上延伸至該第二半導體元件層體，以電連接該佈線層體至該第二半導體元件層體中之一元件，

其中：

在該第一半導體元件層體及該第二半導體元件層體每一者中之複數元件係沿著該厚度方向而共線地堆疊，以界定一主動元件列，及

該第一垂直內連線及該第二垂直內連線係設置在該主動元件列之外。

【請求項 16】 如請求項 15 之三維積體電路，其中：

該主動元件列沿著該基板之該基板表面延伸，以界定該基板表面之一主動元件區域，及

該佈線層體包括複數佈線軌道，該複數佈線軌道係實質圍繞該基板表面之該主動元件區域。

【請求項 17】 如請求項 16 之三維積體電路，其中該複數佈線軌道包括複數第一佈線軌道，該複數第一佈線軌道係設置在該主動元件區域之複數源極-汲極區域內並且以實質平行於該主動元件區域之複數閘極區域之方式沿著該基板表面延伸。

【請求項 18】 如請求項 17 之三維積體電路，其中該複數佈線軌道更包括複數第二佈線軌道，該複數第二佈線軌道係以實質垂直於該主動元件區域之該等閘極區域之方式沿著該基板表面延伸。

【請求項 19】 一種三維積體電路之形成方法，包括：

提供一基板，該基板具有一工作表面；

形成一電力軌在該表面上方；

形成一第一半導體元件層體在該表面上方且在該電力軌上方；

形成一佈線層體在該表面上方且在該第一半導體元件層體上方；

形成一第二半導體元件層體在該表面上方且在該佈線層體上方，該第二半導體元件層體係堆疊在該第一半導體元件層體上方，使得該佈線層體係插設在該第一半導體元件層體與該第二半導體元件層體之間；

形成一第一垂直內連線結構，該第一垂直內連線結構由該佈線層體朝下延伸至該第一半導體元件層體，以電連接該佈線層體至該第一半導體元件層體內之一元件；及

形成一第二垂直內連線結構，該第二垂直內連線結構由該佈線層體朝上延伸至該第二半導體元件層體，以電連接該佈線層體至該第二半導體元件層體內之一元件，其中該等形成步驟每一者係在一連續製程流程內實施，以形成該三維積體電路。

【請求項 20】 如請求項 19 之三維積體電路之形成方法，其中該第一半導體元件層體及該第二半導體元件層體提供不同於彼此之操作電路。

【發明圖式】

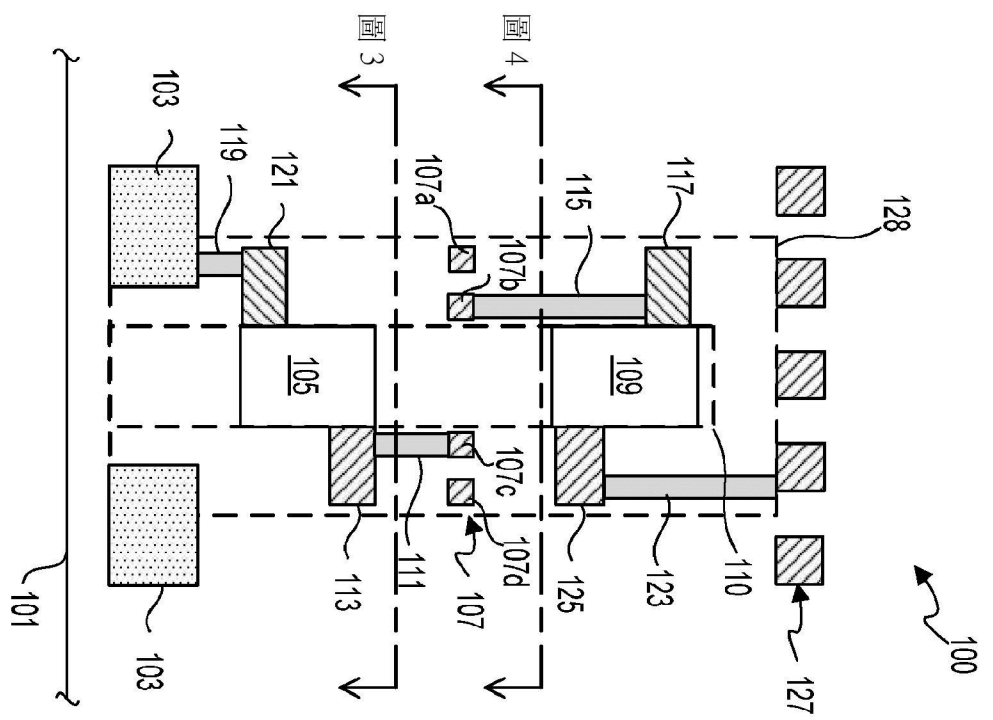
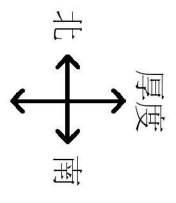


圖 1

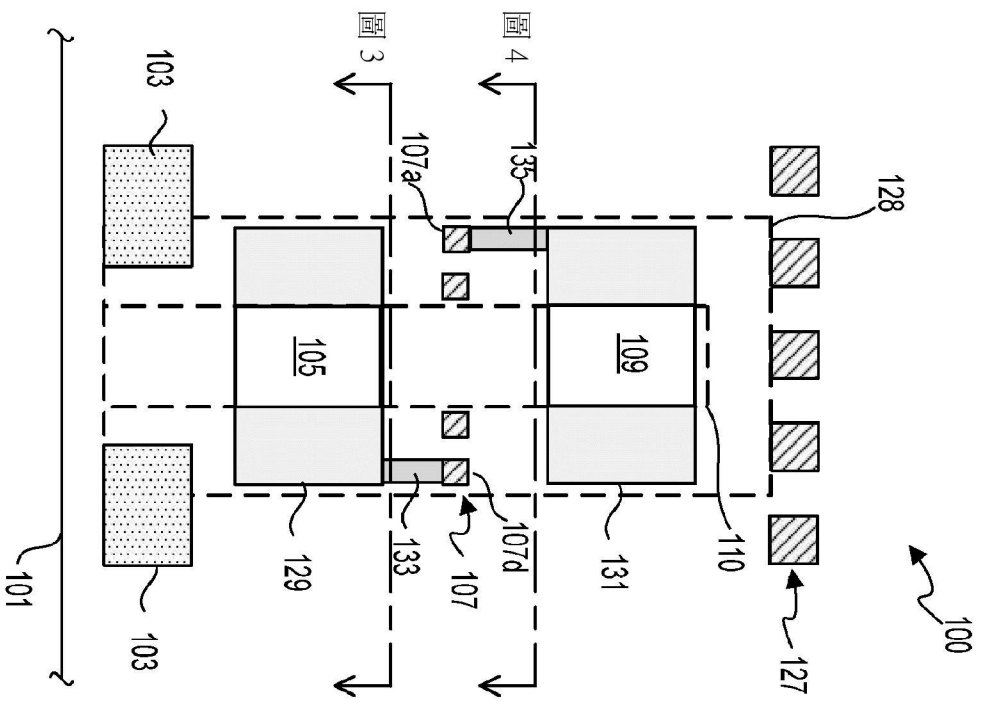


圖 2

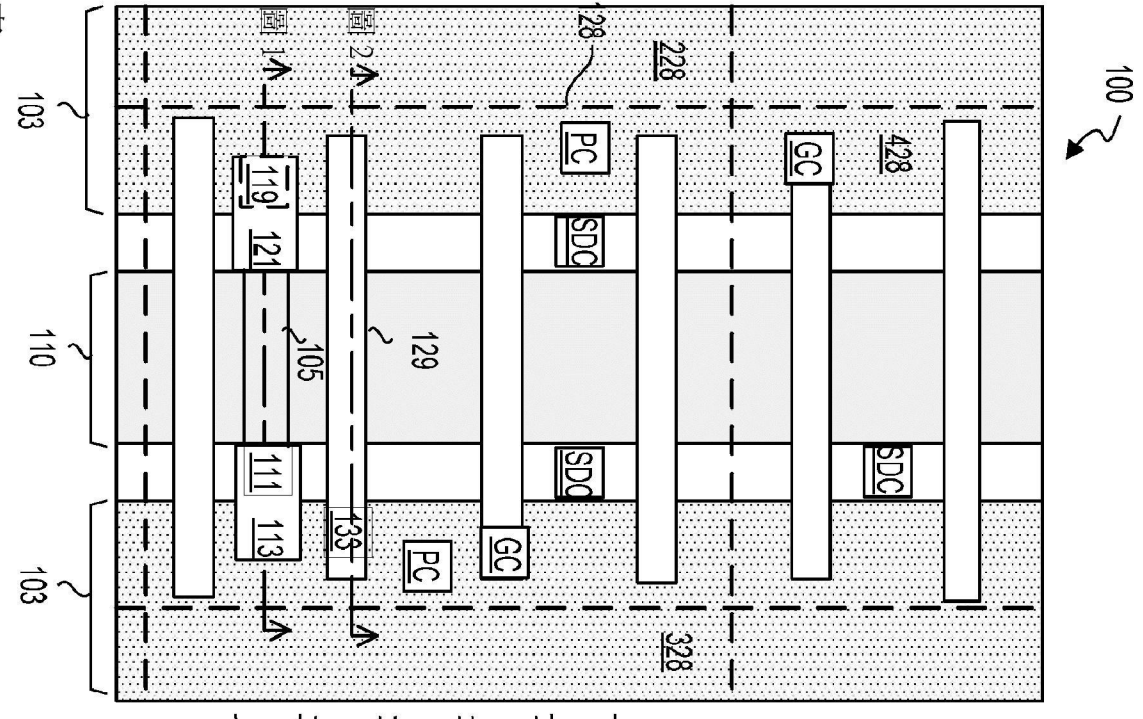
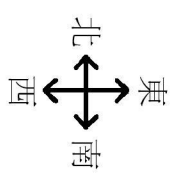


圖 3

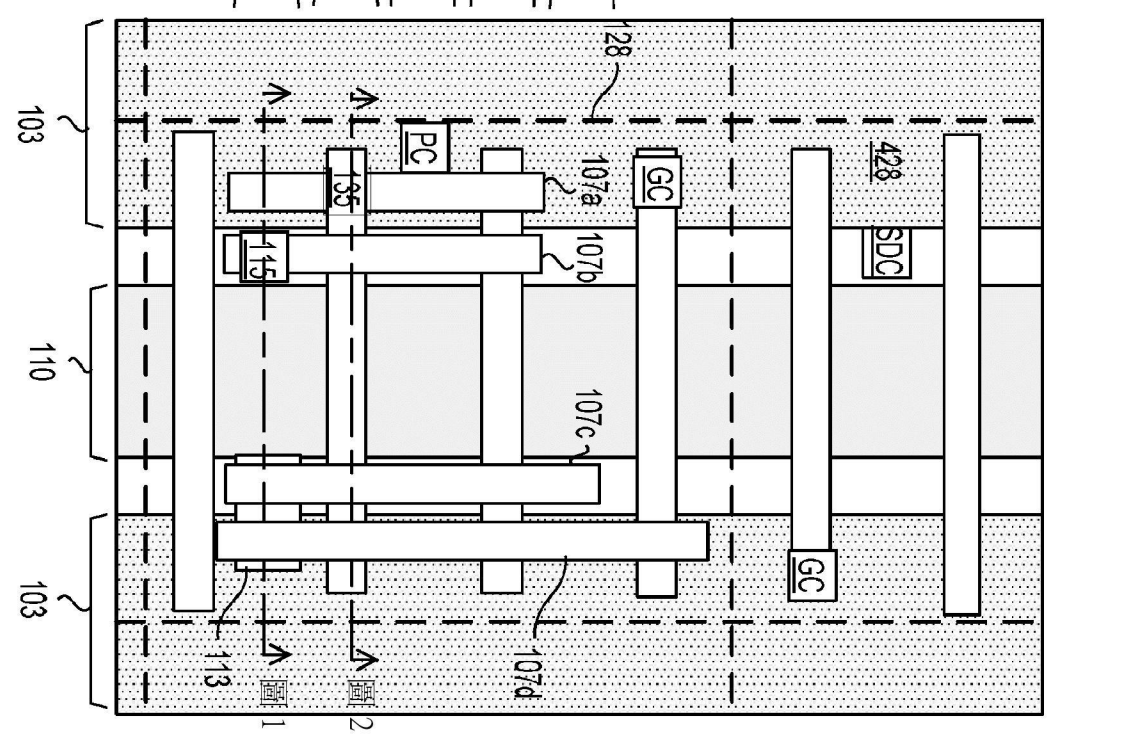
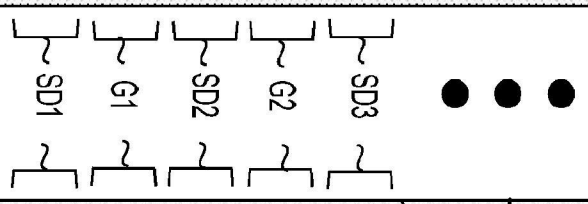


圖 4

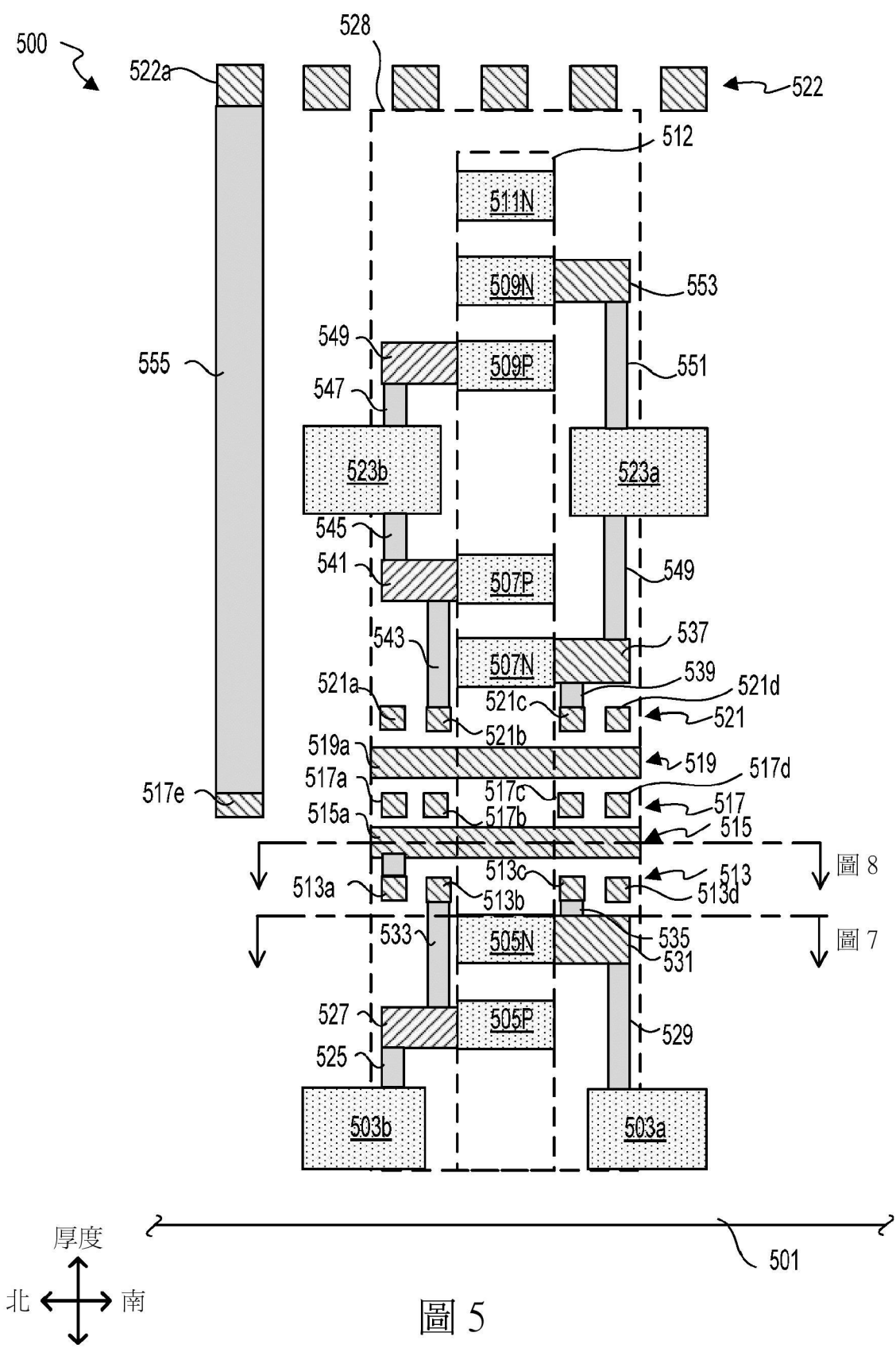


圖 5

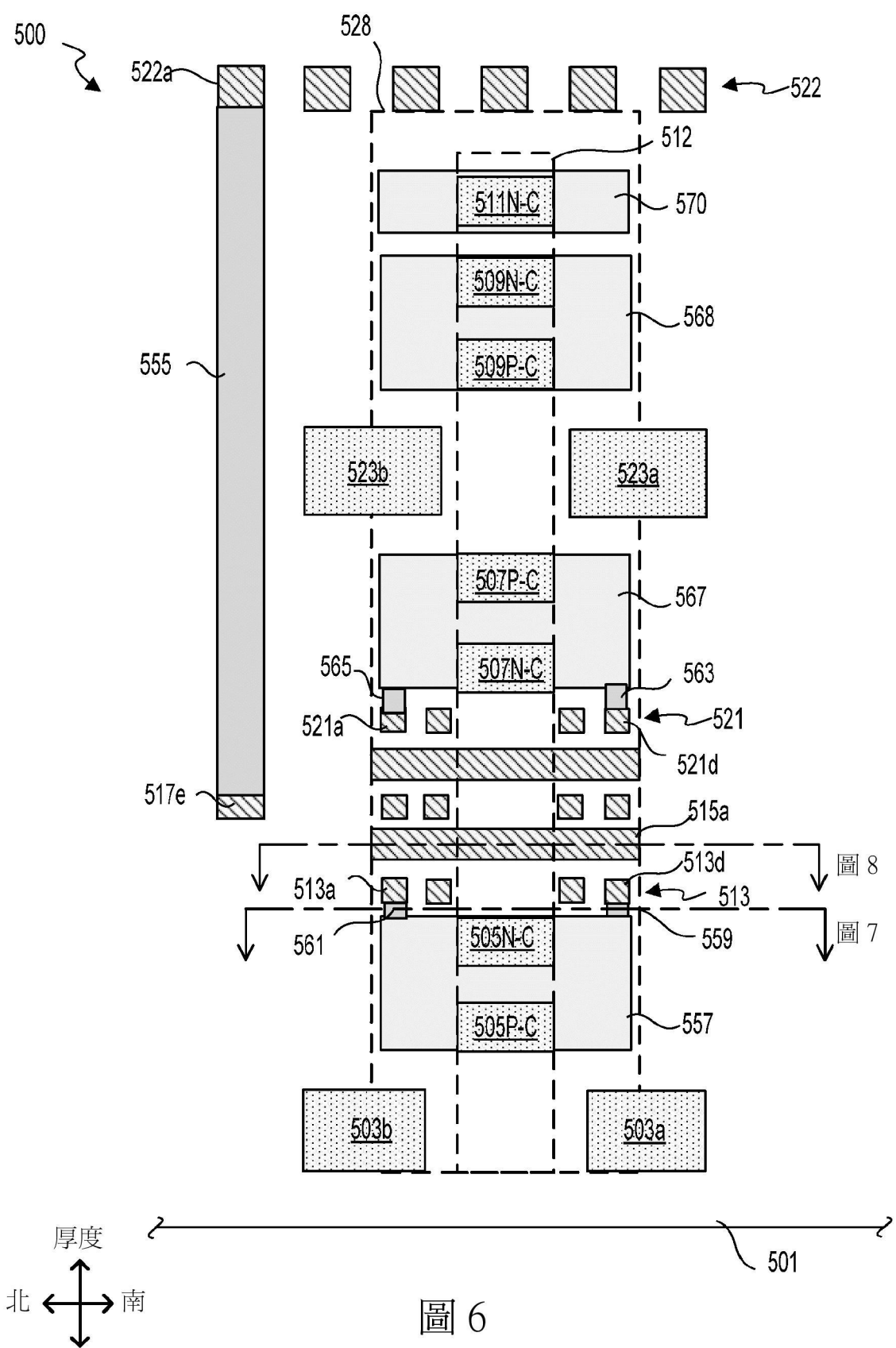


圖 6

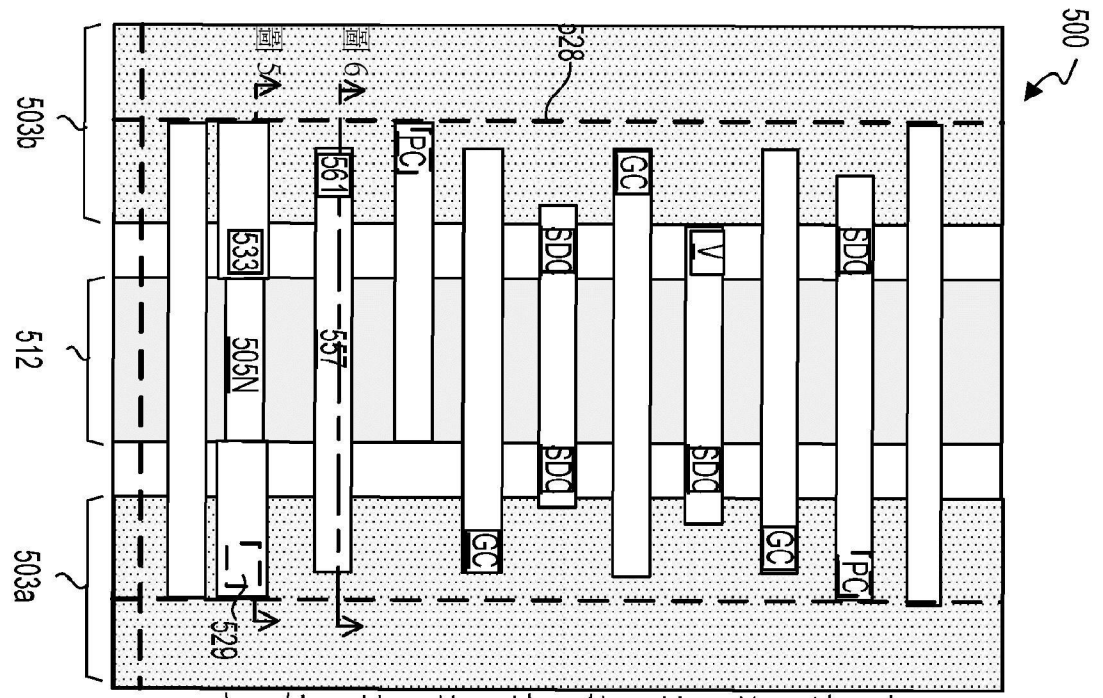
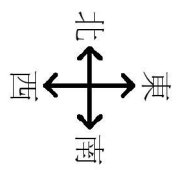


圖 7

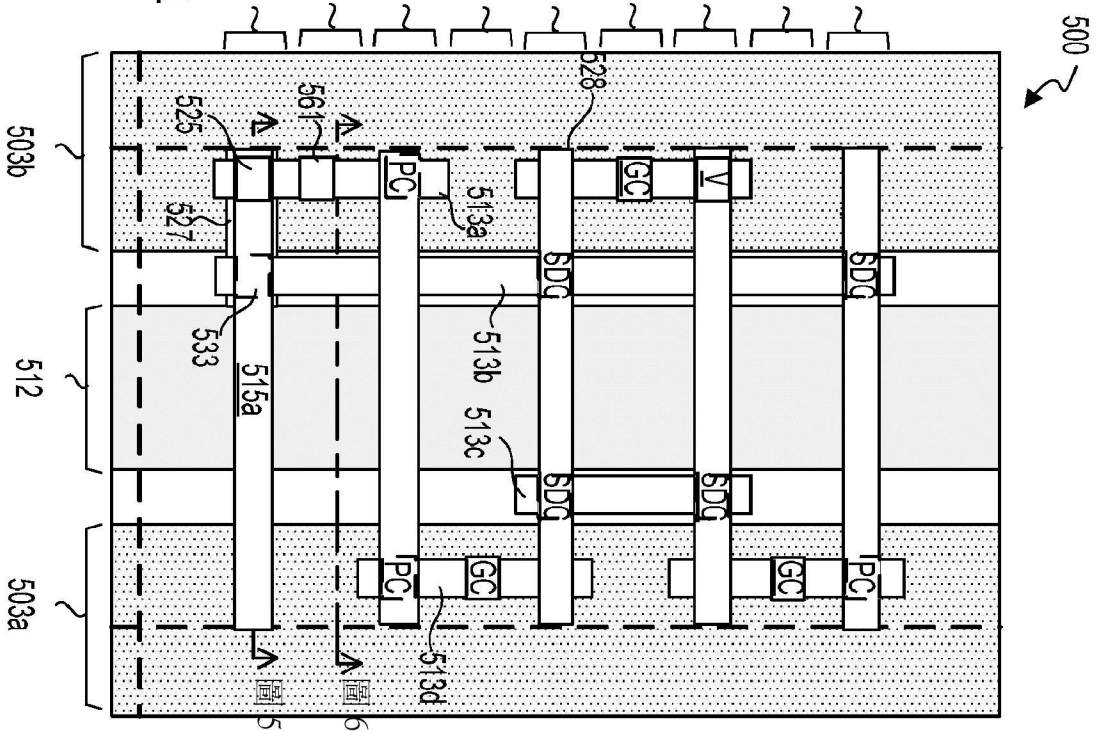


圖 8