



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0011094
(43) 공개일자 2009년02월02일

(51) Int. Cl.⁹

G05F 1/455 (2006.01)

(21) 출원번호 10-2007-0074345

(22) 출원일자 2007년07월25일

심사청구일자 2007년07월25일

(71) 출원인

전북대학교산학협력단

전라북도 전주시 덕진구 덕진동 1가 664-14 본부
별관 3층

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김무영

서울 동대문구 제기2동 187-3 201호

이호규

경기 의왕시 내손1동

(뒷면에 계속)

(74) 대리인

전중학

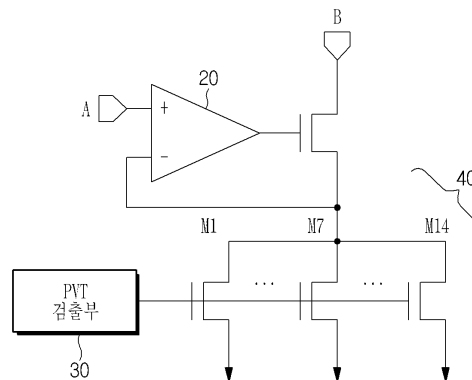
전체 청구항 수 : 총 9 항

(54) 환경 변화에 둔감한 전류원

(57) 요약

본 발명은 공정, 전원 전압 및 온도의 변화에 둔감하고 출력 전압 범위가 넓은 저소비 전력 전류원에 관한 것으로, 이를 위하여 낮은 전원 전압에서도 넓은 출력 범위를 가지면서 외부 환경 변화에 둔감하게 안정적인 전류를 제공함과 아울러, 이러한 환경 변화에 대한 보상을 디지털 방식으로 처리하도록 하여 보상에 필요한 전력 소모를 최대한 억제하여 불필요한 설계 여유로 인한 과도한 전력 낭비를 방지할 수 있는 뛰어난 효과가 있다. 또한, 외부 환경 변화에 대한 변동이 큰 저항을 수동 소자가 아닌 특성이 상이한 복수의 트랜지스터 저항을 대신 적용하도록 하고, 외부 환경 변화를 디지털 검출을 통해 파악한 후 상기 트랜지스터 저항들 중 하나를 선택하는 방식으로 전류를 유지하도록 하여 안정적인 고정 전류를 제공할 수 있는 효과가 있다.

대표도 - 도5



(72) 발명자

김진우

서울 서초구 반포4동 551-15 태항빌라 2차 303호

김철우

서울 성북구 길음동 1283 길음뉴타운 605-1301호

특허청구의 범위

청구항 1

입력 전압에 의해 출력 전압이 결정되는 전압 레귤레이터와;

상기 전압 레귤레이터의 출력과 접지 사이에 병렬 연결된 복수의 트랜지스터들과;

지연된 클럭의 위상 변화를 근거로 상기 복수의 트랜지스터들 중 동작시킬 하나를 선택하도록 하는 검출부를 포함하는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 2

제 1항에 있어서, 상기 복수의 트랜지스터들은 각각 상이한 폭의 넓이를 가지는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 3

제 2항에 있어서, 상기 복수의 트랜지스터들은 각각 순차적으로 증가되는 폭이나 순차적으로 감소되는 길이를 가지는 MOS 트랜지스터인 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 4

제 1항에 있어서, 상기 검출부는

동일 구조의 지연단들을 통해 일정한 위상차를 가지는 다중 위상 클럭 신호를 생성하는 지연부와;

상기 지연부의 다중 위상 클럭 신호들을 양자화하는 양자화기와;

상기 양자화기의 출력들 중에서 신호의 하강 모서리에 해당하는 지연단 지점을 파악하는 식별부를 포함하는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 5

제 4항에 있어서, 상기 지연단과 상기 트랜지스터는 1:1 혹은 n:1로 대응되며, 상기 검출부는 상기 식별부를 통해 파악된 지연단 지점에 대응되는 트랜지스터를 선택하여 동작시키는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 6

제 5항에 있어서, 상기 지연단은 상기 식별부에 의해 파악되는 지연단의 지점이 빠를수록 폭이 더 큰 트랜지스터를 동작시키는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 7

제 1 입력노드의 전압에 따라 기준 전압에서 상기 제 1노드 전압을 뺀 출력 전압이 제공되며, 제 2 입력노드는 네거티브 피드백 구성으로 이루어진 전압 레귤레이터와;

상기 전압 레귤레이터의 출력과 접지 사이에 그 폭이나 길이가 순차적으로 가변되는 MOS 트랜지스터들을 병렬로 나열 배치한 트랜지스터 저항부와;

지연된 클럭의 위상 변화를 근거로 상기 복수의 트랜지스터들 중 동작시킬 하나를 선택하도록 하는 검출부를 포함하는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 8

제 7항에 있어서, 상기 검출부는 복수의 단위 지연단을 포함하며, 공정, 전원 전압, 온도 중 적어도 하나의 변화에 따른 상기 단위 지연단의 지연시간 변화를 통해 한 주기 동안 지연된 지연단의 수를 근거로 상기 복수의 트랜지스터들 중 동작시킬 하나를 선택하도록 하는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

청구항 9

제 8항에 있어서, 상기 지연단과 상기 트랜지스터는 1:1 혹은 n:1로 대응되며, 상기 검출부는 상기 한 주기 동안 지연된 지연단의 수에 대응되는 위치의 지연단에 대응되는 트랜지스터를 선택하여 동작시키는 것을 특징으로 하는 환경 변화에 둔감한 전류원.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 환경 변화에 둔감한 전류원에 관한 것으로, 특히 공정, 전원 전압 및 온도의 변화에 둔감하고 출력 전압 범위가 넓은 저소비 전력 전류원에 관한 것이다.

배경 기술

- <2> 급속한 반도체 제조공정 기술의 발달로 인해 더욱 정밀한 배선 및 회로 집적이 가능해지고 있으며, 다양한 휴대용 기기들의 발전으로 인해 소비 전력을 가능한 줄이기 위해 전원 전압을 낮추는 추세에 있다. 이러한 전원 전압의 감소는 필연적으로 아날로그 회로 성능의 저하를 유발하여 설계의 어려움을 가중시키고 있다.
- <3> 전류원은 아날로그 회로 설계에서 가장 기본적으로 반드시 구성해주어야 하는 회로로 이러한 전류원에 의해 만들어진 전류는 전류 반복기를 통해 모든 아날로그의 회로에 전류가 흐를 수 있도록 해준다. 따라서 이 전류원에서 오차가 발생하게 되면 전체 아날로그 회로에 영향을 미치기 때문에 전체 회로에서 차지하는 중요성은 두말할 필요가 없다. 하지만, 이러한 전류원 역시 전원 전압의 감소에 의해 설계가 어려워지고 있으며, 소형화되는 회로 구성 디바이스와 배선에 의한 공정 상의 편차나 전원 전압 및 온도의 변화 등과 같은 환경의 변화에 민감해지게 된다.
- <4> 그러나, 상기 다양한 환경의 변화에 무관하게 항상 일정한 전류를 만들어야 하는 전류원의 경우 아직까지 그 구현 방법이 정착되어 있지 않은 실정이다.
- <5> 도 1내지 도 3은 일반적으로 사용되는 전류원의 구성을 보인 것이다.
- <6> 가장 기본적인 전류원은 도 1에서 도시된 형태이고, 도 2는 유효채널 길이 변동을 줄이기 위해서 출력에서 보이는 출력 저항을 키우는 방법인 캐스코드 형태로 만든 전류원이다. 그리고, 도 3은 캐스코드 형태로 만들게 되면 출력 전압 범위가 줄어드는 단점을 보완하기 위해 만들어진 넓은 출력 범위를 가지는 전류원이다. 위 회로들에서 노드 A 는 밴드갭 기준 회로에서 만들기 때문에, P(공정), V(전원 전압), T(온도) 변화에 덜 민감하다.
- <7> 대표적으로 도 1 내지 도 3에 도시한 3개의 전류원이 있지만, 도 1과 같은 경우는 출력 저항이 작아서 유효채널 길이 변동이 크게 생겨, 목표치로 정한 전류값에 오차가 생기고, 도 2 및 도 3 의 경우에는, 노드 B 가 각각 최대 $V_{DD}(\text{전원 전압}) - V_{D,sat} - V_{th}(\text{문턱 전압})$, $V_{DD} - 2V_{D,sat}$ 정도로 출력 전압 범위가 작다. 이로 인해 도 2 및 도 3에 도시된 전류원은 넓은 출력 범위에서 선형성을 유지하지 못하고, 이는 공정의 발달로 인해, 전원 전압이 점점 감소하는 현재 추세에서는 앞으로 사용하기 힘든 구조임을 의미한다.
- <8> 그리고 또한, 노드 A 전압은 P(공정), V(전원 전압), T(온도) 변화(이하, PVT 변화라 칭함)에 민감하지 않지만 MOS 소자 특성은 PVT 변화에 민감하기 때문에 원하는 목표 전류에 오차가 발생하게 된다.
- <9> 상기 언급한 문제들을 해결하기 위하여 도 4와 같은 개선된 전류원을 구성한다. 노드 A 전압은 전술한 바와 마찬가지로 밴드갭 기준 회로에서 만들어지고, 전압 레귤레이터(10)를 통해 네거티브 피드백으로 연결이 되어, 노드 A 와 노드 C 의 전압은 같아지게 된다. 이때, 전압과 저항(R)의 관계식에 의해 전류가 저항을 통해 흐른다. 이 회로는 노드 B 가 최대 $V_{DD} - V_A$ 까지의 출력 전압 범위를 가지기 때문에 V_A 가 낮다면 거의 V_{DD} 에 가까운 넓은 출력 전압 범위를 가질 수 있다는 장점이 있다.
- <10> 하지만 저항(R)은 일반적으로, 기본적인 변화율 $\pm 20\%$ 정도를 가지고 있기 때문에 전류 또한 $I(\text{전류}) = V(\text{전압}) / R(\text{저항})$ 관계식에 의거하여 $\pm 20\%$ 정도 변화한다. 회로 설계에서는 항상 최악의 경우를 고려해야 하므로, 전류의 손실 -20% 감안하고 회로를 설계하고, 이로 하여 $P(\text{전력}) = V(\text{전압}) \times I(\text{전류})$ 의 관계에서 전력 역시 20% 정도의 상당히 많은 여유를 가져야 한다. 이는 전체 시스템에서 불필요한 전력 낭비를 야기하게 된다. 따라서, PVT 변화에 대한 저항의 변화율을 획기적으로 줄여 전력 낭비를 줄이고 그로 인한 발열도 줄이기 위한 노력이

필수적이라 할 수 있다.

- <11> 미국 공개특허 US 5,774,013호 "고정 및 PTAT 전류를 위한 이중 전원(Dual source for constant and PTAT current)"에서는 온도에 따른 저항 변화를 보상을 이용하고 있으나, 온도 외에도 전원 전압의 변동이나 공정 편차와 같은 환경의 다양성에 의한 보상은 불가능하여 해당 변화에 따른 전력 여유를 고려한 설계가 필수적이므로 전력이 낭비되는 한계가 존재한다.

발명의 내용

해결 하고자하는 과제

- <12> 본 발명 실시예들의 목적은 낮은 전원 전압에서도 넓은 출력 범위를 가지면서 외부 환경 변화에 둔감하게 안정적인 전류를 제공함과 아울러, 이러한 환경 변화에 대한 보상을 디지털 방식으로 처리하도록 하여 보상에 필요한 전력 소모를 최대한 억제하여 불필요한 설계 여유로 인한 과도한 전력 낭비를 방지하도록 한 환경 변화에 둔감한 전류원을 제공하는 것이다.
- <13> 본 발명 실시예들의 다른 목적은 외부 환경 변화에 대한 변동이 큰 저항을 수동 소자가 아닌 특성이 상이한 복수의 트랜지스터 저항을 대신 적용하도록 하고, 외부 환경 변화를 디지털 검출을 통해 파악한 후 상기 트랜지스터 저항들 중 하나를 선택하는 방식으로 전류를 유지하도록 함으로써, 외부 환경 변화에 둔감한 전류원을 제공하는 것이다.
- <14> 본 발명 실시예들의 또 다른 목적은 외부 환경 변화를 복수의 지연단을 통해 정량화하여 해당 환경 변화에 적합한 값으로 저항 변화를 보상하도록 함으로써, 외부 환경 변화에 둔감한 전류원을 제공하는 것이다.

과제 해결수단

- <15> 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 외부 환경 변화에 둔감한 전류원은 입력 전압에 의해 출력 전압이 결정되는 전압 레귤레이터와; 상기 전압 레귤레이터의 출력과 접지 사이에 병렬 연결된 복수의 트랜지스터들과; 지연된 클럭의 위상 변화를 근거로 상기 복수의 트랜지스터들 중 동작시킬 하나를 선택하도록 하는 검출부를 포함하며, 상기 복수의 트랜지스터들은 각각 상이한 폭의 넓이를 가진다.
- <16> 여기서, 상기 복수의 트랜지스터들은 각각 순차적으로 증가되는 폭이나 순차적으로 감소되는 길이를 가지는 MOS 트랜지스터인 것이 바람직하다.
- <17> 상기 검출부는 동일 구조의 지연단들을 통해 일정한 위상차를 가지는 다중 위상 클럭 신호를 생성하는 지연부와, 상기 지연부의 다중 위상 클럭 신호들을 양자화하는 양자화기와, 상기 양자화기의 출력들 중에서 신호의 하강 모서리에 해당하는 지연단 지점을 파악하는 식별부를 포함한다.
- <18> 상기 지연단과 상기 트랜지스터는 1:1 혹은 n:1로 대응되며, 상기 검출부는 상기 식별부를 통해 파악된 지연단 지점에 대응되는 트랜지스터를 선택하여 동작시킨다.
- <19> 본 발명의 다른 실시예에 따른 외부 환경 변화에 둔감한 전류원은 제 1노드의 전압에 따라 기준 전압에서 상기 제 1입력 노드 전압을 뺀 출력 전압이 제공되며, 제 2입력 노드는 네거티브 피드백 구성으로 이루어진 전압 레귤레이터와, 상기 전압 레귤레이터의 출력과 접지 사이에 그 폭이나 길이가 순차적으로 가변되는 MOS 트랜지스터들을 병렬로 나열 배치한 트랜지스터 저항부와, 지연된 클럭의 위상 변화를 근거로 상기 복수의 트랜지스터들 중 동작시킬 하나를 선택하도록 하는 검출부를 포함하여 이루어진다.
- <20> 상기 검출부는 복수의 단위 지연단을 포함하며, 공정, 전원 전압, 온도 중 적어도 하나의 변화에 따른 상기 단위 지연단의 지연시간 변화를 통해 한 주기 동안 지연된 지연단의 수를 근거로 상기 복수의 트랜지스터들 중 동작시킬 하나를 선택하도록 구성된다.

효과

- <21> 본 발명의 실시예에 따른 환경 변화에 둔감한 전류원은 낮은 전원 전압에서도 넓은 출력 범위를 가지면서 외부 환경 변화에 둔감하게 안정적인 전류를 제공함과 아울러, 이러한 환경 변화에 대한 보상을 디지털 방식으로 처리하도록 하여 보상에 필요한 전력 소모를 최대한 억제하여 불필요한 설계 여유로 인한 과도한 전력 낭비를 방지할 수 있는 뛰어난 효과가 있다.
- <22> 본 발명의 실시예에 따른 환경 변화에 둔감한 전류원은 외부 환경 변화에 대한 변동이 큰 저항을 수동 소자가

아닌 특성이 상이한 복수의 트랜지스터 저항을 대신 적용하도록 하고, 외부 환경 변화를 디지털 검출을 통해 파악한 후 상기 트랜지스터 저항들 중 하나를 선택하는 방식으로 전류를 유지하도록 하여 안정적인 고정 전류를 제공할 수 있는 효과가 있다.

<23> 본 발명의 실시예에 따른 환경 변화에 둔감한 전류원은 외부 환경 변화를 복수의 지연단을 통과하는 클럭의 위상 변화로 파악하여 해당 환경 변화에 적합한 값으로 저항 변화를 보상하도록 함과 아울러 이러한 과정을 디지털로 처리하도록 함으로써 외부 환경 변화에 대응하기 위한 전력 소모를 최소화하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<24> 상기한 바와 같은 본 발명을 첨부된 도면들과 실시예들을 통해 상세히 설명하도록 한다.

<25> 도 5은 본 발명 일 실시예의 구성을 보인 개념도로서, 도시한 바와 같이 전체적인 구성 방법은 도 4의 전류원과 유사하지만, 도 4에서 처럼 저항을 사용하는 대신에 트랜지스터의 넓이(W)가 다른 여러 개의 NMOS를 병렬로 연결하였고(M0~M14)(40), 상기 복수의 NMOS의 각 게이트는 PVT 변화 검출기(30)의 출력과 연결하여 상기 각 NMOS의 온/오프를 제어하도록 한다.

<26> 전체 회로의 동작 방법은 다음과 같다. 먼저, P(공정), V(전원 전압), T(온도) 변화 검출기(30)에서 외부 인가 클럭을 근거로 PVT 변화 정도를 디지털 코드로 출력한다. 출력된 코드는 1-of-N 디지털 코드로 N개의 디지털 코드 중에 하나만 1인 형태이고, 이를 이용하여 여러 개의 NMOS 소자 중에 하나의 모스 게이트에만 전원 전압을 인가하게 된다. 이 때, 모스의 드레인 전압을 아주 작은 전압으로 인가하여 드레인과 소스 사이의 전압 V_{DS} 를 아주 작게 하면, 모스는 딥 트리오드 영역(Deep Triod Region) 에서 동작하므로 V_{DS} 와 모스에 흐르는 전류 I_D 는 선형적인 특성을 가지게 된다. 이 선형적인 특성은 저항으로 이용할 수 있고, 다음의 수학적 식 1과 같이 저항 값을 나타낼 수 있다.

수학적 식 1

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})}$$

<27>

<28> μ_n 은 MOS의 이동도 특성이고, C_{ox} 는 옥사이드의 캐패시터 값이다. W 와 L 은 MOS의 너비와 길이를 뜻한다. V_{GS} 는 MOS의 게이트와 소스 사이의 전압이고, V_{th} 는 MOS의 문턱 전압이다. 상기 수학적식1에서 조절할 수 있는 값은 W와 L, 그리고 V_{GS} 이다. V_{GS} 는 게이트에 전원 전압을 인가하므로 항상 전원전압이 인가되고, L 값은 쉬운 설계를 위해 고정하는 것이 바람직하다. 따라서 W 값의 조절을 통해 저항 값을 조절할 수 있다. 물론, W값을 고정하고 L값을 변경할 수도 있다.

<29> 상기 수학적식1을 살펴보면, 공정(P)이 고속으로 갈수록, 온도(T)가 낮을수록 MOS의 이동도(μ_n) 특성이 증가하고, 전원 전압(V)이 커질수록 V_{GS} 가 커져서 W가 같다면 저항은 작아짐을 알 수 있다. 따라서 PVT 변화 검출기(30)에서 위와 같은 경우를 검출하고, 여러 개의 NMOS 중 W가 작은 MOS의 게이트에 전원 전압을 인가한다면, PVT 가 변하더라도 거의 일정한 저항을 유지할 수가 있게 된다. 그 반대의 경우 역시 동일하게 적용할 수 있다.

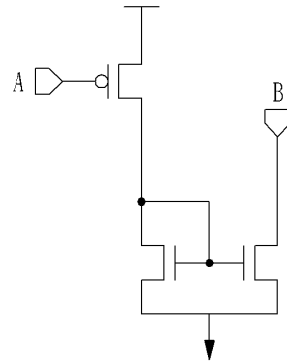
<30> 상기 수학적식1에서 저항 값과 PVT 사이의 비례관계가 인버터에서의 동작 속도와 PVT 사이의 비례관계와 같다는 것을 알 수 있다. 이를 이용하여 PVT 변화 검출기(30)를 도 6 같이 구성한다. 도 7은 는 PVT 검출기의 타이밍 다이어그램이다.

<31> 상기 도 6의 구체적인 동작은 다음과 같다.

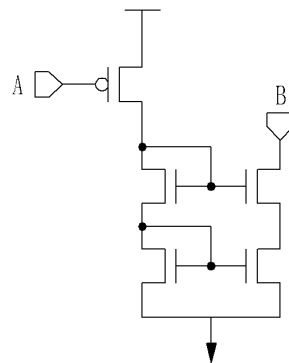
<32> 입력 클럭 신호는 PVT 에 따라 다른 지연시간을 가지며 지연라인을 지나간다. 지연라인에서 같은 구조의 지연단(80)을 통해 일정한 위상차(τ)를 갖는 다중 위상 클럭 신호를 출력하게 되고, 이 신호들은 N-비트의 양자화기(Quantizer)(70)로 인가된다. 양자화기(70)는 도시된 바와 같이 D-플립플롭으로 구성되어 있으며, 데이터 입력 으로는 지연단(80)을 거친 다중 위상 클럭 신호들이 인가된다. 그리고 이를 지연단(80)을 거치지 않는 입력 클럭으로 샘플링을 하여, 1에서 0로 천이되는 지연단(80)의 지점을 식별부(Identifier)(60) 블록을 통해 찾게 된다. 이는 PVT 변화에 따른 입력 클럭의 지연 시간이 한주기에 해당하는 지연단(80)의 위치를 나타낸다. 스위칭

도면

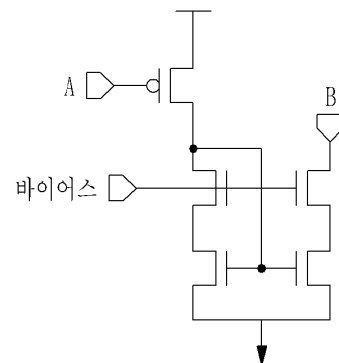
도면1



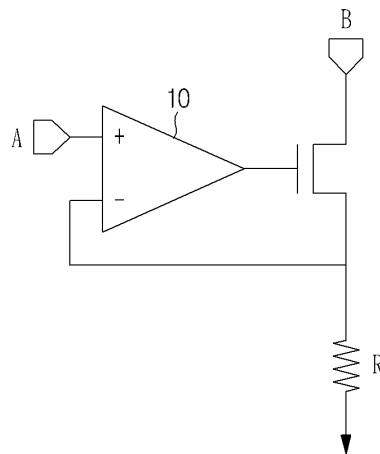
도면2



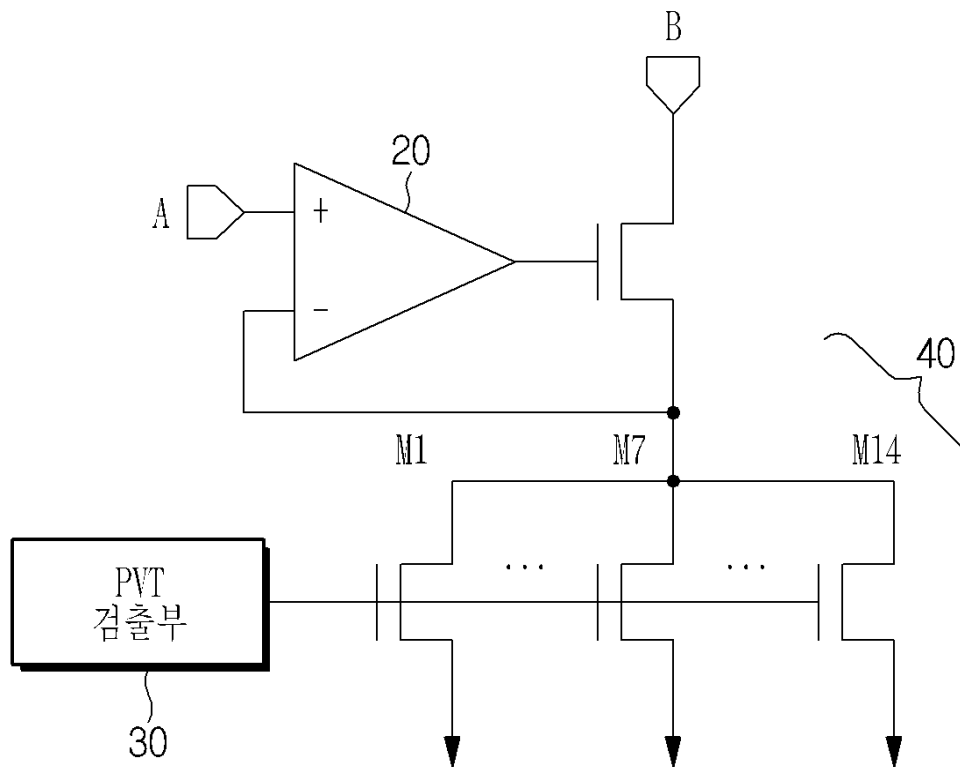
도면3



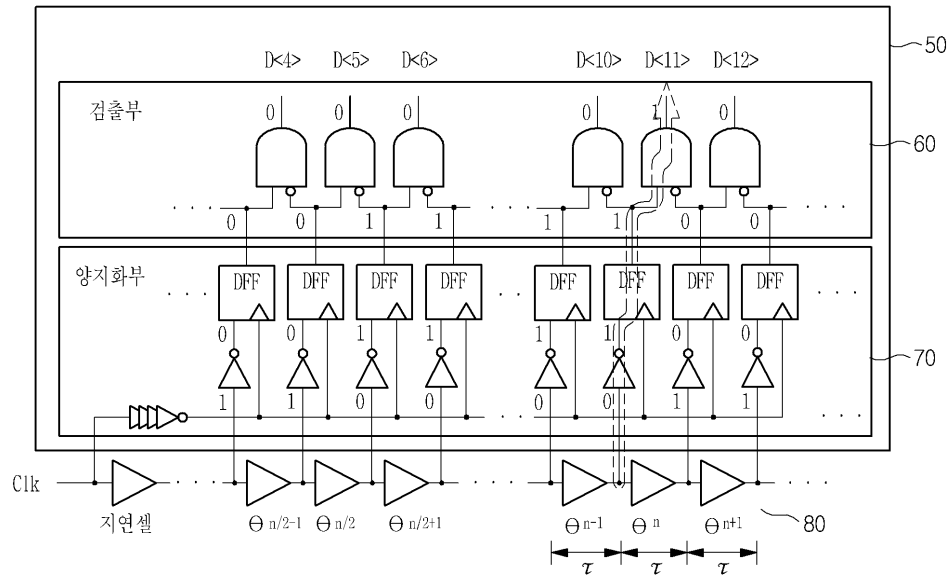
도면4



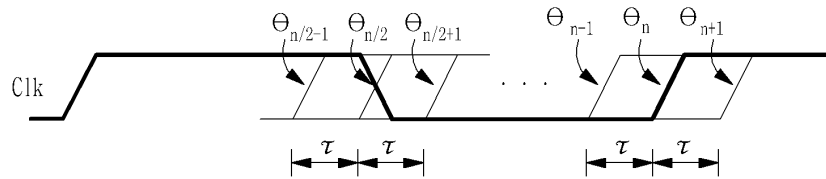
도면5



도면6



도면7



도면8

