



(12) 发明专利申请

(10) 申请公布号 CN 119302054 A

(43) 申请公布日 2025. 01. 10

(21) 申请号 202380042564.9

(22) 申请日 2023.11.14

(30) 优先权数据

2022-210419 2022.12.27 JP

(85) PCT国际申请进入国家阶段日

2024.11.25

(86) PCT国际申请的申请数据

PCT/JP2023/041006 2023.11.14

(87) PCT国际申请的公布数据

W02024/142638 JA 2024.07.04

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 西村武义

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 李海秀 周爽

(51) Int.Cl.

H10D 30/60 (2025.01)

H01L 21/28 (2025.01)

H01L 21/263 (2006.01)

H01L 21/322 (2006.01)

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)

H10D 30/01 (2025.01)

H10D 64/23 (2025.01)

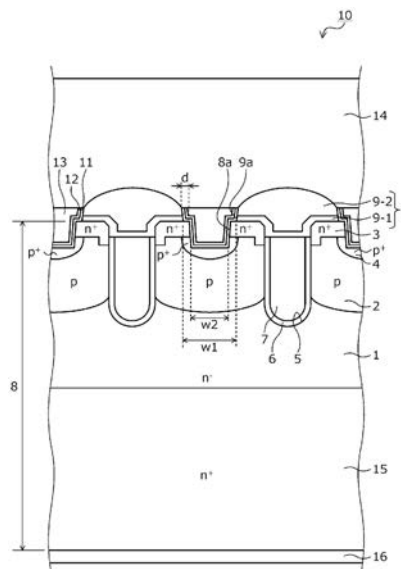
权利要求书2页 说明书17页 附图18页
按照条约第19条修改的权利要求书2页
按照条约第19条修改的声明或说明1页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

正面电极(14)经由由TiSix膜(11)和TiN膜(12)和金属插塞(13)构成的接触结构而与半导体基板(8)欧姆接触。TiSix膜(11)通过溅射而直接沉积,从接触孔(9a)的侧壁(层间绝缘膜(9)的侧面)沿着源极接触沟槽(8a)的内壁而设置。TiSix膜(11)的端部在层间绝缘膜(9)的侧面上终止。TiSix膜(11)的厚度在遍及从接触孔(9a)的侧壁到源极接触沟槽(8a)的侧壁是一样的。TiN膜(12)沿着TiSix膜(11)的表面设置。金属插塞(13)在接触孔(9a)和源极接触沟槽(8a)的内部被埋入到TiN膜(12)上。由此,半导体装置(10)的可靠性提高。



1. 一种半导体装置,其特征在于,具备:
 - 第一导电型的第一半导体区,其设置在半导体基板的内部;
 - 第二导电型的第二半导体区,其设置在所述半导体基板的正面与所述第一半导体区之间;
 - 元件结构,其设置在所述半导体基板的正面侧,包括所述第二半导体区与所述第一半导体区的pn结;
 - 层间绝缘膜,其设置在所述半导体基板的正面,覆盖所述元件结构;
 - 接触孔,其在深度方向上贯通所述层间绝缘膜而到达所述半导体基板;
 - 接触结构,其在所述接触孔中与所述半导体基板接触;
 - 第一电极,其经由所述接触结构与所述第二半导体区电连接;以及
 - 第二电极,其设置在所述半导体基板的背面,
 - 所述接触结构由硅化钛膜、氮化钛膜、以及金属插塞构成,
 - 所述硅化钛膜在所述接触孔中与所述半导体基板接触,并且沿着所述接触孔的侧壁在所述层间绝缘膜的表面延伸,
 - 所述氮化钛膜沿着所述硅化钛膜的表面设置,
 - 所述金属插塞在所述接触孔的内部被埋入到所述氮化钛膜之上。
2. 根据权利要求1所述的半导体装置,其特征在于,
 - 具备以与所述接触孔连续的方式设置在所述半导体基板的正面的预定深度的接触沟槽,
 - 所述硅化钛膜沿着所述接触孔的侧壁和所述接触沟槽的内壁设置。
3. 根据权利要求2所述的半导体装置,其特征在于,
 - 所述硅化钛膜的厚度从所述接触孔的侧壁遍及到所述接触沟槽的侧壁都是一样的。
4. 根据权利要求2所述的半导体装置,其特征在于,
 - 所述层间绝缘膜位于沿着与所述半导体基板的正面平行的方向从所述接触沟槽仅离开10nm以下的距离的位置。
5. 根据权利要求1所述的半导体装置,其特征在于,
 - 所述硅化钛膜在所述层间绝缘膜的侧面终止,
 - 所述第一电极以与所述层间绝缘膜接触的方式设置在所述层间绝缘膜的上表面。
6. 根据权利要求1所述的半导体装置,其特征在于,
 - 所述硅化钛膜覆盖所述层间绝缘膜的整个表面,
 - 所述第一电极经由所述硅化钛膜和所述氮化钛膜设置在所述层间绝缘膜的上表面。
7. 一种半导体装置的制造方法,其特征在于,包括:
 - 第一工序,在半导体基板的正面的表面区形成与所述半导体基板的内部的第一导电型的第一半导体区接触的第二导电型的第二半导体区,并且形成包括所述第二半导体区与所述第一半导体区的pn结的元件结构;
 - 第二工序,在所述半导体基板的正面形成覆盖所述元件结构的层间绝缘膜;
 - 第三工序,形成在深度方向上贯通所述层间绝缘膜而到达所述半导体基板的接触孔;
 - 第四工序,形成在所述接触孔中与所述半导体基板接触的接触结构;
 - 第五工序,形成经由所述接触结构与所述第二半导体区电连接的第一电极;以及

第一退火工序,其在所述第五工序之后,通过在氢气气氛中的热处理,使所述半导体基板的晶体损伤恢复,

所述第四工序包括:

第一沉积工序,通过溅射而沉积硅化钛膜,所述硅化钛膜覆盖所述层间绝缘膜的整个表面,且在所述接触孔中与所述半导体基板接触;

第二沉积工序,通过溅射而在所述硅化钛膜的表面沉积氮化钛膜;以及

第三沉积工序,在所述接触孔的内部将金属插塞埋入到所述氮化钛膜之上,形成由所述硅化钛膜、所述氮化钛膜和所述金属插塞构成的所述接触结构。

8. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

在所述第三工序之后且所述第四工序之前,包括第六工序,在所述第六工序中,在所述半导体基板的正面形成与所述接触孔连续的预定深度的接触沟槽,

在所述第一沉积工序中,沿着所述层间绝缘膜的表面和所述接触沟槽的内壁形成所述硅化钛膜。

9. 根据权利要求8所述的半导体装置的制造方法,其特征在于,

在所述第六工序之后且所述第四工序之前,包括第七工序,在所述第七工序中,使所述层间绝缘膜平坦。

10. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

所述第一沉积工序和所述第二沉积工序使用同一溅射装置连续地进行。

11. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

所述第四工序还包括去除工序,在所述去除工序中,以所述金属插塞为掩模而对所述氮化钛膜和所述硅化钛膜进行回蚀,从而使所述层间绝缘膜的上表面露出,

在所述第五工序中,在所述层间绝缘膜的上表面,以与所述层间绝缘膜接触的方式形成所述第一电极。

12. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

在300°C以下的温度环境中进行所述第一沉积工序。

13. 根据权利要求7所述的半导体装置的制造方法,其特征在于,还包括:

照射工序,在所述第一退火工序之后,对所述半导体基板照射放射线;以及

第二退火工序,在所述照射工序之后,通过在氢气气氛中的热处理,将在所述pn结形成的寄生二极管调整为预定的反向恢复特性。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及一种半导体装置以及半导体装置的制造方法。

背景技术

[0002] 以往,提出了一种半导体装置,该半导体装置在正面电极与半导体基板之间设置有由钛(Ti)构成的密合层和/或由氮化钛硅(Ti-Si-N)构成的阻挡层,或者设置有包括对Ti膜进行硅化(silicidation)而成的硅化钛(TiSi)膜或通过等离子化学气相生长(PECVD: Plasma Enhanced Chemical Vapor Deposition)而形成的TiSi膜的接触结构(例如,参照下述专利文献1~5)。另外,提出了一种具备包括通过溅射而沉积的TiSi膜的栅电极的半导体装置(例如,参照下述专利文献6)。

[0003] 现有技术文献

专利文献

专利文献1:日本特开平10-321812号公报

专利文献2:日本特开平10-79431号公报

专利文献3:日本特开平10-79481号公报

专利文献4:日本特开平7-297136号公报

专利文献5:日本特开2015-124397号公报

专利文献6:专利第3988342号公报

发明内容

[0004] 技术问题

然而,在上述专利文献1~4中,由于正面电极的层叠结构中包含的Ti膜,妨碍了用于使半导体基板的晶体损伤恢复的氢退火的效果。另外,在上述专利文献4中,由于硅化导致的TiSi膜的体积膨胀,所以在半导体基板局部产生的应力变大。在上述专利文献5中,用于形成TiSi膜的PECVD的导入气体组成中包含的氯(Cl)成为半导体基板腐蚀的原因。

[0005] 本公开为了消除上述现有技术的课题,其目的在于提供一种可靠性高的半导体装置以及半导体装置的制造方法。

[0006] 技术方案

本公开的一个方式的半导体装置如下所述。在半导体基板的内部设置有第一导电型的第一半导体区。在所述半导体基板的正面与所述第一半导体区之间设置有第二导电型的第二半导体区。在所述半导体基板的正面侧设置有包括所述第二半导体区与所述第一半导体区的pn结的元件结构。在所述半导体基板的正面设置有层间绝缘膜。层间绝缘膜覆盖所述元件结构。接触孔在深度方向上贯通所述层间绝缘膜而到达所述半导体基板。接触结构在所述接触孔中与所述半导体基板接触。

[0007] 第一电极经由所述接触结构与所述第二半导体区电连接。第二电极设置在所述半导体基板的背面。所述接触结构由硅化钛膜、氮化钛膜和金属插塞构成。所述硅化钛膜在所

述接触孔中与所述半导体基板接触,并且沿着所述接触孔的侧壁在所述层间绝缘膜的表面延伸。所述氮化钛膜沿着所述硅化钛膜的表面设置。所述金属插塞在所述接触孔的内部被埋入到所述氮化钛膜之上。

[0008] 另外,本公开的一个方式的半导体装置的制造方法如下所述。进行第一工序,在所述第一工序中,在半导体基板的正面的表面区形成与所述半导体基板的内部的第一导电型的第一半导体区接触的第二导电型的第二半导体区,并且形成包括所述第二半导体区与所述第一半导体区的pn结的元件结构。进行第二工序,在所述第二工序中,在所述半导体基板的正面形成覆盖所述元件结构的层间绝缘膜。进行第三工序,在所述第三工序中,形成在深度方向上贯通所述层间绝缘膜而到达所述半导体基板的接触孔。进行第四工序,在所述第四工序中,形成在所述接触孔中与所述半导体基板接触的接触结构。进行第五工序,在所述第五工序中,形成经由所述接触结构与所述第二半导体区电连接的第一电极。

[0009] 在所述第五工序之后,进行第一退火工序,在所述第一退火工序中,通过在氢气氛围中的热处理,使所述半导体基板的晶体损伤恢复。所述第四工序包括第一~第三沉积工序。在所述第一沉积工序中,通过溅射而沉积硅化钛膜,所述硅化钛膜覆盖所述层间绝缘膜的整个表面,且在所述接触孔中与所述半导体基板接触。在所述第二沉积工序中,通过溅射而在所述硅化钛膜的表面沉积氮化钛膜。在所述第三沉积工序中,在所述接触孔的内部将金属插塞埋入到所述氮化钛膜之上。形成由所述硅化钛膜、所述氮化钛膜和所述金属插塞构成的所述接触结构。

[0010] 技术效果

根据本发明的半导体装置以及半导体装置的制造方法,起到能够使可靠性提高这样的效果。

附图说明

[0011] 图1是示出实施方式1的半导体装置的结构截面图。

[0012] 图2是示出实施方式1的半导体装置的制造中途的状态的截面图。

[0013] 图3是示出实施方式1的半导体装置的制造中途的状态的截面图。

[0014] 图4是示出实施方式1的半导体装置的制造中途的状态的截面图。

[0015] 图5是示出实施方式1的半导体装置的制造中途的状态的截面图。

[0016] 图6是示出实施方式1的半导体装置的制造中途的状态的截面图。

[0017] 图7是示出实施方式2的半导体装置的结构截面图。

[0018] 图8是示出实施方式2的半导体装置的制造中途的状态的截面图。

[0019] 图9是示出基于氢退火的半导体基板的晶体损伤恢复度与势垒金属之间的关系图。

[0020] 图10是示出比较例1的结构截面图。

[0021] 图11是示出比较例2的结构截面图。

[0022] 图12是示出比较例2的制造中途的状态的截面图。

[0023] 图13是示出比较例2的制造中途的状态的截面图。

[0024] 图14是示出比较例2的制造中途的状态的截面图。

[0025] 图15是示出比较例2的制造中途的状态的截面图。

- [0026] 图16是示出比较例2的制造中途的状态的截面图。
- [0027] 图17是示出比较例2的制造中途的状态的截面图。
- [0028] 图18是示出比较例2的制造中途的状态的截面图。
- [0029] 符号说明
- 1 n⁻型漂移区
 - 2 p型基区
 - 3 n⁺型源区
 - 4 p⁺型接触区
 - 5 沟槽
 - 6 栅极绝缘膜
 - 7 栅电极
 - 8 半导体基板
 - 8a 源极接触沟槽
 - 9 层间绝缘膜
 - 9-1 HTO膜
 - 9-2 BPSG膜
 - 9a 接触孔
 - 10、20 半导体装置
 - 11、21 TiSix膜
 - 12、22 TiN膜
 - 13、23 金属插塞
 - 13a W膜
 - 14 正面电极
 - 15 n⁺型漏区
 - 16 背面电极
- d 层间绝缘膜的侧面向远离源极接触沟槽的方向后退的距离
- w1 接触孔的宽度
- w2 源极接触沟槽的宽度

具体实施方式

[0030] <本发明的实施方式的概要>

(1) 本公开的一个方式的半导体装置如下所述。在半导体基板的内部设置有第一导电型的第一半导体区。在所述半导体基板的正面与所述第一半导体区之间设置有第二导电型的第二半导体区。在所述半导体基板的正面侧设置有包括所述第二半导体区与所述第一半导体区的pn结的元件结构。在所述半导体基板的正面设置有层间绝缘膜。层间绝缘膜覆盖所述元件结构。接触孔在深度方向上贯通所述层间绝缘膜而到达所述半导体基板。接触结构在所述接触孔中与所述半导体基板接触。

[0031] 第一电极经由所述接触结构与所述第二半导体区电连接。第二电极设置在所述半导体基板的背面。所述接触结构由硅化钛膜、氮化钛膜和金属插塞构成。所述硅化钛膜在所

述接触孔中与所述半导体基板接触,并且沿着所述接触孔的侧壁在所述层间绝缘膜的表面延伸。所述氮化钛膜沿着所述硅化钛膜的表面设置。所述金属插塞在所述接触孔的内部被埋入到所述氮化钛膜之上。

[0032] 根据上述公开,通过经由TiSix膜(硅化钛膜)将第一电极与半导体基板电连接,从而降低第一电极与半导体基板的接触电阻。另外,根据上述公开,在形成TiSix膜时不需要硅化等特别的高温的热处理。因此,能够抑制在半导体基板局部产生的应力。另外,由于没有在层间绝缘膜的表面形成吸附氢的Ti膜,因此由氢退火进行的半导体基板的晶体损伤的恢复变得容易。另外,由于在层间绝缘膜的表面不形成Ti膜,所以能够防止在形成金属插塞时因材料气体与Ti膜之间的反应而导致与层间绝缘膜的紧贴性降低。

[0033] (2) 另外,本公开的半导体装置在上述(1)中,具备以与所述接触孔连续的方式设置在所述半导体基板的正面的预定深度的接触沟槽。所述硅化钛膜可以沿着所述接触孔的侧壁和所述接触沟槽的内壁设置。

[0034] 根据上述公开,在接触孔的侧壁和接触沟槽的侧壁,施加于层间绝缘膜和半导体基板的应力一样。

[0035] (3) 另外,本公开的半导体装置在上述(2)中,所述硅化钛膜的厚度可以从所述接触孔的侧壁遍及到所述接触沟槽的侧壁是一样的。

[0036] 根据上述公开,在接触孔的侧壁和接触沟槽的侧壁,施加于层间绝缘膜和半导体基板的应力一样。

[0037] (4) 另外,本公开的半导体装置在上述(2)中,所述层间绝缘膜可以位于沿着与所述半导体基板的正面平行的方向从所述接触沟槽仅离开10nm以下的距离的位置。

[0038] 根据上述公开,金属插塞的台阶覆盖提高。

[0039] (5) 另外,本公开的半导体装置在上述(1)至(4)中的任一项中,所述硅化钛膜在所述层间绝缘膜的侧面终止。所述第一电极可以以与所述层间绝缘膜接触的方式设置在所述层间绝缘膜的上表面。

[0040] 根据上述公开,第一电极的紧贴性提高,能够抑制第一电极从层间绝缘膜剥离。

[0041] (6) 另外,本公开的半导体装置在上述(1)至(4)中的任一项中,所述硅化钛膜覆盖所述层间绝缘膜的整个表面。所述第一电极的特征在于经由所述硅化钛膜和所述氮化钛膜设置在所述层间绝缘膜的上表面。

[0042] 根据上述公开,能够抑制由对第一电极进行引线键合时的超声波振动导致的对层间绝缘膜的损伤。

[0043] (7) 本公开的一个方式的半导体装置的制造方法如下所述。进行第一工序,在第一工序中,在半导体基板的正面的表面区形成与所述半导体基板的内部的第一导电型的第一半导体区接触的第二导电型的第二半导体区,并且形成包括所述第二半导体区与所述第一半导体区之间的pn结的元件结构。进行第二工序,在第二工序中,在所述半导体基板的正面形成覆盖所述元件结构的层间绝缘膜。进行第三工序,在第三工序中,形成在深度方向上贯通所述层间绝缘膜而到达所述半导体基板的接触孔。进行第四工序,在第四工序中,形成在所述接触孔中与所述半导体基板接触的接触结构。

[0044] 进行第五工序,在第五工序中,形成经由所述接触结构与所述第二半导体区电连接的第一电极。进行第一退火工序,其在所述第五工序之后,通过在氢气氛中的热处理,使

所述半导体基板的晶体损伤恢复。所述第四工序包括第一~第三沉积工序。在所述第一沉积工序中,通过溅射而沉积硅化钛膜,所述硅化钛膜覆盖所述层间绝缘膜的整个表面,且在所述接触孔中与所述半导体基板接触。在所述第二沉积工序中,通过溅射而在所述硅化钛膜的表面沉积氮化钛膜。在所述第三沉积工序中,在所述接触孔的内部将金属插塞埋入到所述氮化钛膜之上。形成由所述硅化钛膜、所述氮化钛膜和所述金属插塞构成的所述接触结构。

[0045] 根据上述公开,通过经由TiSi_x膜(硅化钛膜)将第一电极与半导体基板电连接,从而降低第一电极与半导体基板的接触电阻。另外,根据上述公开,在形成TiSi_x膜时不需要硅化等特别高温的热处理。因此,能够抑制在半导体基板局部产生的应力。另外,由于没有在层间绝缘膜的表面形成吸附氢的Ti膜,因此由氢退火进行的半导体基板的晶体损伤的恢复变得容易。另外,由于在层间绝缘膜的表面不形成Ti膜,所以能够防止在形成金属插塞时因材料气体与Ti膜之间的反应而导致与层间绝缘膜的紧贴性降低。

[0046] (8) 另外,本公开的半导体装置的制造方法在上述(7)中,在所述第三工序之后且所述第四工序之前,包括第六工序,在第六工序中,在所述半导体基板的正面形成与所述接触孔连续的预定深度的接触沟槽。在所述第一沉积工序中,可以沿着所述层间绝缘膜的表面和所述接触沟槽的内壁形成所述硅化钛膜。

[0047] 根据上述公开,由于TiSi_x膜与半导体基板的接触面积变大,因此能够抑制第一电极与半导体基板的接触电阻的增加。

[0048] (9) 另外,本公开的半导体装置的制造方法在上述(8)中,可以在所述第六工序之后且所述第四工序之前,包括第七工序,在第七工序中,使所述层间绝缘膜平坦。

[0049] 根据上述公开,能够提高金属插塞向接触沟槽的埋入性。

[0050] (10) 另外,本公开的半导体装置的制造方法在上述(7)至(9)中的任一项中,所述第一沉积工序和所述第二沉积工序可以使用同一溅射装置连续地进行。

[0051] 根据上述公开,能够简化工序,能够降低成本。

[0052] (11) 另外,本公开的半导体装置的制造方法在上述(7)至(10)中的任一项中,所述第四工序还包括去除工序,在去除工序中,以所述金属插塞为掩模而对所述氮化钛膜和所述硅化钛膜进行回蚀,从而使所述层间绝缘膜的上表面露出。在所述第五工序中,可以在所述层间绝缘膜的上表面,以与所述层间绝缘膜接触的方式形成所述第一电极。

[0053] 根据上述公开,第一电极的紧贴性提高,能够抑制第一电极从层间绝缘膜剥离。

[0054] (12) 另外,本公开的半导体装置的制造方法在上述(7)至(11)中的任一项中,可以在300℃以下的温度环境中进行所述第一沉积工序。

[0055] 根据上述公开,能够抑制在半导体基板局部产生的应力。

[0056] (13) 另外,本公开的半导体装置的制造方法在上述(7)至(12)中的任一项中,进行照射工序,在所述第一退火工序之后,对所述半导体基板照射放射线。还可以进行第二退火工序,在所述照射工序之后,通过在氢气氛中的热处理,将在所述pn结形成的寄生二极管调整为预定的反向恢复特性。

[0057] 根据上述公开,能够使作为栅极阈值电压变低的原因的晶体损伤恢复。

[0058] <成为本发明的基础的见解>

作为本实施方式的课题,可列举出使正面电极与半导体基板的接触(电接触)电阻

降低、利用氢退火(氢气氛中的热处理)使因电子束等放射线照射、杂质离子注入等而在半导体基板产生的晶体损伤恢复。以往,由于钛(Ti)与n型的硅(Si)的接触电阻低,因此在正面电极与半导体基板之间形成使Ti膜与半导体基板(Si基板)发生硅化反应而成的硅化钛(TiSi_x)膜的方法是公知的,但由于硅化导致的TiSi_x膜的体积膨胀,在半导体基板局部产生的应力变大。

[0059] 用于硅化的热处理温度越高,则TiSi_x膜与半导体基板的接触电阻越低,但由于硅化导致的TiSi_x膜的体积膨胀,在半导体基板局部产生的应力进一步变大。例如,在通过将正面电极的接触结构埋入到设置在半导体基板的正面的接触沟槽,而使其与半导体基板的接触面积变大从而降低正面电极与半导体基板的接触电阻的情况下,沿着接触沟槽的内壁形成TiSi_x膜。由于接触沟槽的宽度窄且深度浅,因此担心由于硅化导致的TiSi_x膜的体积膨胀,在半导体基板局部产生的应力的进一步增加。

[0060] 另外,在通过与半导体基板之间的硅化反应而形成TiSi_x膜的情况下,作为TiSi_x膜的材料膜的Ti膜以覆盖层间绝缘膜的整个表面的方式形成,但该Ti膜容易吸收氢,妨碍用于使半导体基板的晶体损伤恢复的氢退火的效果。因此,即使进行氢退火也难以使例如栅极阈值电压等特性恢复。特别是,在为了提高在p型基区和n⁻型漂移区的pn结(主结)形成的寄生二极管(体二极管)的反向恢复时间 t_{rr} 等开关特性而进行了电子束等放射线照射的产品(半导体装置)中,因放射线照射而在半导体基板产生的晶体损伤未被充分地恢复。

[0061] 也能够设想半导体基板的晶体损伤未被充分地恢复,通过将半导体基板内的预定的扩散区的杂质剂量过度地提高等,预计由半导体基板的晶体损伤导致的降低量,通过将预定特性预先设定得高而使作为产品的预定特性与预定值相匹配。然而,在该情况下,通过利用氢退火使半导体基板的晶体损伤恢复,从而预定特性有时变得比预定值高,在高温施加试验等可靠性试验中容易引起特性变动。因此,不得不允许成为以某种程度预计了半导体基板的晶体损伤所导致的特性变动的产品规格,产品的可靠性(在高温施加试验等可靠性试验中评价的各特性的可靠性)差。本实施方式消除这样的课题。

[0062] 以下,参照附图对本公开的半导体装置以及半导体装置的制造方法的优选的实施方式详细地进行说明。在本说明书和附图中,在标记了n或p的层和/或区域中,分别是指电子或空穴为多数载流子。另外,标注于n、p的+和-是指分别与没有标记+和-的层和/或区域相比为高杂质浓度和低杂质浓度。应予说明,在以下的实施方式的说明和附图中,对相同的构成标记同一符号,并省略重复的说明。

[0063] (实施方式1的详细情况)

以下,以MOSFET(Metal Oxide Semiconductor Field Effect Transistor:具备由金属-氧化膜-半导体这三层结构构成的绝缘栅极的MOS型场效应晶体管)为例对解决上述课题的实施方式1的半导体装置进行说明。图1是示出实施方式1的半导体装置的结构的面视图。图1所示的实施方式1的半导体装置10是在正面电极(第一电极)14与半导体基板(半导体芯片)8之间具备由硅化钛(TiSi_x)膜11(其中x为正数)、氮化钛(TiN)膜12、金属插塞(引出电极部)13构成的接触结构的沟槽栅结构(元件结构)的纵型MOSFET。

[0064] 半导体基板8例如是成为n⁻型漂移区(第一半导体区)1的n⁻型Si块状基板、或者是在成为n⁺型漏区15的n⁺型起始基板(Si块状基板)上层叠了成为n⁻型漂移区1的n⁻型外延层而成的Si基板。在半导体基板8是成为n⁻型漂移区1的n⁻型Si块状基板的情况下,n⁺型漏区15

是通过离子注入而在半导体基板8的背面的表面区形成的扩散区。 n^+ 型漏区15以与 n^- 型漂移区1接触的方式设置在半导体基板8的背面与 n^- 型漂移区1之间。在半导体基板8的整个背面以与 n^+ 型漏区15接触的方式设置有成为漏电极的背面电极(第二电极)16。

[0065] 沟槽栅结构由p型基区(第二半导体区)2、 n^+ 型源区3、 p^+ 型接触区4、沟槽5、栅极绝缘膜6和栅电极7构成,并设置在半导体基板8的正面侧。p型基区2、 n^+ 型源区3和 p^+ 型接触区4是通过离子注入而在半导体基板8的正面的表面区形成的扩散区。p型基区2以与 n^- 型漂移区1接触的方式设置在半导体基板8的正面与 n^- 型漂移区1之间。 n^+ 型源区3和 p^+ 型接触区4以与p型基区2接触的方式分别选择性地设置在半导体基板8的正面与p型基区2之间。

[0066] n^+ 型源区3和 p^+ 型接触区4与TiSix膜11欧姆接触。 p^+ 型接触区4以与沟槽5分开的方式设置。 p^+ 型接触区4从半导体基板8的正面起到达比 n^+ 型源区3更靠 n^+ 型漏区15侧(半导体基板8的背面侧)的深的位置。也可以不设置 p^+ 型接触区4。在该情况下,p型基区2代替 p^+ 型接触区4而与TiSix膜11接触。半导体基板8的除了p型基区2、 n^+ 型源区3、 p^+ 型接触区4和 n^+ 型漏区15之外的部分为 n^- 型漂移区1。

[0067] 沟槽5在深度方向上从半导体基板8的正面起贯通 n^+ 型源区3和p型基区2而在 n^- 型漂移区1的内部终止。沿着沟槽5的内壁(侧壁和底面)设置有栅极绝缘膜6。在沟槽5的内部中,在栅极绝缘膜6上埋入有栅电极7。 n^+ 型源区3、p型基区2和 n^- 型漂移区1隔着沟槽5的侧壁的栅极绝缘膜6与栅电极7对置即可,栅电极7和栅极绝缘膜6的上端(沟槽5的开口侧的端部)也可以在与半导体基板8的正面相比更向 n^+ 型漏区15侧更深的位置(即沟槽5的内部)终止。

[0068] 层间绝缘膜9设置于半导体基板8的正面并覆盖栅电极7。设置有在深度方向上贯通层间绝缘膜9而达到半导体基板8的接触孔9a。接触孔9a的截面形状可以是大致矩形状,也可以是宽度随着朝向半导体基板8侧而变窄的大致锥形(梯形状)。在具有后述的源极接触沟槽8a的情况下,可以通过使层间绝缘膜9的厚度相对薄而减小接触孔9a的纵横比(=深度/宽度),或者利用层间绝缘膜9的回流(平坦化)而使层间绝缘膜9的上表面角部(上表面与侧面的边界)变圆,从而提高金属插塞13向源极接触沟槽8a的埋入性。

[0069] 层间绝缘膜9例如由利用BPSG(Boro Phospho Silicate Glass:硼磷硅玻璃)膜9-2等的氧化硅(SiO_2)膜构成。例如,通过将BPSG膜9-2的硼(B)浓度和磷(P)浓度的总和例如设为6mol%以下而对该BPSG膜9-2进行回流,接触孔9a的宽度w1相对于半导体基板8侧(即与源极接触沟槽8a连续的部分)在相反侧相对地扩展。由此,由于在埋入W膜13a(参照图5)时接触孔9a不易被堵塞,因此能够提高金属插塞13向源极接触沟槽8a的埋入性。

[0070] 层间绝缘膜9也可以包括利用通常的高温氧化(HTO:High Temperature Oxide)而沉积的沉积 SiO_2 膜(以下,称为HTO膜)9-1。在该情况下,层间绝缘膜9例如成为依次层叠有HTO膜9-1和BPSG膜9-2的双层结构。HTO膜9-1的膜密度和绝缘性能例如与热氧化膜相同程度地高,与通过PECVD、溅射而形成的沉积 SiO_2 膜相比具有良好的绝缘特性。通过使层间绝缘膜9包括HTO膜9-1,被层间绝缘膜9电绝缘的电极间(栅电极7与正面电极14之间)的短路耐量得以提高,并且半导体装置10的可靠性得以提高。也可以使用利用了TEOS(Tetra Ethoxy Silane:正硅酸乙酯)的沉积 SiO_2 膜来代替HTO膜9-1。

[0071] 在半导体基板8的正面,以与层间绝缘膜9的接触孔9a连续的方式设置有源极接触沟槽8a。源极接触沟槽8a在深度方向上从半导体基板8的正面起贯通 n^+ 型源区3而在 p^+ 型接

触区4的内部终止。源极接触沟槽8a从半导体基板8的正面起到达比 n^+ 型源区3更靠 n^+ 型漏区15侧的深的位置。源极接触沟槽8a的底面被 p^+ 型接触区4包围,在源极接触沟槽8a的整个底面露出 p^+ 型接触区4。在源极接触沟槽8a的侧壁露出有 n^+ 型源区3和 p^+ 型接触区4。源极接触沟槽8a的截面形状可以为大致矩形状,也可以是宽度 w_2 随着朝向半导体基板8的背面侧而变窄的大致锥形状。

[0072] 源极接触沟槽8a的宽度 w_2 比接触孔9a的宽度 w_1 窄。其理由是因为,通过在使用在形成接触孔9a时使用的蚀刻掩模以自调整的方式形成了与接触孔9a连续的源极接触沟槽8a之后,使层间绝缘膜9(BPSG膜9-2)回流,从而使层间绝缘膜9的侧面(接触孔9a的侧壁)向远离源极接触沟槽8a的方向仅移动(后退)预定距离 d ,接触孔9a的宽度 w_1 变宽。在层间绝缘膜9的侧面与源极接触沟槽8a的侧壁之间,半导体基板8的正面以10nm以下左右的距离 d 露出,从而产生该距离 d 的高低差的台阶。

[0073] 通过设置源极接触沟槽8a, $TiSi_x$ 膜11与半导体基板8的接触面积变大。因此,通过使彼此相邻的沟槽5间的宽度变窄来谋求微细化,从而即使接触孔9a的宽度 w_1 变窄,也能够抑制正面电极14与半导体基板8的接触电阻的增加。另外,通过设置源极接触沟槽8a,在半导体基板8关断时 n^- 型漂移区1内的空穴容易被抽出到正面电极14,雪崩耐量得以提高。在将半导体装置10设为250V以下左右的低耐压类别的情况下或进行微细化的情况下,由于通过寄生双极动作容易发生雪崩击穿,因此可以设置源极接触沟槽8a。通过设置源极接触沟槽8a,不仅在设为低耐压类别的情况下,在全部的耐压类别中都可以谋求雪崩耐量的提高。

[0074] 也可以不设置源极接触沟槽8a。在该情况下,在接触孔9a露出的半导体基板8的正面, n^+ 型源区3和 p^+ 型接触区4与 $TiSi_x$ 膜11欧姆接触。 $TiSi_x$ 膜11和TiN膜12以从接触孔9a的侧壁(层间绝缘膜9的侧面)遍及到底面(在接触孔9a露出的半导体基板8的正面)的方式设置,在接触孔9a的内部,金属插塞13被埋入到TiN膜12上。在 $TiSi_x$ 膜11和TiN膜12中,接触孔9a的侧壁的部分和底面的部分的条件与源极接触沟槽8a的侧壁的部分和底面的部分相同。

[0075] 沿着接触孔9a的侧壁(层间绝缘膜9的侧面)、连结接触孔9a的侧壁和源极接触沟槽8a的侧壁的面(以下,称为台阶面)、以及源极接触沟槽8a的内壁,在这些面上依次层叠有 $TiSi_x$ 膜11和TiN膜12。 $TiSi_x$ 膜11和TiN膜12没有设置在层间绝缘膜9的上表面。层间绝缘膜9的上表面是指层间绝缘膜9的表面中的除了形成接触孔9a的侧壁以外的部分。通过使正面电极14与层间绝缘膜9的上表面直接接触,正面电极14的紧贴性提高,能够抑制正面电极14从层间绝缘膜9剥离。

[0076] 另外,由于在层间绝缘膜9的上表面不设置 $TiSi_x$ 膜11和TiN膜12,所以能够抑制由对正面电极14进行引线键合时的超声波振动导致的对硬度比较高的 $TiSi_x$ 膜11和TiN膜12的损伤。另外,由于在层间绝缘膜9的上表面不设置 $TiSi_x$ 膜11和TiN膜12,所以不会妨碍例如用于使半导体基板8的晶体损伤恢复的氢退火的效果。因此,例如通过利用电子束等放射线照射来进行 n^- 型漂移区1的载流子寿命控制,从而能够利用氢退火使在半导体基板8产生的晶体损伤恢复,使例如栅极阈值电压等特性恢复。

[0077] $TiSi_x$ 膜11和TiN膜12通过溅射而形成(沉积),具有与接触孔9a的侧壁、台阶面(半导体基板8的正面)和源极接触沟槽8a的部分的厚度相比,在源极接触沟槽8a的底面的部分厚度变厚的倾向。 $TiSi_x$ 膜11和TiN膜12的厚度从接触孔9a的侧壁遍及到源极接触沟槽8a的侧壁都大致一样。因此,在接触孔9a的侧壁和源极接触沟槽8a的侧壁,对层间绝缘膜9和半

导体基板8施加的应力一样。厚度大致一样是指在包括制造工艺偏差带来的允许误差的范围内为大致相同的厚度。

[0078] TiSix膜11在源极接触沟槽8a的内壁与n⁺型源区3和p⁺型接触区4欧姆接触。通过设置源极接触沟槽8a,能够增大TiSix膜11与半导体基板8的接触面积,从而降低TiSix膜11与半导体基板8的接触电阻。因此,即使接触孔9a的宽度w1因微细化而变窄,也能够抑制正面电极14与半导体基板8的接触电阻的增加。TiN膜12是具有防止金属原子从正面电极14向半导体基板8侧扩散的防扩散功能、防止夹着TiN膜12而对置的各部间相互反应的防相互反应功能的势垒金属。

[0079] TiSix膜11的端部在层间绝缘膜9的表面上(例如层间绝缘膜9的侧面上)终止。TiN膜12的端部在TiSix膜11的表面上终止。TiSix膜11与层间绝缘膜9的紧贴性比TiN膜12与层间绝缘膜9的紧贴性高。因此,通过在TiN膜12与层间绝缘膜9之间设置TiSix膜11,正面电极14的紧贴性得以提高。以将接触孔9a和源极接触沟槽8a埋入的方式在TiN膜12上设置有金属插塞13。金属插塞13的上表面的高度位置位于与TiN膜12的端部相同的高度位置、或位于比TiN膜12的端部的高度位置更向半导体基板8侧低的位置。金属插塞13的材料例如为埋入性高的钨(W),与半导体基板8的紧贴性差。通过在半导体基板8与金属插塞13之间设置TiSix膜11和TiN膜12,从而提高金属插塞13的紧贴性。

[0080] 由这些TiSix膜11、TiN膜12和金属插塞13构成正面电极14的接触结构。也可以不设置金属插塞13,而是在接触孔9a和源极接触沟槽8a埋入正面电极14来代替金属插塞13。在该情况下,也可以不设置TiN膜12。即,正面电极14的接触结构可以仅由与半导体基板8欧姆接触的TiSix膜11构成。从层间绝缘膜9的上表面遍及到金属插塞13的上表面,以与这些层间绝缘膜9的上表面和金属插塞13的上表面接触的方式设置有正面电极14。正面电极14例如为铝(Al)膜或Al合金膜。正面电极14经由金属插塞13、TiN膜12和TiSix膜11而与p型基区2、n⁺型源区3和p⁺型接触区4电连接,作为源电极而发挥功能。

[0081] 针对实施方式1的半导体装置10的制造方法进行说明。图2~6是示出实施方式1的半导体装置的制造中途的状态的截面图。首先,如图2所示,通过通常的方法,在成为n⁻型漂移区1的半导体基板8的正面侧形成沟槽栅结构、层间绝缘膜9(HTO膜9-1和BPSG膜9-2)和接触孔9a(第一~第三工序)。接着,使用在形成接触孔9a时使用的同一抗蚀剂掩模对半导体基板8的正面进行蚀刻,形成与接触孔9a连续的源极接触沟槽8a(第六工序)。然后,去除在形成源极接触沟槽8a时使用的抗蚀剂掩模。在该情况下,也能够形成接触孔9a后去除抗蚀剂掩模,以层间绝缘膜9为掩模而形成源极接触沟槽8a。

[0082] 接着,通过热处理,一边对半导体基板8的露出面(此处为源极接触沟槽8a的内壁)进行氧化一边使BPSG膜9-2回流(第七工序)。由此,使BPSG膜9-2的上表面角部变圆,并且使BPSG膜9-2的侧面向远离源极接触沟槽8a的方向仅后退预定距离d。接着,在接触孔9a内去除覆盖半导体基板8的氧化膜。此时,连同该氧化膜一并去除HTO膜9-1的端部(通过使BPSG膜9-2的侧面仅后退预定距离d而露出的部分),HTO膜9-1的侧面也向远离源极接触沟槽8a的方向仅后退预定距离d。

[0083] 如此,通过使层间绝缘膜9(HTO膜9-1和BPSG膜9-2)的侧面向远离源极接触沟槽8a的方向仅后退预定距离d,接触孔9a的宽度w1变宽。由此,在之后的工序中,在半导体基板8的正面沉积的W膜13a(参照图5)向源极接触沟槽8a的埋入性提高。另外,通过一边对半导体

基板8的露出面进行氧化一边使BPSG膜9-2回流,能够将层间绝缘膜9的侧面向远离源极接触沟槽8a的方向后退的距离d减小到10nm以下左右。因此,在之后的工序中,在半导体基板8的正面沉积的W膜13a的台阶包覆性(台阶覆盖)得以提高。

[0084] 接着,如图3所示,在300°C以下左右(例如200°C左右)的温度环境中,通过溅射,沿着层间绝缘膜9的表面(上表面和侧面)和源极接触沟槽8a的内壁(底面和侧壁)沉积(形成)TiSix膜11(第一沉积工序)。TiSix膜11的厚度例如为40nm左右。由于不进行Ti膜的硅化等特别的热处理,因此TiSix膜11维持溅射时的厚度,不发生体积膨胀。接着,如图4所示,在300°C以下左右(例如200°C左右)的温度环境中,通过溅射而沿着TiSix膜11的表面沉积(形成)TiN膜12(第二沉积工序)。

[0085] TiSix膜11和TiN膜12可以使用不同的溅射装置来形成。或者,例如也可以使用能够搭载多个溅射靶的同一溅射装置,通过适当切换溅射靶、导入气体等,从而连续地形成TiSix膜11和TiN膜12。通过使用同一溅射装置连续形成TiSix膜11和TiN膜12,能够简化工序,并且能够降低成本。为了分别形成TiSix膜11和TiN膜12而使用的溅射靶、导入气体等各条件能够分别使用通常的条件。

[0086] 接着,如图5所示,以WF₆气体为材料气体,以甲硅烷(SiH₄)气体或氢(H₂)气体为源极气体,通过CVD,以埋入接触孔9a和源极接触沟槽8a的方式在半导体基板8的最表面沉积(形成)W膜13a。此时,覆盖层间绝缘膜9的整个表面的TiSix膜11和TiN膜12作为势垒金属而发挥功能。因此,即使W膜13a的材料气体从TiN膜12的作为势垒金属的功能降低的部位穿透TiN膜12,也不会引起在设置钛(Ti)膜作为势垒金属的情况下发生的化学反应,该化学反应产生使与层间绝缘膜9的紧贴性降低的氟(F)、H₂。

[0087] 接着,如图6所示,对W膜13a进行回蚀,仅在接触孔9a和源极接触沟槽8a的内部残留W膜13a(第三沉积工序)。在接触孔9a和源极接触沟槽8a的内部残留的W膜13a成为金属插塞13。接着,以金属插塞13为蚀刻掩模,对TiN膜12和TiSix膜11进行回蚀,从而使层间绝缘膜9的上表面露出(去除工序)。可以切换蚀刻气体而连续地进行用于进行W膜13a的回蚀的干蚀刻、用于对TiN膜12和TiSix膜11进行回蚀的干蚀刻,也可以使用不同的蚀刻装置进行用于进行W膜13a的回蚀的干蚀刻、用于对TiN膜12和TiSix膜11进行回蚀的干蚀刻。

[0088] 接着,通过溅射和光蚀刻工序,在半导体基板8的正面的最表面形成正面电极14(第五工序)。然后,将用于形成正面电极14的抗蚀剂掩模去除(灰化)。然后,例如通过380°C左右的温度环境下的氢退火而使半导体基板8的晶体损伤恢复(第一退火工序)。该氢退火可以在形成正面电极14后的任意时刻进行,但在半导体基板8因蚀刻、灰化等而受到损伤后的时刻进行是有效的。然后,在半导体基板8的背面侧形成n⁺型漏区15和背面电极16。

[0089] 也可以在上述氢退火后的任意时刻,通过来自半导体基板8的正面或背面的电子束等放射线照射(照射工序)来进行n⁻型漂移区1的载流子寿命控制。另外,也可以在放射线照射之后,以使寄生二极管的反向恢复特性成为预定的寿命(反向恢复时间)而不是使由放射线照射引起的晶体损伤全部恢复的方式,在例如350°C左右的温度环境下进行氢退火来调整半导体基板8的晶体损伤量(第二退火工序)。通过该放射线照射后的氢退火,也可以使作为栅极阈值电压变低的原因的晶体损伤恢复。由此,图1所示的半导体装置10完成。

[0090] 针对实施方式1的半导体装置10的动作进行说明。向漏电极(背面电极16)施加相对于源电极(正面电极14)为正的电压,p⁺型接触区4和p型基区2与n⁻型漂移区1和n⁺型漏区

15之间的pn结(主结)被反向偏置。如果在该状态下向栅电极7施加的施加电压小于栅极阈值电压,则半导体装置10(MOSFET)维持关断状态。

[0091] 在半导体装置10的层间绝缘膜9之上仅配置有正面电极14,不妨碍氢退火的效果。因此,即使对半导体装置10进行了用于使寄生二极管的开关特性提高的电子束等放射线照射,通过此后的氢退火,半导体基板8的晶体损伤也几乎恢复,栅极阈值电压特性恢复(参照图9)。因此,半导体装置10维持常断。

[0092] 另一方面,在向漏电极施加相对于源电极为正的电压的状态下,如果向栅电极7施加栅极阈值电压以上的电压,则在p型基区2的沿着沟槽5的侧壁的部分形成沟道(n型的反型层)。由此,流通有从 n^+ 型漏区15通过 n^- 型漂移区1和沟道而朝向 n^+ 型源区3的漂移电流(主电流),半导体装置10导通。

[0093] 如以上说明的那样,根据实施方式1,正面电极和半导体基板经由通过溅射而沉积在半导体基板上的 $TiSi_x$ 膜而电连接。通过经由 $TiSi_x$ 膜将正面电极和半导体基板电连接,从而能够降低正面电极与半导体基板的接触电阻。另外,根据实施方式1,由于在半导体基板上形成 $TiSi_x$ 膜时,不需要硅化等例如 $600^\circ C$ 以上的特别高温的热处理,在 $300^\circ C$ 以下的低温环境中通过溅射而直接沉积 $TiSi_x$ 膜,因此能够抑制在半导体基板局部产生的应力。

[0094] 另外,例如,在通过与半导体基板之间的硅化反应来形成 $TiSi_x$ 膜的情况下,作为 $TiSi_x$ 膜的材料膜的Ti膜覆盖层间绝缘膜的整个表面。因此,妨碍用于使半导体基板的晶体损伤恢复的氢退火的效果,或者为了得到氢退火的效果,需要去除Ti膜的覆盖层间绝缘膜的上表面的部分。另一方面,根据实施方式1,由于通过利用溅射而直接沉积 $TiSi_x$ 膜,从而在层间绝缘膜的表面不形成Ti膜,因此由氢退火进行的半导体基板的晶体损伤的恢复变得容易。例如,即使是为了提高体二极管的反向恢复时间等开关特性而进行了电子束等放射线照射的产品(半导体装置),也能够通过氢退火使半导体基板的晶体损伤充分地恢复。

[0095] 即,根据实施方式1,不需要设想栅极阈值电压因半导体基板的晶体损伤而变低,从而通过使半导体基板内的预定的扩散区的杂质剂量过高等来预计由半导体基板的晶体损伤导致的降低量,由此预先将栅极阈值电压设定得高。因此,在高温施加试验等可靠性试验中不易发生特性变动,产品的可靠性(在高温施加试验等可靠性试验中评价的各特性的可靠性)提高。另外,根据实施方式1,由于作为势垒金属不使用Ti膜,因此不会产生在形成金属插塞时因材料气体与Ti膜之间的反应而产生的课题(参照后述的比较例)。因此,能够防止与层间绝缘膜的紧贴性降低。

[0096] 另外,例如在 $TiSi_x$ 膜和TiN膜的沉积中使用CVD法的情况下,由于形成 $TiSi_x$ 膜和TiN膜时各自使用的气体种类等条件不同,因此无法使用同一CVD装置连续形成 $TiSi_x$ 膜和TiN膜。另一方面,根据实施方式1,通过利用溅射来沉积 $TiSi_x$ 膜,能够使用同一溅射装置连续形成 $TiSi_x$ 膜和TiN膜。由此,由于能够简化工序,因此能够降低成本。另外,由于能够在 $TiSi_x$ 膜的形成与TiN膜的形成之间省略搬送半导体晶片的工序,因此抑制晶片搬送中的污染,合格率得以提高,产品的可靠性得以提高。

[0097] (实施方式2的详细情况)

以下,对解决上述课题的实施方式2的半导体装置进行说明。图7是示出实施方式2的半导体装置的结构的面视图。图8是示出实施方式2的半导体装置的制造中途的状态的面视图。实施方式2的半导体装置20与实施方式1的半导体装置10(参照图1)的不同点在于,构

成正面电极14的接触结构的TiSix膜21和TiN膜22在正面电极14与层间绝缘膜9之间延伸而覆盖层间绝缘膜9的整个表面。

[0098] 接触孔9a和源极接触沟槽8a的内部的TiSix膜21和TiN膜22的构成分别与实施方式1的TiSix膜11和TiN膜12相同。TiSix膜21和TiN膜22作为抑制金属原子从正面电极14向层间绝缘膜9扩散的势垒金属而发挥功能。TiSix膜21和TiN膜22具有抑制因对正面电极14进行引线键合时的超声波振动导致的对层间绝缘膜9的损伤的功能。

[0099] 实施方式2的半导体装置20的制造方法在实施方式1的半导体装置10的制造方法中省略TiSix膜11和TiN膜12的回蚀(参照图6)即可。即,与实施方式1同样地依次进行从形成沟槽栅结构起到形成金属插塞13为止的工序(图2~5、8)。然后,通过在层间绝缘膜9的上表面残留TiSix膜11和TiN膜12的状态下(图8)依次进行正面电极14的形成以后的工序,从而完成图7所示的半导体装置20。

[0100] 即使在层间绝缘膜9的上表面残留TiSix膜11和TiN膜12,也不妨碍用于恢复半导体基板8的晶体损伤的氢退火的效果。另外,TiSix膜21与层间绝缘膜9的紧贴性比TiN膜22、正面电极14与层间绝缘膜9的紧贴性高。因此,通过TiSix膜21提高正面电极14的紧贴性。另外,能够省略用于去除TiSix膜11和TiN膜12的一部分的工序,能够削减工序数量、减少微粒。

[0101] 如以上说明的那样,根据实施方式2,即使层间绝缘膜的上表面被TiSix膜和TiN膜覆盖,也能够得到与实施方式1相同的效果。根据实施方式2,通过削减工序数量、减少微粒,从而合格率得以提高,能够谋求成本降低。

[0102] (实验例)

对基于氢退火的半导体基板的晶体损伤恢复度与势垒金属之间的关系进行验证。图9是示出基于氢退火的半导体基板的晶体损伤恢复度与势垒金属之间的关系的图。针对通常的沟槽栅结构的MOSFET(以下,设为实验例),将使用条件(势垒金属的有无、半导体基板的晶体损伤的有无)不同的四个试样(以下,设为试样1~4)来验证基于氢退火的半导体基板的晶体损伤恢复度而得的结果示于图9。

[0103] 试样1在层间绝缘膜上具有Ti膜作为势垒金属,在半导体基板不具有因放射线照射导致的晶体损伤(有Ti、无损伤)。试样2在层间绝缘膜上具有Ti膜作为势垒金属,在半导体基板具有因放射线照射导致的晶体损伤(有Ti、有损伤)。试样3不设置势垒金属,在半导体基板具有因放射线照射导致的晶体损伤(无Ti、有损伤)。试样4不设置势垒金属,在半导体基板不具有因放射线照射导致的晶体损伤(无Ti、无损伤)。

[0104] 图9的“损伤恢复度”表示基于氢退火的半导体基板的晶体损伤恢复后的栅极阈值电压是否恢复到栅极阈值电压的设计值,将试样4中的基于氢退火的半导体基板的晶体损伤恢复度设为基准(=100%)。在图9中,“有损伤/无损伤”表示有无因放射线照射导致的晶体损伤,试样1~4均在其他制造工序(例如离子注入等)中在半导体基板同样地产生了晶体损伤的状态下进行氢退火。

[0105] 如图9所示,根据试样2的结果确认到,由于具有Ti膜作为势垒金属,所以无法使因放射线照射导致的半导体基板的晶体损伤充分地恢复。另外,根据试样3的结果确认到,由于不具有Ti膜作为势垒金属,所以能够使因放射线照射导致的半导体基板的晶体损伤恢复到与没有因放射线照射导致的晶体损伤的试样1、4相同的程度。另外,由于试样3的损伤恢

复度比试样1的损伤恢复度高,因此可知由于不具有Ti膜作为势垒金属,所以在除放射线照射以外的工序中在半导体基板产生的晶体损伤的恢复度也变高。

[0106] (比较例)

作为比较例,针对通过在正面电极与半导体基板之间设置Ti或镍(Ni)这样的高硬度且高熔点的金属膜、将Ti膜硅化而得的硅化钛(TiSi)膜来降低正面电极与半导体基板的接触电阻而得的MOSFET进行说明。图10、11是分别示出比较例1、2的结构的截面图。图10、11所示的半导体装置110、120(以下,设为比较例1、2)为通常的沟槽栅结构的纵型MOSFET,各自的正面电极114与半导体基板108之间的接触结构不同。

[0107] 在比较例1、2中,沟槽栅结构由p型基区102、n⁺型源区103、p⁺型接触区104、沟槽105、栅极绝缘膜106和栅电极107构成,并且设置在半导体基板108的正面与n⁻型漂移区101之间。层间绝缘膜109设置在半导体基板108的正面,覆盖栅电极107。在半导体基板108的背面与n⁻型漂移区101之间设置有n⁺型漏区115。在半导体基板108的背面,以与n⁺型漏区115接触的方式设置有成为漏电极的背面电极116。

[0108] 比较例1(图10所示的半导体装置110)在半导体基板108的正面与层间绝缘膜109的接触孔109a连续地具有源极接触沟槽108a。在源极接触沟槽108a的内壁露出有n⁺型源区103和p⁺型接触区104。沿着接触孔109a的侧壁(层间绝缘膜109的侧面)和源极接触沟槽108a的内壁,通过溅射依次形成Ti或Ni那样的高硬度且高熔点的金属膜111和TiN膜112。

[0109] 金属膜111和TiN膜112向层间绝缘膜109的上表面延伸,覆盖层间绝缘膜109的整个上表面。以埋入接触孔109a和源极接触沟槽108a的方式在TiN膜112上设置W插塞113。在TiN膜112和W插塞113之上设置有正面电极114。正面电极114经由W插塞113、TiN膜112和金属膜111而与n⁺型源区103和p⁺型接触区104电连接从而作为源电极发挥功能。

[0110] 比较例2(图11所示的半导体装置120)与比较例1的不同点在于,代替金属膜111,仅在Si部上设置有TiSi膜121。比较例2通过不设置源极接触沟槽108a,而成为与比较例1相比层间绝缘膜109的厚度残留得厚的结构。TiSi膜121通过Ti膜(后述的Ti膜121a:参照图13、14)中的Ti原子与半导体基板108中的Si原子之间的硅化反应而形成,并且在层间绝缘膜109的接触孔109a内仅设置在Si部(即半导体基板108的正面)上。

[0111] TiSi膜121不设置在层间绝缘膜109的表面。TiSi膜121的厚度例如为60nm左右,在距半导体基板108的正面比n⁺型源区103更浅的位置终止。虽然省略图示,但是即使在比较例2具有源极接触沟槽108a的情况下,TiSi膜121也仅设置在Si部(即源极接触沟槽108a的内壁)上。TiN膜122沿着TiSi膜121的表面和层间绝缘膜109的表面设置。W插塞123在接触孔109a的内部被埋入到TiN膜122上。

[0112] 对比较例2(图11所示的半导体装置120)的制造方法进行说明。图12~18是示出比较例2的制造中途的状态的截面图。首先,如图12所示,通过通常的方法,在半导体基板108的正面侧形成由p型基区102、n⁺型源区103、p⁺型接触区104、沟槽105、栅极绝缘膜106和栅电极107构成的沟槽栅结构。接着,在半导体基板108的整个正面形成层间绝缘膜109。接着,形成在深度方向上贯通层间绝缘膜109而到达半导体基板108的接触孔109a。

[0113] 接着,如图13所示,在300℃左右的温度环境中,通过溅射,沿着层间绝缘膜109的表面和在半导体基板108的接触孔109a露出的部分的表面,形成例如40nm左右的厚度的Ti膜121a。接着,如图14所示,例如通过600℃左右的高速热处理(RTA:Rapid Thermal

Annealing),使Ti膜121a与半导体基板108发生硅化反应,在接触孔109a内在半导体基板108的正面上形成TiSi膜121。TiSi膜121的厚度由于硅化导致的体积膨胀而变厚到60nm左右。

[0114] 接着,如图15所示,将层间绝缘膜109的表面上的未反应而直接残留的Ti膜121a的剩余部分去除。接着,如图16所示,通过溅射而沿着TiSi膜121的表面和层间绝缘膜109的表面形成TiN膜122。接着,如图17所示,通过CVD,以埋入接触孔109a的方式在半导体基板108的正面的最表面形成W膜123a。接着,如图18所示,通过对W膜123a进行回蚀,仅将成为W插塞123的部分残留在接触孔109a内。

[0115] 接着,在半导体基板108的最表面形成正面电极114。在半导体基板108的背面侧形成 n^+ 型漏区115和背面电极116。接着,通过电子束等放射线照射来控制 n^- 型漂移区101的载流子寿命。在到达到此为止的工序的期间(尤其是用于 n^- 型漂移区101的载流子寿命控制的放射线照射),在半导体基板108产生晶体损伤,栅极阈值电压等各特性变动。因此,接着通过氢退火使半导体基板8的晶体损伤恢复,从而完成比较例2。

[0116] 在上述比较例1中,不仅Ti膜(金属膜111)是公知的,设为Ti膜和TiN膜这两层的接触结构、或设为Ti膜、TiN膜和Ti膜这三层的接触结构也是公知的。Ti膜与 n 型Si(半导体基板108)的接触电阻低。因此,在比较例1中,即使接触孔109a的宽度因微细化而变窄,也能够抑制正面电极114与半导体基板108的接触电阻的增加。然而,在比较例1中,在正面电极114与层间绝缘膜109之间的金属膜111为Ti膜的情况下,因该Ti膜而妨碍氢退火的效果。

[0117] 另外,在比较例1中,作为W插塞113的材料气体的 WF_6 气体可能穿透TiN膜12而可能与Ti膜接触。如果 WF_6 气体与Ti膜接触,则产生使与层间绝缘膜109的紧贴性降低的氟、 H_2 。另外,Ti膜的一部分消失,在上层的TiN膜112产生上浮、裂缝。由此,正面电极114的紧贴性降低。例如,通过将金属膜111设为Ni膜来代替Ti膜、或者去除Ti膜的覆盖层间绝缘膜109的表面的部分,从而消除上述课题,但是由此金属膜111的作为势垒金属的功能也降低。

[0118] 另外,在去除了Ti膜(金属膜111)的覆盖层间绝缘膜109的表面的部分的情况下,由于对正面电极114进行引线键合时的超声波振动而在层间绝缘膜109产生损伤。另外,由于去除Ti膜的覆盖层间绝缘膜109的表面的部分,所以工序数量增加、伴随着微粒产生而导致的合格率降低,从而成本增大。另外,在去除了Ti膜的覆盖层间绝缘膜109的表面的部分的情况下,由于与层间绝缘膜109的紧贴性比Ti膜更低的TiN膜112与层间绝缘膜109接触,因此使层间绝缘膜109与正面电极114的紧贴性降低。

[0119] 在比较例2中,由于去除作为TiSi膜121的材料的Ti膜121a的剩余部分(参照图15),所以与比较例1同样地,工序数量增加、因微粒产生而合格率降低。如果不去除Ti膜121a的剩余部分而使其残留在层间绝缘膜109之上,则在形成W插塞123时和氢退火时产生与比较例1相同的问题。另外,在比较例2中,TiSi膜121与半导体基板108的接触电阻降低,但由于硅化导致的体积膨胀,TiSi膜121的厚度变得比沉积Ti膜121a时的厚度厚,其厚度越增加,则在半导体基板108局部地产生的应力越大。

[0120] 另外,在比较例1、2中,设想半导体基板108的晶体损伤没有通过氢退火而被充分地恢复,从而通过将半导体基板108内的预定的扩散区的杂质剂量过度地提高等,预计由半导体基板108的晶体损伤导致的降低量,通过将预定特性预先设定得高而使作为产品的预定特性与预定值相匹配,在上述情况下,有可能由于通过氢退火使半导体基板108的晶体损

伤恢复,所以预定特性变得比预定值高。因此,在高温施加试验等可靠性试验中容易引起特性变动,产品(半导体装置110、120)的可靠性差。

[0121] 例如,在上述专利文献4中,通过使沉积在半导体基板上的多晶硅(poly-Si)膜与在加热到500℃左右的状态下产生的钛自由基反应而硅化,从而形成为TiSi膜。因此,与比较例2同样地,由于硅化导致的TiSi膜的体积膨胀,在半导体基板局部地产生的应力变大。另外,在多晶硅膜的硅化在深度方向上没有从多晶硅膜的上表面到达半导体基板的情况下,与半导体基板的接触电阻变高。另外,由于在金属布线中包含Ti膜,因此与比较例1同样地妨碍氢退火的效果。

[0122] 例如,在上述专利文献5中,通过PECVD在半导体基板上直接形成TiSi膜,但如果PECVD的导入气体组成中包括的氯(Cl)扩散到半导体基板中,或者作为残留物混入到TiSi膜中、半导体基板中,则成为TiSi膜、半导体基板的腐蚀的原因。另外,使用被等离子体化的材料气体而形成的沉积膜的应力高、电阻值高。由于设想为了降低沉积膜的电阻值需要例如通过热处理使沉积膜的厚度在面内均匀来降低层电阻,因此工序数量增加。

[0123] 另外,在上述专利文献5中,在通过CVD在半导体基板上形成Si膜之后,在通过PECVD形成Ti膜时,Si膜与Ti膜反应而形成TiSi膜,但是难以利用除基于导入气体与半导体基板(Si基板)之间的化学反应的晶体生长以外的方法来形成Si膜。即使假设能够通过CVD形成Si膜,之后,如果使在包含Si膜的表面在内的半导体基板的最表面的整个面成膜的Ti膜与Si膜进行反应,则TiSi膜的应力也因体积膨胀而增大。另外,与比较例1同样地,由于未反应而直接残留的Ti膜的剩余部分,妨碍氢退火的效果。

[0124] 另一方面,根据实施方式1、2(参照图1、7),设置在层间绝缘膜9的表面的至少一部分且作为势垒金属而发挥功能的金属膜为TiSix膜11、21和TiN膜12、22,没有设置Ti膜。因此,不妨碍氢退火的效果,并且不产生因金属插塞13、23的材料气体与作为势垒金属发挥功能的金属膜之间的接触而导致的与层间绝缘膜9的紧贴性的降低。另外,通过溅射在300℃以下左右的低温环境中形成TiSix膜11、21,能够抑制在半导体基板8局部产生的应力。因此,产品的可靠性提高。

[0125] 另外,根据实施方式2(参照图7),通过使层间绝缘膜9的整个表面被TiSix膜21和TiN膜22覆盖,作为势垒金属的效果得以提高。另外,通过TiSix膜21和TiN膜22,能够抑制由对正面电极14进行引线键合时的超声波振动导致的对层间绝缘膜9的损伤。另外,根据实施方式2,由于不选择性地去除TiSix膜21和TiN膜22,因此能够减少工序数量,通过微粒的降低来提高合格率,降低成本。

[0126] 另外,在上述专利文献1~4中,正面电极的层叠结构中包括的TiSiN膜与本实施方式1、2的TiSix膜11、21不同,妨碍用于使半导体基板的晶体损伤恢复的氢退火的效果。另外,在上述专利文献1中,在形成Ti膜后通过溅射形成TiSiN层之后,进行氧化、热处理而使TiSiN层的上部表面氧化,从而形成作为TiSiN层的氧化层的氮化钛硅氧化物层,形成将这些层叠而成的电容器,与像本实施方式1、2那样形成与半导体基板的接触的方式不同。另外,在上述专利文献1中,由于进行超过600℃的高温热处理,因此由于因合金化导致的体积膨胀,在半导体基板局部地产生的应力变大。

[0127] 在上述专利文献2中,TiSiN层形成在半导体基板与层间绝缘膜之间,与本实施方式1、2的TiSix膜11、21的结构不同。另外,由于进行高温热处理,因此由于因合金化导致的

体积膨胀,在半导体基板局部地产生的应力变大。上述专利文献3是如下结构:在半导体基板表面具备包含Si的第一导电层、形成在第一导电层上的TiSiN层等包含高熔点金属、Si、氮的第二导电层、形成在第二导电层上的包含铂族元素的第三导电层,并将这些导电层连接,由于即使进行高温热处理也防止Si与铂族元素之间的相互扩散,因此与像本实施方式1、2那样形成与半导体基板的接触的方式不同。另外,在上述专利文献3中,由于进行高温热处理,因此由于因合金化导致的体积膨胀,在半导体基板局部产生的应力变大。

[0128] 在上述专利文献4中,在层间绝缘膜形成到达半导体基板的高纵横比的接触孔,将不填埋接触孔的厚度的多晶或非结晶的Si膜层叠在层间绝缘膜表面、接触孔侧面、接触孔底面(半导体基板表面),一边通过PECVD来沉积Ti膜一边使Si膜转换成TiSi膜,进而在Ti膜表面形成TiN膜,与本实施方式1、2的TiSix膜11、21的形成方法不同。另外,与本实施方式1、2的不同点在于,层叠有多晶或非结晶的Si膜。另外,在上述专利文献4中,由于因高温等离子体中的硅化导致的TiSi膜的体积膨胀,在半导体基板局部产生的应力变大,可能还残留等离子体损伤。

[0129] 在上述专利文献5的接触层的形成方法的第一例中,在层间绝缘膜形成到达半导体基板的高纵横比的接触孔,通过PECVD层叠不填埋接触孔的厚度的TiSi膜,与本实施方式1、2的TiSix膜11、21的形成方法不同。另外,在上述专利文献5中,用于形成TiSi膜的PECVD的导入气体组成中包括的氯(Cl)成为半导体基板的特性变动、可靠性降低、腐蚀的原因。另外,可能残留有等离子体损伤。另外,在上述专利文献5的接触层的形成方法的第一例中,如果在形成TiSi膜以后进行温度比TiSi膜的形成温度更高的高温热处理,则在半导体基板局部产生的应力变大。

[0130] 在上述专利文献5的接触层的形成方法的第二例中,在层间绝缘膜形成到达半导体基板的高纵横比的接触孔,通过减压CVD(LPCVD:Low Pressure CVD:低压力化学气相沉积法)形成不填埋接触孔的厚度的Si膜,一边通过PECVD来形成Ti膜一边与Si膜反应而转换成TiSi膜,与本实施方式1、2的TiSix膜11、21的形成方法不同。另外,在上述专利文献5的接触层的形成方法的第二例中,如果使用的TiCl气体的Cl残留,则引起特性变动、可靠性降低,可能残留有等离子体损伤。另外,由于等离子体中的硅化,因此因TiSi膜的体积膨胀而在半导体基板局部产生的应力变大。

[0131] 在上述专利文献6中,为了降低栅极电阻,形成多晶硅膜作为栅电极,通过PVD法在该多晶硅膜上形成TiSi膜,为了防止由于TiSi膜的侧向蚀刻大而栅极宽度变窄,在栅电极侧面形成氧化膜,没有公开正面电极的接触结构,与像本实施方式1、2那样形成与半导体基板的接触的方式不同。另外,在上述专利文献6中,由于进行高温热处理,因此由于因合金化导致的体积膨胀,在半导体基板局部产生的应力变大。

[0132] 相对于此,在本实施方式1、2中,如上所述地通过溅射在半导体基板上沉积TiSix膜,从而不会产生上述引用文献1~6中产生的问题。

[0133] 以上,本发明不限于上述各实施方式,在不脱离本发明的主旨的范围内能够进行各种变更。例如,上述各实施方式不限于沟槽栅结构的MOSFET,能够应用于正面电极的接触结构在层间绝缘膜的接触孔中与半导体基板欧姆接触的结构的各种半导体装置。另外,在各实施方式中,将第一导电型设为n型、将第二导电型设为p型,但本发明将第一导电型设为p型、将第二导电型设为n型也同样成立。

[0134] 工业上的可利用性

如上所述,本发明的半导体装置和半导体装置的制造方法,对于在电力转换装置、各种工业用机械等的电源装置等中使用的功率半导体装置是有用的,尤其适合利用接触沟槽实现了微细化的半导体装置。

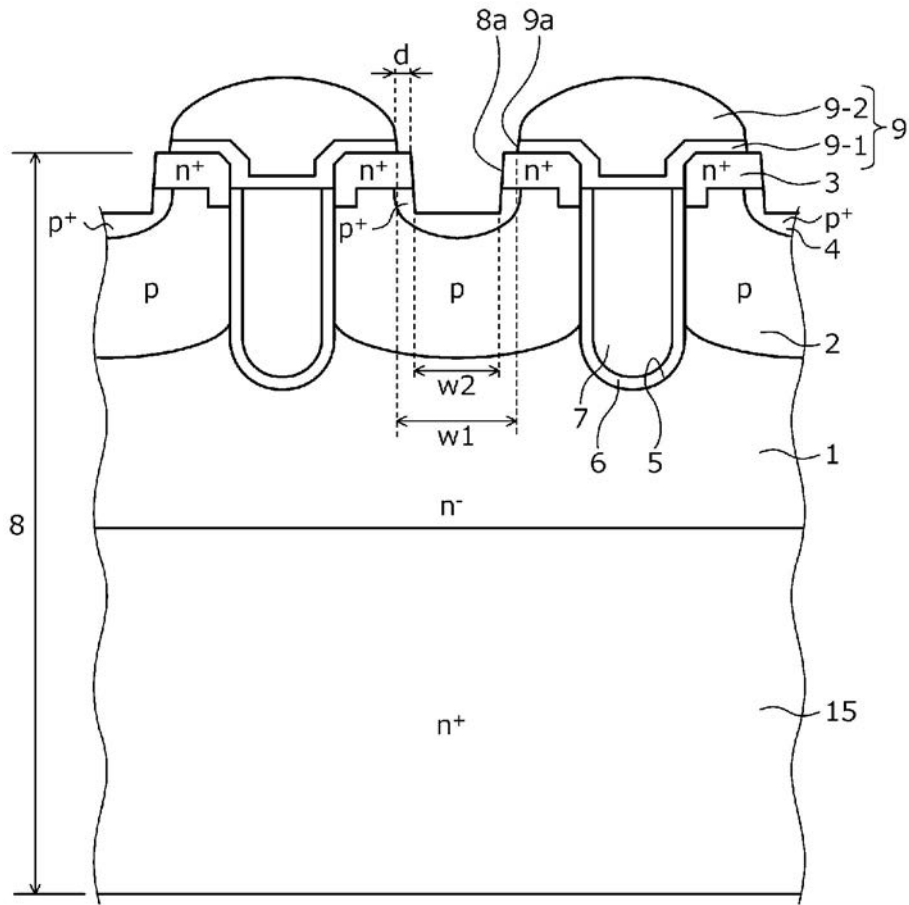


图2

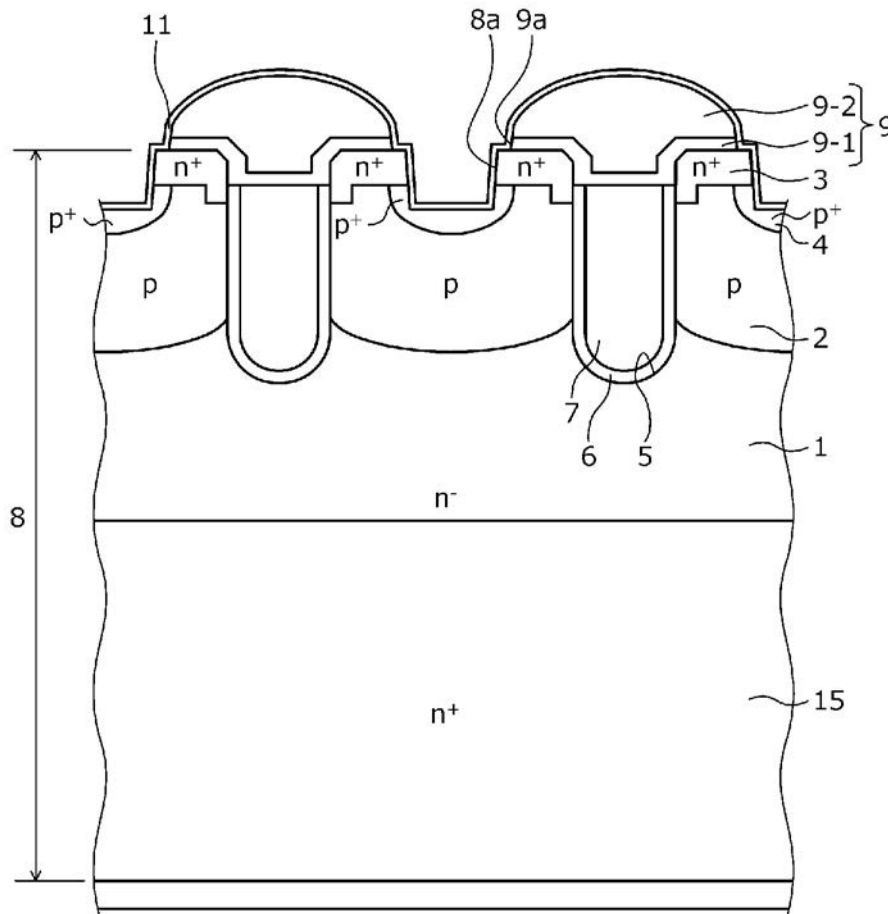


图3

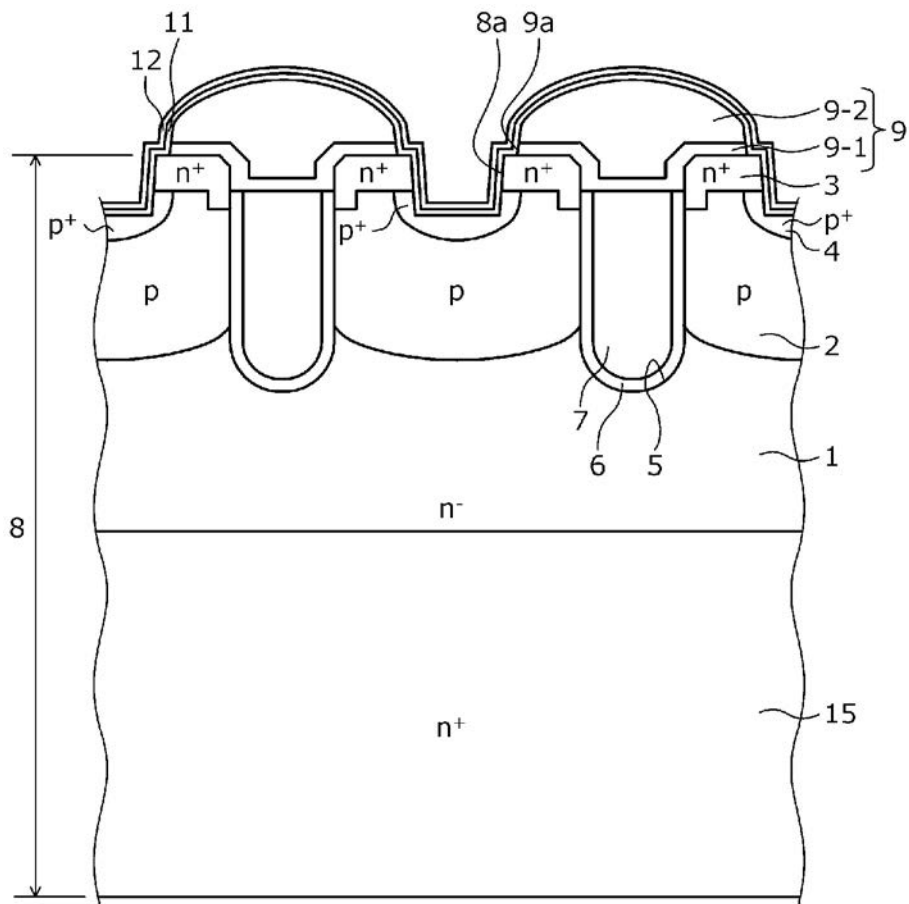


图4

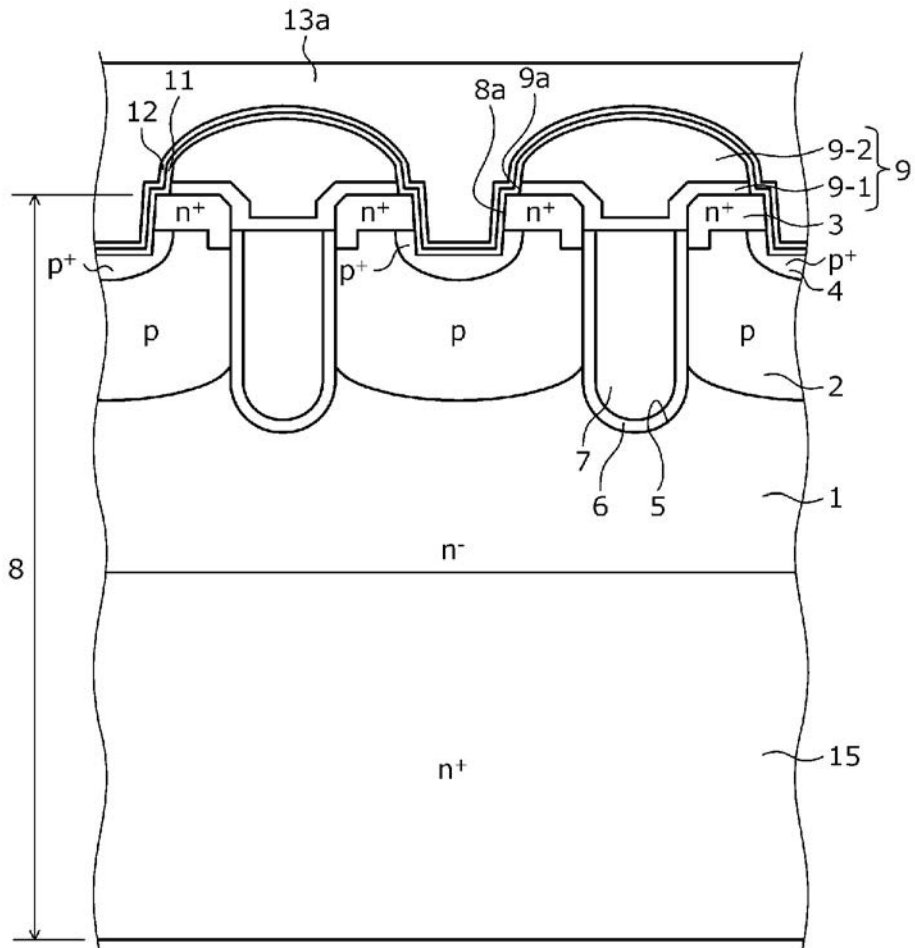


图5

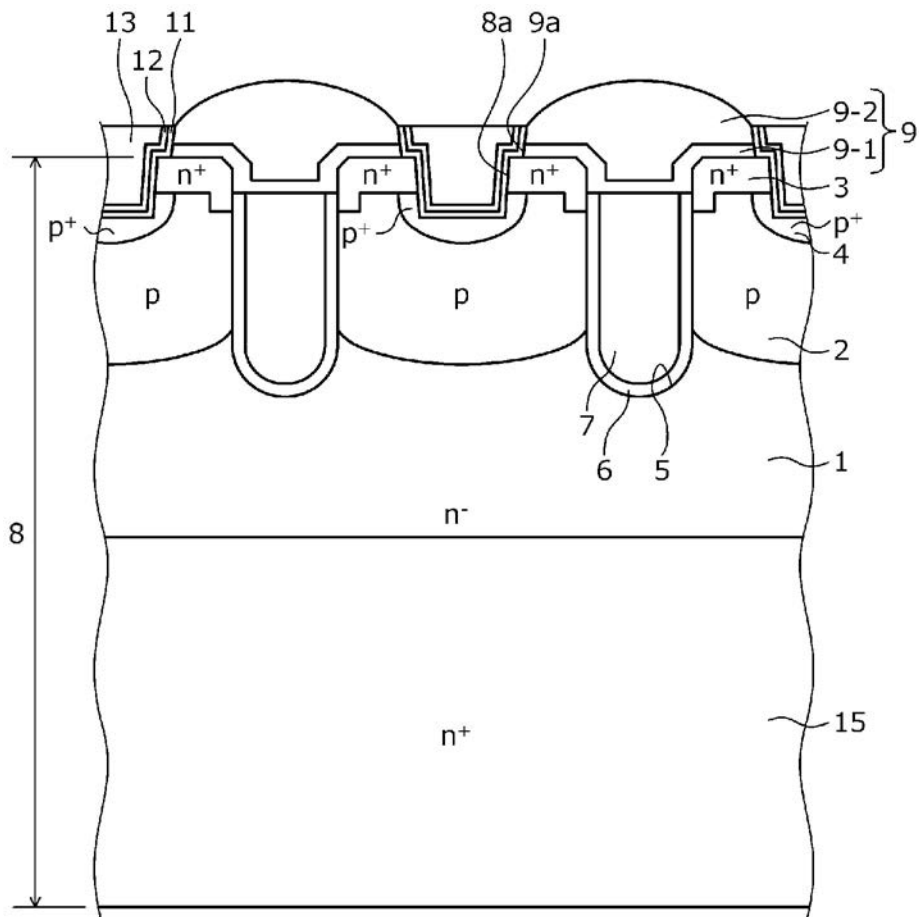


图6

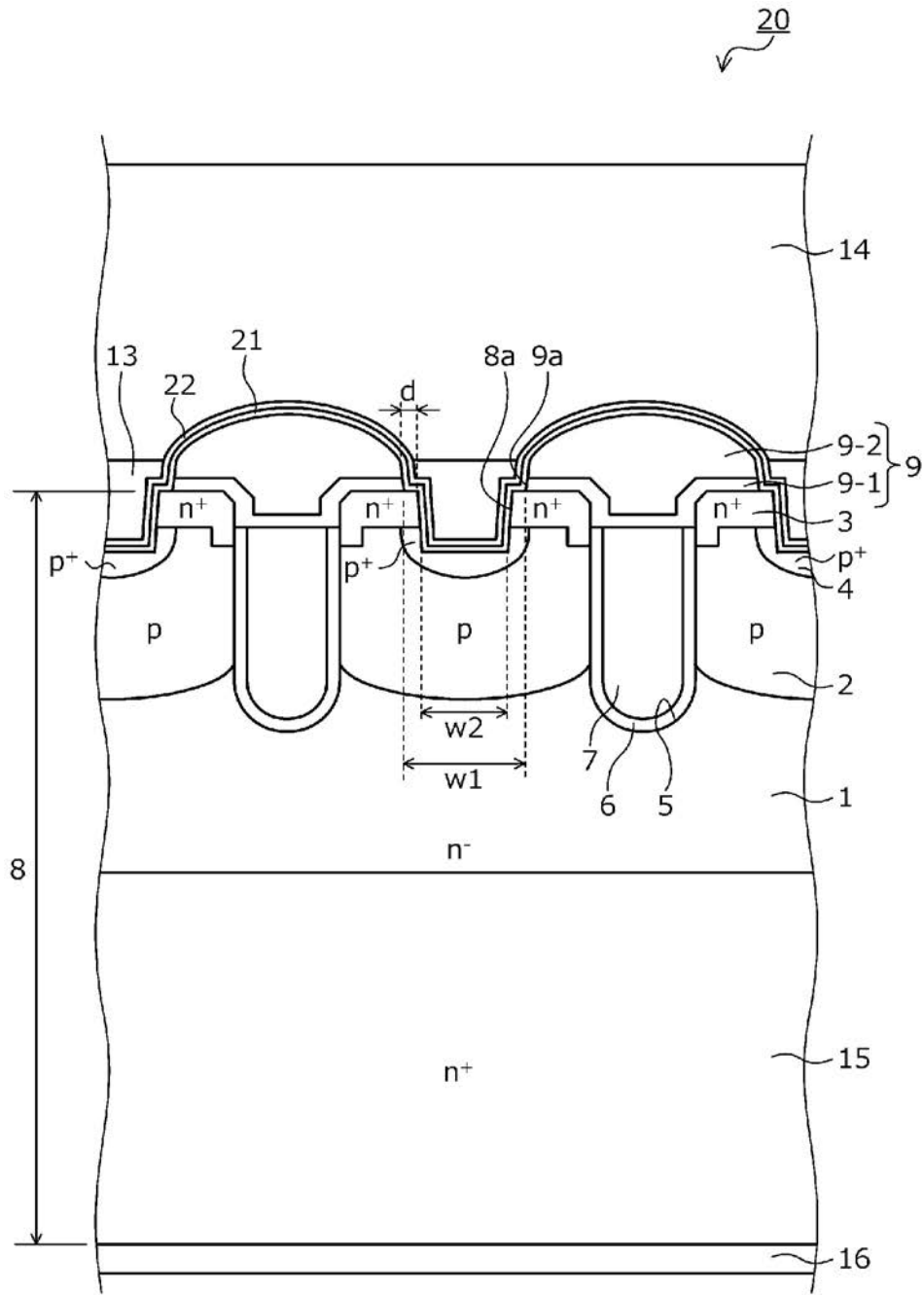


图7

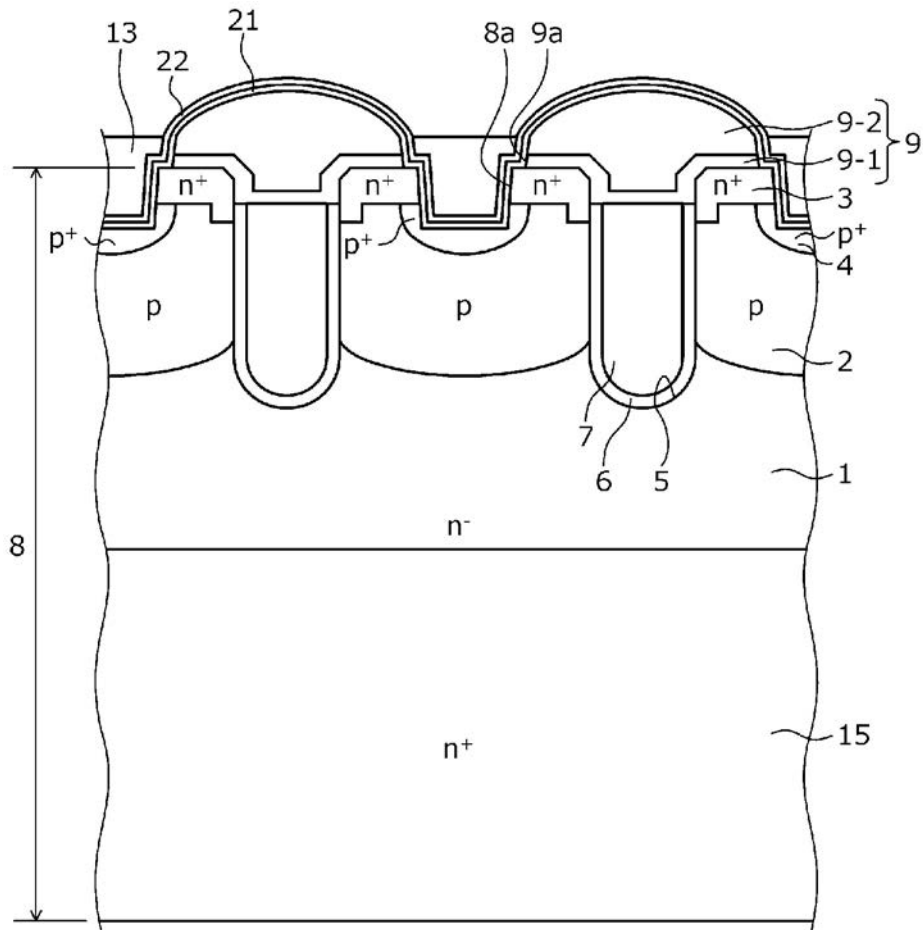


图8

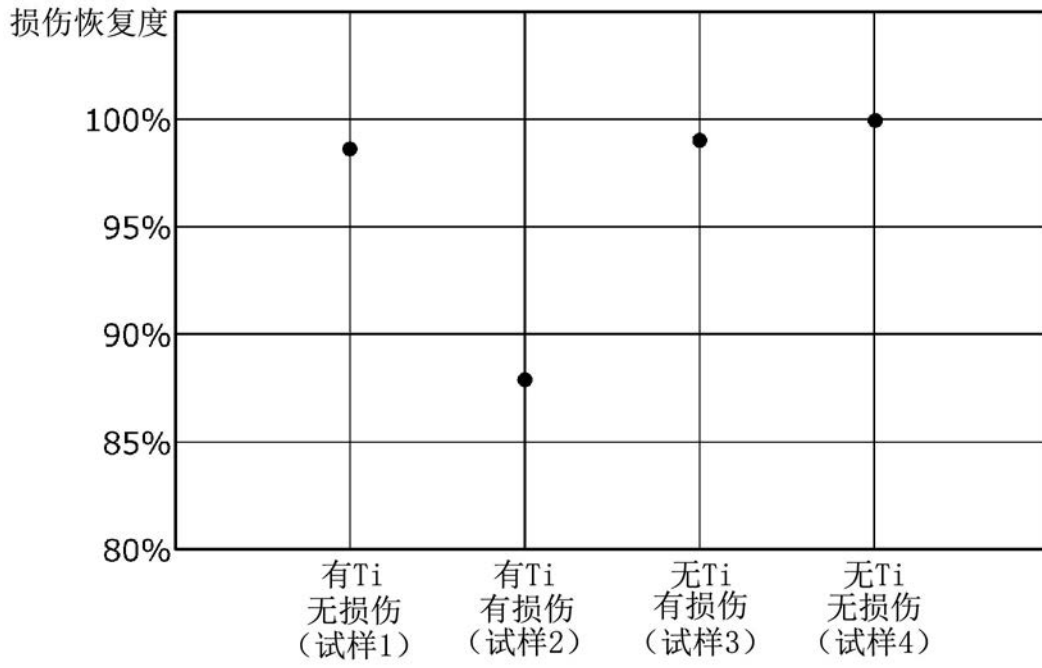


图9

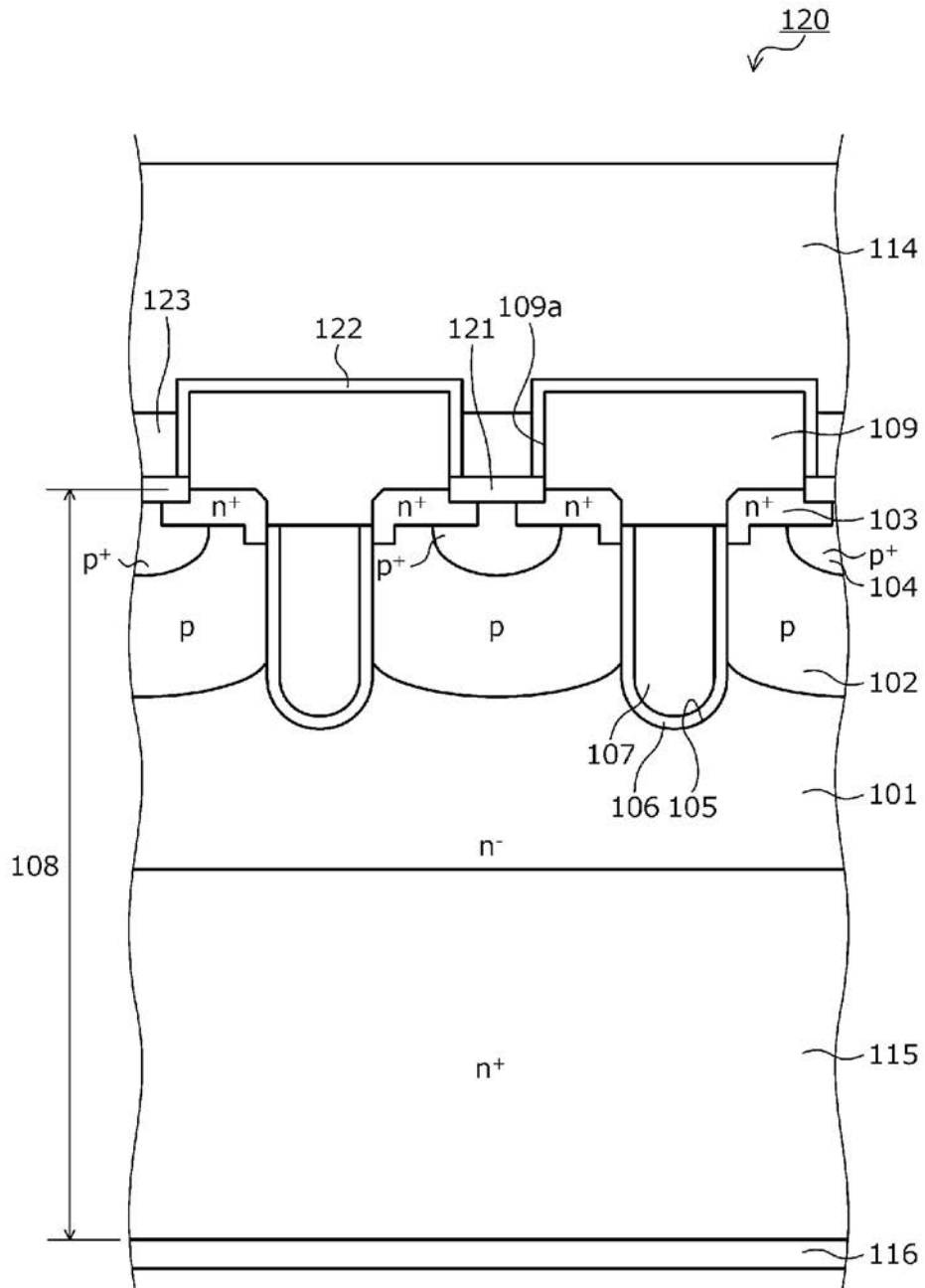


图11

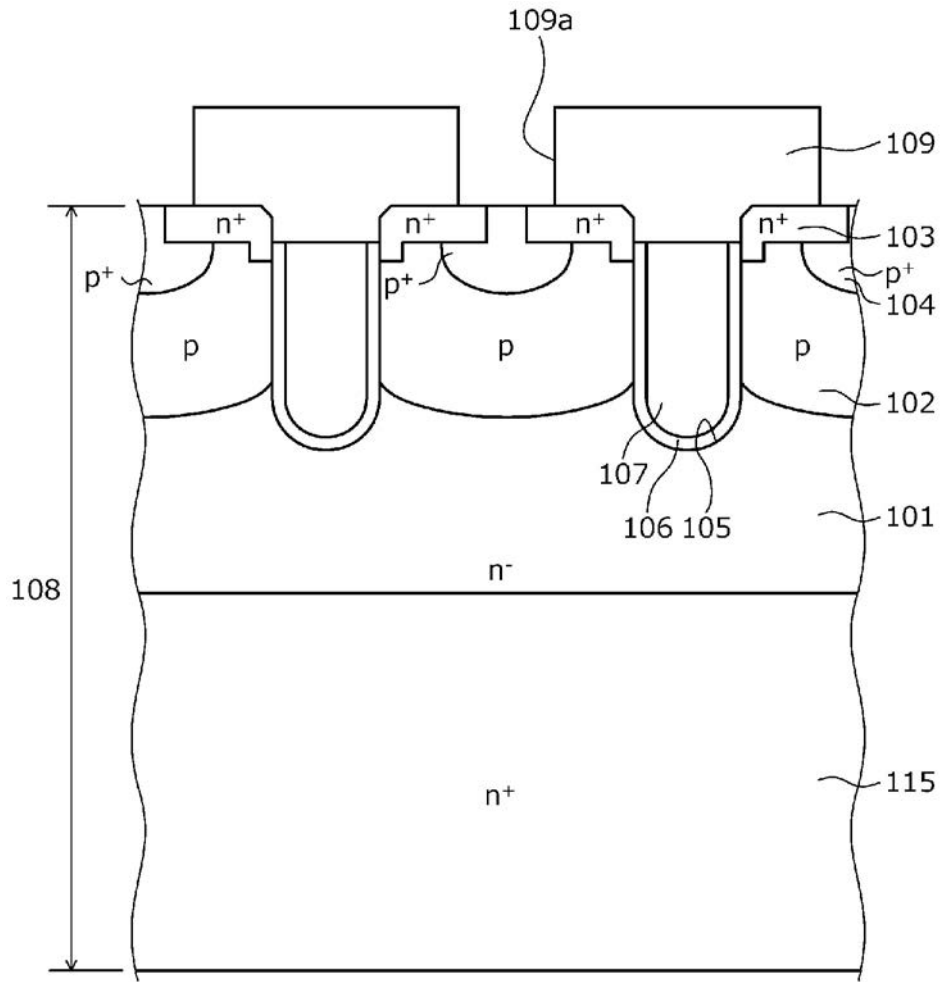


图12

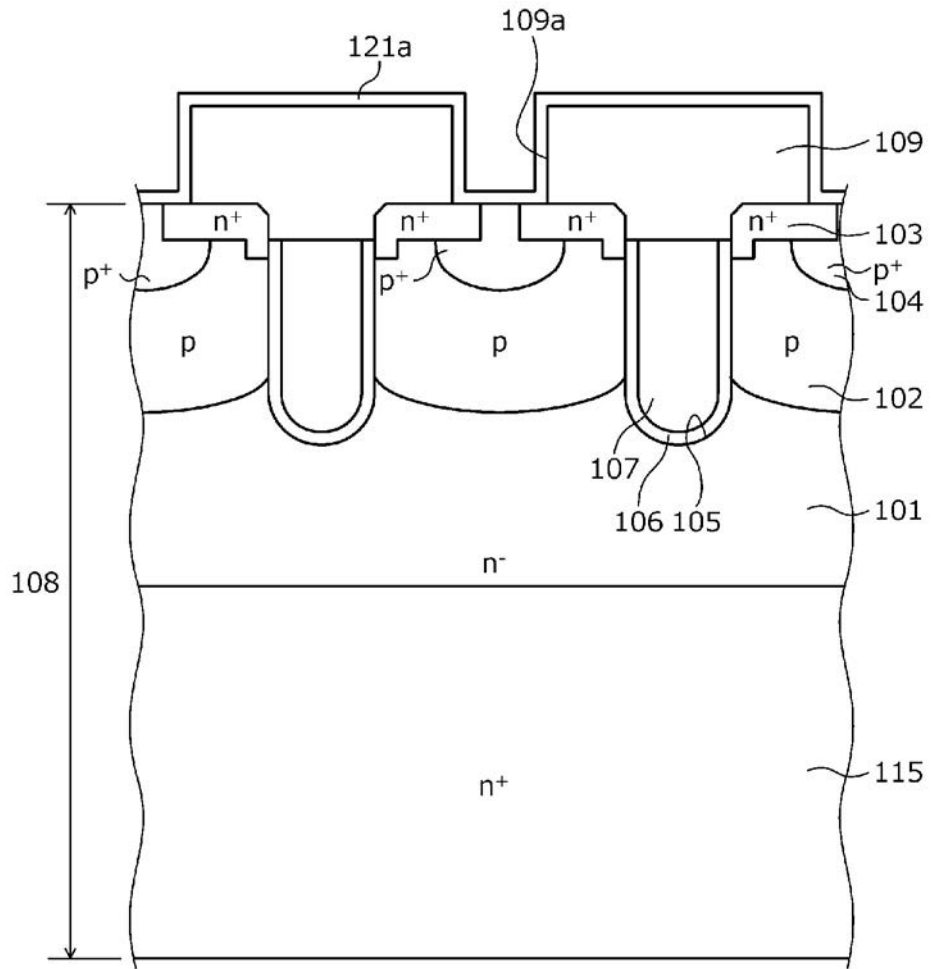


图13

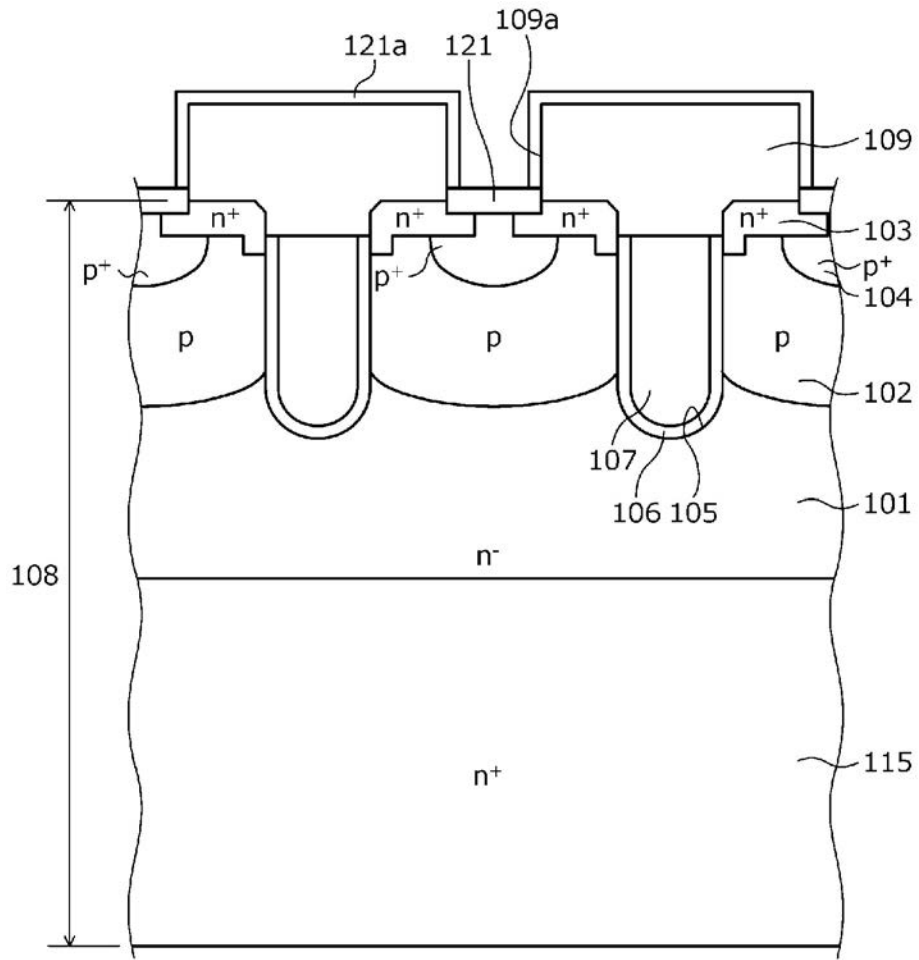


图14

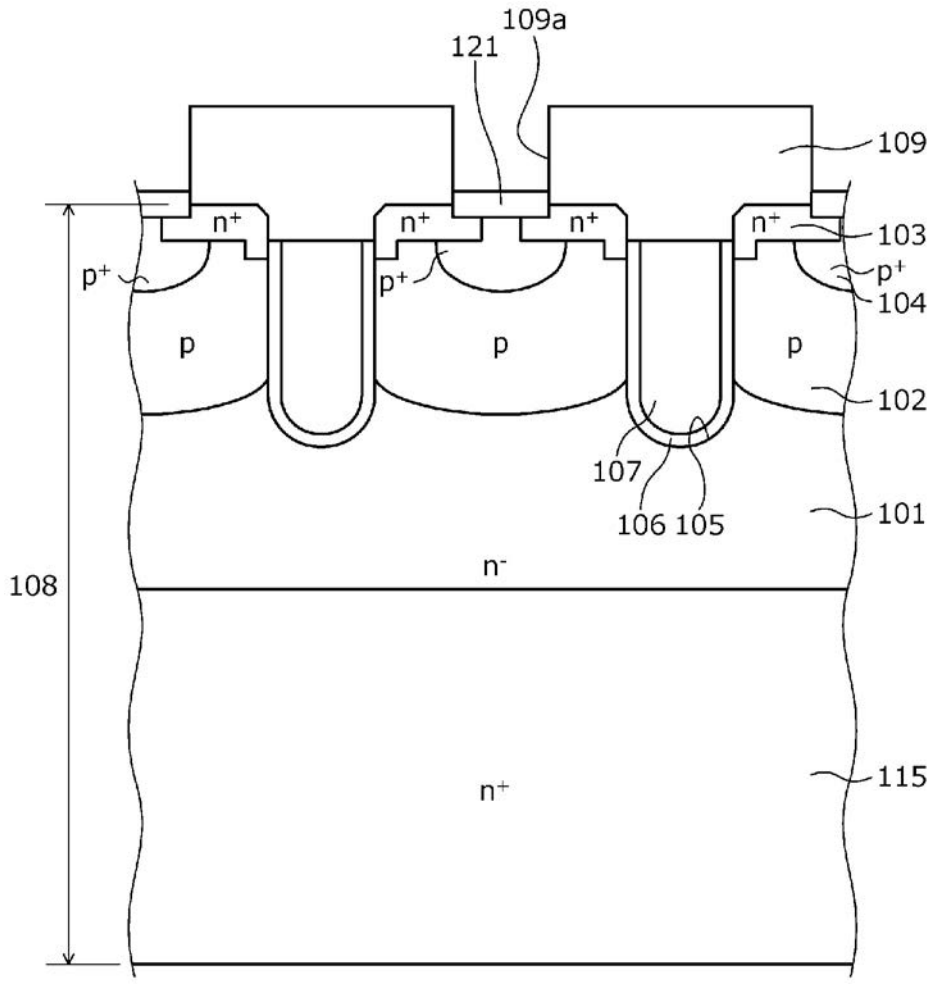


图15

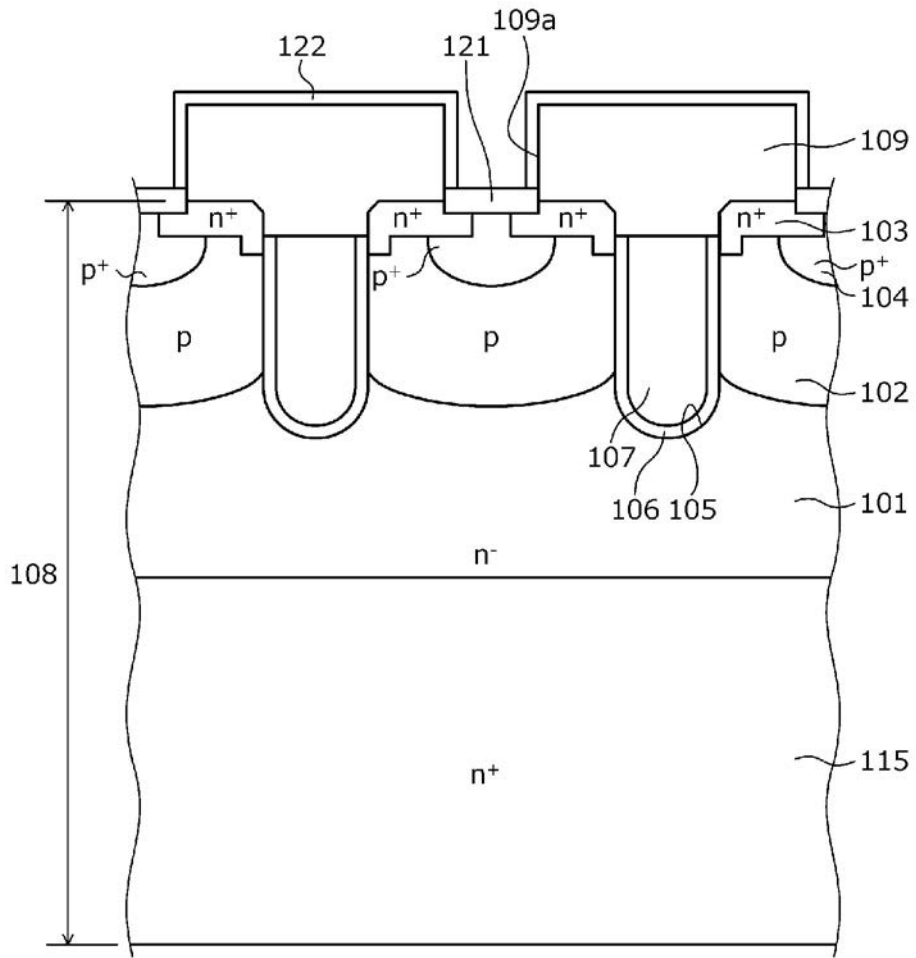


图16

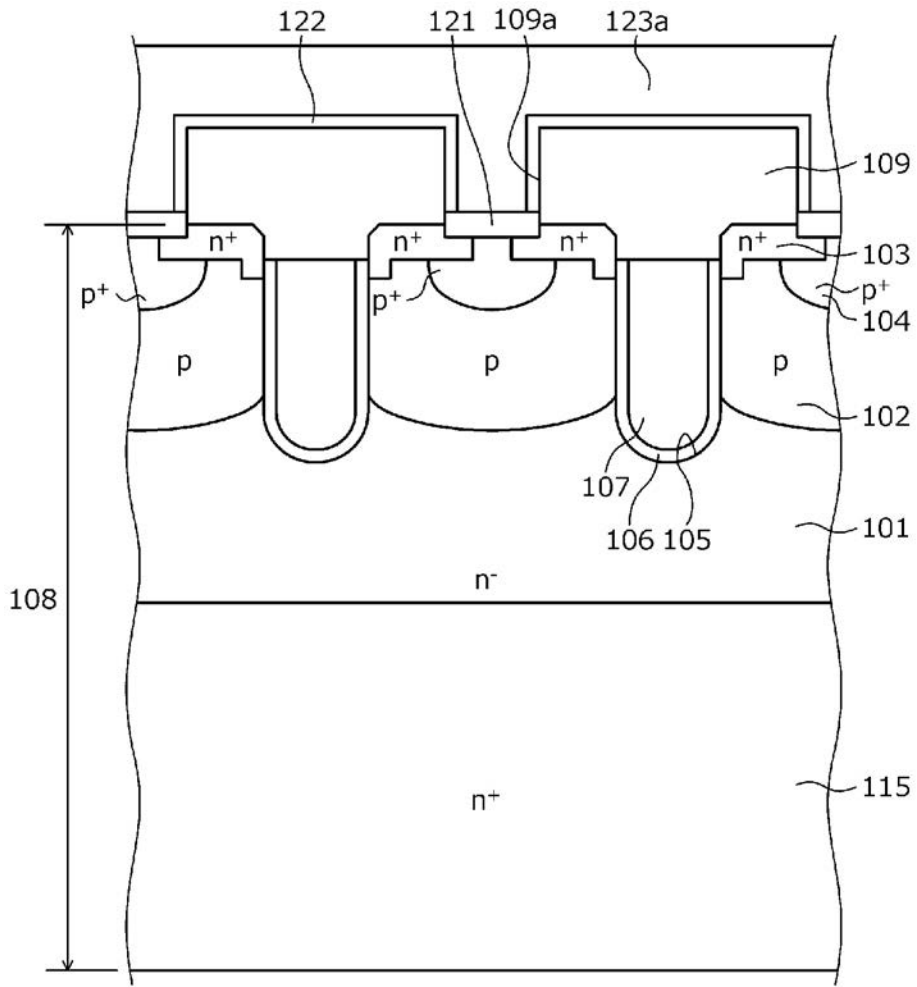


图17

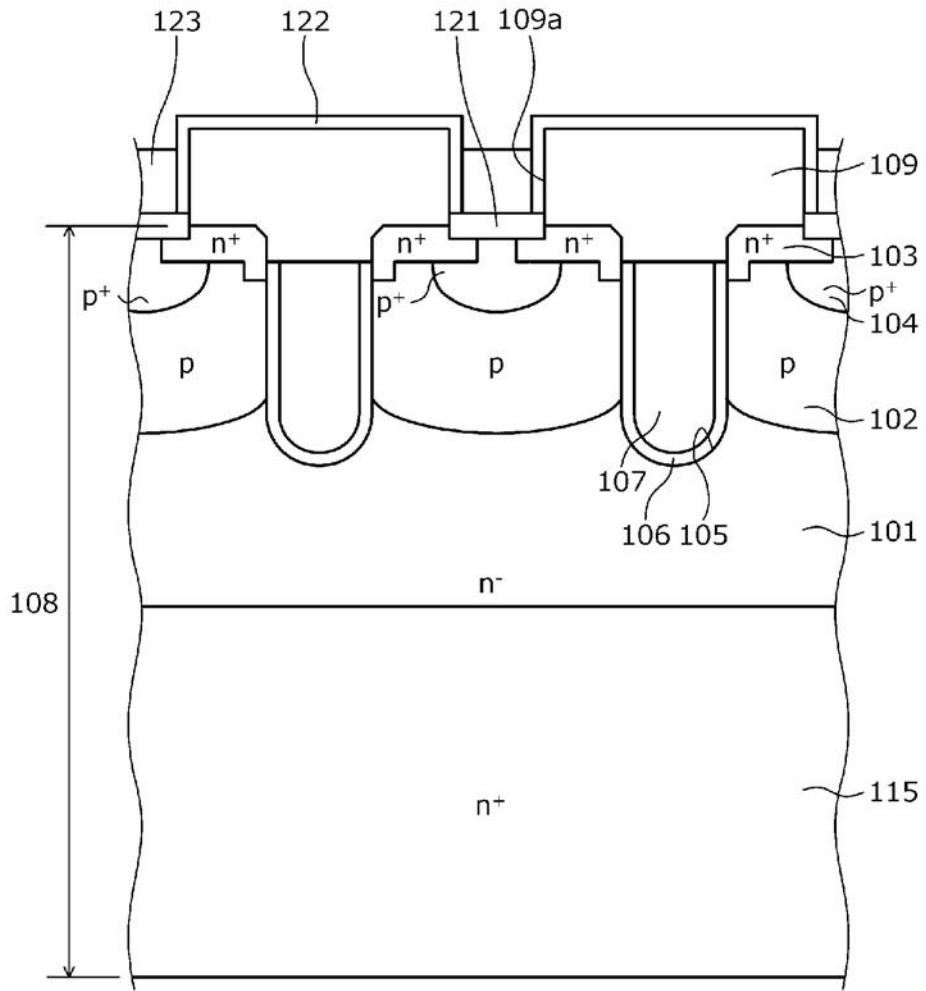


图18

1. 一种半导体装置,其特征在于,具备:
 - 第一导电型的第一半导体区,其设置在半导体基板的内部;
 - 第二导电型的第二半导体区,其设置在所述半导体基板的正面与所述第一半导体区之间;
 - 元件结构,其设置在所述半导体基板的正面侧,包括所述第二半导体区与所述第一半导体区的pn结;
 - 层间绝缘膜,其设置在所述半导体基板的正面,覆盖所述元件结构;
 - 接触孔,其在深度方向上贯通所述层间绝缘膜而到达所述半导体基板;
 - 接触结构,其在所述接触孔中与所述半导体基板接触;
 - 第一电极,其经由所述接触结构与所述第二半导体区电连接;以及
 - 第二电极,其设置在所述半导体基板的背面,
 - 所述接触结构由硅化钛膜、氮化钛膜、以及金属插塞构成,
 - 所述硅化钛膜在所述接触孔中与所述半导体基板接触,并且沿着所述接触孔的侧壁在所述层间绝缘膜的表面延伸,
 - 所述氮化钛膜沿着所述硅化钛膜的表面设置,
 - 所述金属插塞在所述接触孔的内部被埋入到所述氮化钛膜之上。
2. 根据权利要求1所述的半导体装置,其特征在于,
 - 具备以与所述接触孔连续的方式设置在所述半导体基板的正面的预定深度的接触沟槽,
 - 所述硅化钛膜沿着所述接触孔的侧壁和所述接触沟槽的内壁设置。
3. 根据权利要求2所述的半导体装置,其特征在于,
 - 所述硅化钛膜的厚度从所述接触孔的侧壁遍及到所述接触沟槽的侧壁都是一样的。
4. 根据权利要求2所述的半导体装置,其特征在于,
 - 所述层间绝缘膜位于沿着与所述半导体基板的正面平行的方向从所述接触沟槽仅离开10nm以下的距离的位置。
5. 根据权利要求1所述的半导体装置,其特征在于,
 - 所述硅化钛膜在所述层间绝缘膜的侧面终止,
 - 所述第一电极以与所述层间绝缘膜接触的方式设置在所述层间绝缘膜的上表面。
6. 根据权利要求1所述的半导体装置,其特征在于,
 - 所述硅化钛膜覆盖所述层间绝缘膜的整个表面,
 - 所述第一电极经由所述硅化钛膜和所述氮化钛膜设置在所述层间绝缘膜的上表面。
7. 一种半导体装置的制造方法,其特征在于,包括:
 - 第一工序,在半导体基板的正面的表面区形成与所述半导体基板的内部的第一导电型的第一半导体区接触的第二导电型的第二半导体区,并且形成包括所述第二半导体区与所述第一半导体区的pn结的元件结构;
 - 第二工序,在所述半导体基板的正面形成覆盖所述元件结构的层间绝缘膜;
 - 第三工序,形成在深度方向上贯通所述层间绝缘膜而到达所述半导体基板的接触孔;
 - 第四工序,形成在所述接触孔中与所述半导体基板接触的接触结构;
 - 第五工序,形成经由所述接触结构与所述第二半导体区电连接的第一电极;以及

第一退火工序,其在所述第五工序之后,通过在氢气氛中的热处理,使所述半导体基板的晶体损伤恢复,

所述第四工序包括:

第一沉积工序,通过溅射而沉积硅化钛膜,所述硅化钛膜覆盖所述层间绝缘膜的整个表面,且在所述接触孔中与所述半导体基板接触;

第二沉积工序,通过溅射而在所述硅化钛膜的表面沉积氮化钛膜;以及

第三沉积工序,在所述接触孔的内部将金属插塞埋入到所述氮化钛膜之上,形成由所述硅化钛膜、所述氮化钛膜和所述金属插塞构成的所述接触结构。

8. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

在所述第三工序之后且所述第四工序之前,包括第六工序,在所述第六工序中,在所述半导体基板的正面形成与所述接触孔连续的预定深度的接触沟槽,

在所述第一沉积工序中,沿着所述层间绝缘膜的表面和所述接触沟槽的内壁形成所述硅化钛膜。

9. 根据权利要求8所述的半导体装置的制造方法,其特征在于,

在所述第六工序之后且所述第四工序之前,包括第七工序,在所述第七工序中,使所述层间绝缘膜平坦。

10. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

所述第一沉积工序和所述第二沉积工序使用同一溅射装置连续地进行。

11. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

所述第四工序还包括去除工序,在所述去除工序中,以所述金属插塞为掩模而对所述氮化钛膜和所述硅化钛膜进行回蚀,从而使所述层间绝缘膜的上表面露出,

在所述第五工序中,在所述层间绝缘膜的上表面,以与所述层间绝缘膜接触的方式形成所述第一电极。

12. 根据权利要求7所述的半导体装置的制造方法,其特征在于,

在300°C以下的温度环境中进行所述第一沉积工序。

13. 根据权利要求7所述的半导体装置的制造方法,其特征在于,还包括:

照射工序,在所述第一退火工序之后,对所述半导体基板照射放射线;以及

第二退火工序,在所述照射工序之后,通过在氢气氛中的热处理,将在所述pn结形成的寄生二极管调整为预定的反向恢复特性。

14. [追加] 根据权利要求1所述的半导体装置,其特征在于,

所述硅化钛膜为沉积膜。

15. [追加] 根据权利要求7所述的半导体装置的制造方法,其特征在于,

在300°C以下的温度环境中进行所述第二沉积工序。

- [0001] 按照专利合作条约第19条的修改声明
- [0002] 申请人基于专利合作条约第19条的规定进行如下修改。
- [0003] 权利要求书的第1~13项为申请时的权利要求书的第1~13项。
- [0004] 权利要求书的第14项基于申请时说明书的第[0059]、[0066]段而追加。
- [0005] 权利要求书的第15项基于申请时说明书的第[0066]段而追加。