

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-526126
(P2019-526126A)

(43) 公表日 令和1年9月12日(2019.9.12)

(51) Int.Cl.		F I			テーマコード(参考)
G06F 12/06	(2006.01)	G06F 12/06	540C		5B160
G06F 12/04	(2006.01)	G06F 12/04	510A		

審査請求 有 予備審査請求 未請求 (全 65 頁)

(21) 出願番号 特願2019-503745 (P2019-503745)
 (86) (22) 出願日 平成29年7月19日 (2017.7.19)
 (85) 翻訳文提出日 平成31年2月28日 (2019.2.28)
 (86) 国際出願番号 PCT/US2017/042895
 (87) 国際公開番号 W02018/022382
 (87) 国際公開日 平成30年2月1日 (2018.2.1)
 (31) 優先権主張番号 15/223,753
 (32) 優先日 平成28年7月29日 (2016.7.29)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 595168543
 マイクロン テクノロジー, インク.
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデラル
 ウェイ 8000
 (74) 代理人 100074099
 弁理士 大菅 義之
 (74) 代理人 100106851
 弁理士 野村 泰久
 (72) 発明者 ヴィッラ, コラード
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデラル
 ウェイ 8000, マイクロン テクノ
 ロジー, インク. 内
 Fターム(参考) 5B160 CA11 DA03

最終頁に続く

(54) 【発明の名称】 可変のページサイズアーキテクチャ

(57) 【要約】

可変のページサイズを有するメモリアレイを動作するための方法、システム、及びデバイスが記述される。ページサイズは動的に変更され得、メモリアレイの複数の行は、所望のページサイズを作り出すために並行してアクセスされ得る。アレイのメモリバンクは複数のメモリセクションを含み得、各メモリセクションは、メモリセルを読み出す又はプログラミングするためのその自身の一組のセンスコンポーネント(例えば、センスアンプ)を有し得る。複数のメモリセクションは、それ故、メモリセルの複数の行からメモリページを作り出すために並行してアクセスされ得る。アドレッシングスキームは、ページサイズに基づいて修正され得る。論理行アドレスは、並行してアクセスされるメモリセクションを識別し得る。メモリセクションはまた、リンクされ得、あるセクション中の行へのアクセスは、別のメモリセクション中の行に自動的にアクセスし得る。

【選択図】 図3

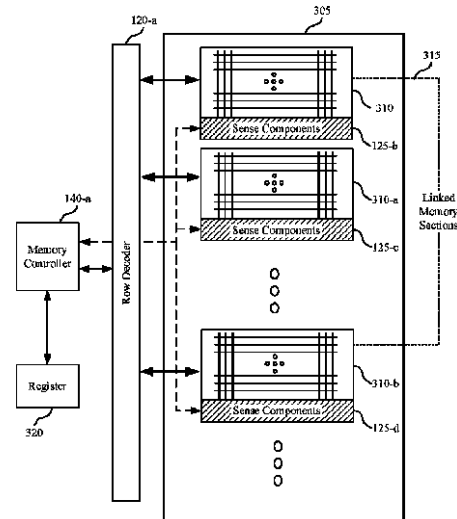


FIG. 3

100-a

【特許請求の範囲】**【請求項 1】**

メモリアレイがアクセス可能なメモリバンクのメモリセルの数と関連付けられるベースページサイズの整数倍である活性ページサイズを選択することと、

前記活性ページサイズに少なくとも部分的に基づいて、前記メモリバンクに対するアドレススキームを構成することと、

前記アドレススキームを使用して且つ前記活性ページサイズに従って、アクセスコマンドを送信することと

を含む、方法。

【請求項 2】

前記アドレススキームは、

前記メモリアレイの複数のメモリセクションの内のメモリセクション、前記メモリセクション内の物理行、及び前記物理行の物理列セクションを識別するための論理行アドレスを構成すること

を含む、請求項 1 に記載の方法。

【請求項 3】

前記物理列セクションは、前記ベースページサイズに等しい複数のメモリセルを含む、請求項 2 に記載の方法。

【請求項 4】

前記物理列セクションは、前記物理行に沿って等間隔にされた複数の物理列を含む、請求項 2 に記載の方法。

【請求項 5】

前記アドレススキームを構成することは、

前記活性ページサイズのセクションを識別するための列アドレスを構成することであって、ここで、前記活性ページサイズは複数のセクションを含むこと

を含む、請求項 1 に記載の方法。

【請求項 6】

前記活性ページサイズの前記セクションは読み出しバースト長を含む、請求項 5 に記載の方法。

【請求項 7】

前記アドレススキームを構成することは、

前記活性ページサイズに少なくとも部分的に基づいて論理行アドレスに対するビット数を判定することと、

前記活性ページサイズに少なくとも部分的に基づいて列アドレスに対するビット数を判定することと

を含む、請求項 1 に記載の方法。

【請求項 8】

前記論理行アドレスに対する前記ビット数と前記列アドレスに対する前記ビット数との和は、前記活性ページサイズとは無関係に一定値である、請求項 7 に記載の方法。

【請求項 9】

前記一定値は、前記メモリバンクのサイズ若しくは読み出しバースト長、又はそれら両方に少なくとも部分的に基づく、請求項 8 に記載の方法。

【請求項 10】

複数のメモリセクションの内の第 1 のメモリセクションと前記複数のメモリセクションの内の第 2 のメモリセクションとの間のリンク関係を判定すること

を更に含む、請求項 1 に記載の方法。

【請求項 11】

前記第 1 のメモリセクションは前記第 2 のメモリセクションにリンクされ、前記活性ページサイズは前記ベースページサイズの 2 倍であり、前記方法は、

メモリページをオープンするための論理行アドレスを行デコーダへ送信することであっ

10

20

30

40

50

て、ここで、前記論理行アドレスは前記第 1 のメモリセクションを識別することと、

前記論理行アドレスに少なくとも部分的に基づいて、前記第 1 のメモリセクションの第 1 のベースメモリページをオープンすることと、

前記第 1 のメモリセクションと前記第 2 のメモリセクションとの間のリンクに少なくとも部分的に基づいて、前記第 2 のメモリセクションの第 2 のベースメモリページをオープンすることと、ここで、前記メモリページは、前記第 1 のベースメモリページ及び前記第 2 のベースメモリページを含むこと

を含む、請求項 10 に記載の方法。

【請求項 12】

前記第 2 のベースメモリページは、前記第 1 のメモリセクション内の前記第 1 のベースメモリページと同じ相対アドレスを前記第 2 のメモリセクション内に有する、請求項 11 に記載の方法。

【請求項 13】

前記リンク関係はレジスタ中に蓄積される、請求項 10 に記載の方法。

【請求項 14】

前記リンク関係は構成可能である、請求項 10 に記載の方法。

【請求項 15】

前記活性ページサイズを選択することは、

デバイスを電源オンすると前記活性ページサイズを選択することと、ここで、前記メモリアレイは前記デバイスの素子を含む、

ことを含む、請求項 1 に記載の方法。

【請求項 16】

前記活性ページサイズを選択することは、

特定のページサイズを使用するための指標を受信することと、

前記特定のページサイズに等しい前記活性ページサイズをセットすることと

を含む、請求項 1 に記載の方法。

【請求項 17】

前記特定のページサイズを使用するための前記指標をソフトウェアアプリケーションから受信すること

を更に含む、請求項 16 に記載の方法。

【請求項 18】

前記活性ページサイズを使用して、前記メモリバンクの第 1 の複数のメモリセルをプログラミングすることと、

前記ベースページサイズの異なる整数倍又は約数である別の活性ページサイズを使用して、前記メモリバンクの第 2 の複数のメモリセルを読み出すことと

を更に含む、請求項 1 に記載の方法。

【請求項 19】

前記ベースページサイズは、前記メモリアレイの複数のメモリセクションの内の各メモリセクションに対するページサイズである、請求項 1 に記載の方法。

【請求項 20】

メモリバンクの第 1 の行中の第 1 の複数の論理値を判定することと、

前記メモリバンクの第 2 の行中の第 2 の複数の論理値を判定することと、

前記第 1 の複数の論理値及び前記第 2 の複数の論理値を含むメモリページをバッファリングすることと、

前記メモリページのサブセットをバスへ送信することと

を含む、方法。

【請求項 21】

前記メモリバンクは複数のメモリセクションを含み、第 1 のメモリセクションは前記第 1 の行を含み、第 2 のメモリセクションは前記第 2 の行を含む、請求項 20 に記載の方法

。

10

20

30

40

50

【請求項 2 2】

ベースメモリページサイズは、前記第 1 の複数の論理値又は前記第 2 の複数の論理値を含み、前記方法は、

前記メモリページのサイズが前記ベースメモリページサイズの 2 倍を含むと判定することと、

前記メモリページの前記サイズに少なくとも部分的に基づいて、活性化コマンドを発行するようにコマンドジェネレータを構成することと

を含む、請求項 2 0 に記載の方法。

【請求項 2 3】

前記第 1 の行中の前記第 1 の複数の論理値を判定することは、

10

前記第 1 の行中のメモリセルのサブセットの各メモリセルの論理値を判定することを含む、請求項 2 0 に記載の方法。

【請求項 2 4】

前記メモリページをバッファリングすることは、

前記第 1 の複数の論理値及び前記第 2 の複数の論理値をラッチすること

を含む、請求項 2 0 に記載の方法。

【請求項 2 5】

メモリアレイがアクセス可能な複数のページサイズからページサイズを識別することと

、

識別された前記ページサイズに少なくとも部分的に基づいて、前記メモリアレイの少なくとも 1 つの行にアクセスすることであって、ここで、前記アクセスすることは、前記行の各メモリセルをアクセス線に電子的に結合することを含むことと、

20

前記行のメモリセルのサブセットをアクセス線のサブセットを介して選択することと、メモリセルの前記サブセットの各メモリセルの論理値を判定することと

を含む、方法。

【請求項 2 6】

前記ページサイズを識別することは、

前記メモリアレイの 2 つ以上の行を含むページサイズを識別すること

を含む、請求項 2 5 に記載の方法。

【請求項 2 7】

30

前記行のメモリセルの前記サブセットをアクセス線の前記サブセットを介して選択することは、

アクセス線の前記サブセットの各アクセス線を複数のセンスコンポーネントの内のセンスコンポーネントに電子的に結合するための第 1 の複数のスイッチを活性化すること

を含む、請求項 2 5 に記載の方法。

【請求項 2 8】

アクセス線の残部は、第 2 の複数のスイッチを介して前記複数のセンスコンポーネントから電気的に絶縁される、請求項 2 7 に記載の方法。

【請求項 2 9】

メモリセルの前記サブセットを識別する論理行アドレスを受信することと、

40

前記論理行アドレスに少なくとも部分的に基づいて、前記第 1 の複数のスイッチを活性化することと

を更に含む、請求項 2 7 に記載の方法。

【請求項 3 0】

前記メモリアレイの前記行にアクセスすることは、

複数の選択コンポーネントを活性化することであって、ここで、前記行の各メモリセルは、前記複数の選択コンポーネントの内の選択コンポーネントと電子通信すること

を含む、請求項 2 5 に記載の方法。

【請求項 3 1】

複数の内の各行アクセス線がメモリセルの行と電子通信する、複数の行アクセス線と、

50

複数の内の各列アクセス線がメモリセルの列と電子通信する、複数の列アクセス線と、複数のセンスコンポーネントであって、ここで、センスコンポーネントの数は列アクセス線の数よりも少ない、前記複数のセンスコンポーネントと、

複数のメモリページサイズからメモリページサイズを選択するように構成可能なメモリコントローラであって、ここで、前記複数のメモリページサイズの中の最小のページサイズは、センスコンポーネントの前記数に少なくとも部分的に基づく、前記メモリコントローラと

を含む、装置。

【請求項 3 2】

前記複数のセンスコンポーネントの中の各センスコンポーネントは、少なくとも 2 つの列アクセス線と電子通信し、前記装置は、

複数のスイッチの中の各スイッチが前記複数の列アクセス線の中の列アクセス線を、前記複数のセンスコンポーネントの中のセンスコンポーネントから電氣的に分離する、前記複数のスイッチ

を更に含む、請求項 3 1 に記載の装置。

【請求項 3 3】

複数のラッチを含む行バッファであって、ここで、前記複数のラッチの中の各ラッチは、前記複数のセンスコンポーネントの中のセンスコンポーネントと電子通信する、前記行バッファ

を更に含む、請求項 3 1 に記載の装置。

【請求項 3 4】

前記複数の行アクセス線及び前記複数の列アクセス線はメモリセクションを含み、前記装置は、

メモリバンクを含む複数のメモリセクションであって、ここで、前記複数のメモリセクションの中の各メモリセクションは一組のセンスコンポーネントと関連付けられる、前記複数のメモリセクション

を更に含む、請求項 3 1 に記載の装置。

【請求項 3 5】

前記メモリページサイズに少なくとも部分的に基づいて論理行アドレスを発行するように構成可能なコマンドジェネレータ

を更に含む、請求項 3 1 に記載の装置。

【請求項 3 6】

第 1 のメモリページサイズを使用して、複数のメモリバンクの中の第 1 のメモリバンクにアクセスすることと、

前記第 1 のメモリページサイズとは異なる第 2 のメモリページサイズを使用して、前記複数のメモリバンクの中の第 2 のメモリバンクにアクセスすることと

を含む、方法。

【請求項 3 7】

前記第 1 のメモリページサイズに少なくとも部分的に基づく第 1 のアドレッシングスキームを使用して、前記第 1 のメモリバンクにアクセスすることと、

前記第 2 のメモリページサイズに少なくとも部分的に基づく第 2 のアドレッシングスキームを使用して、前記第 2 のメモリバンクにアクセスすることと

を更に含む、請求項 3 6 に記載の方法。

【請求項 3 8】

各メモリセクションがメモリセルの複数の物理行を有する、複数のメモリセクションを含むメモリアレイのメモリバンク中のメモリセルに対するアクセスリクエストを受信することと、

前記メモリセルが設置されたメモリバンクの前記複数のメモリセクションの中のメモリセクションを識別することと、

前記メモリセルを含むメモリセルの前記複数の物理行の中の物理行を前記メモリセクシ

10

20

30

40

50

ョン中で識別することと、

前記メモリセルを含むメモリページを前記物理行中で識別することと、

前記メモリページをオープンするための論理行アドレスを生成することとを含む、方法。

【請求項 39】

前記メモリセルは第2のメモリセクションに設置され、前記第2のメモリセルは第1のメモリセクションにリンクされ、前記論理行アドレスを生成することは、

前記第1のメモリセクションを識別する前記論理行アドレスを生成することと、

前記論理行アドレスを行デコーダへ送信することであって、ここで、前記第2のメモリセクションの前記物理行は、前記第1のメモリセクションを識別する前記論理行アドレスと、前記第1のメモリセクションと前記第2のメモリセクションとの間の前記リンクに少なくとも部分的に基づいて、前記行デコーダによりアクセス可能であることを含む、請求項38に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

<相互参照>

本出願は、本出願の譲受人に与えられた2016年7月29日出願の名称が“可変のページサイズアーキテクチャ”であるVililaによる米国特許出願番号15/223,753に対する優先権を主張する。

【0002】

以下は、概して、メモリデバイスに関し、より具体的には、可変のページサイズアーキテクチャを有するメモリデバイスに関する。

【背景技術】

【0003】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、及びデジタル表示装置等の様々な電子デバイス中に情報を蓄積するために広く使用される。情報は、メモリデバイスの異なる状態をプログラミングすることによって蓄積される。例えば、バイナリデバイスは、論理“1”又は論理“0”によりしばしば示される2つの状態を有する。その他のシステムでは、3つ以上の状態が蓄積され得る。蓄積された情報にアクセスするために、電子デバイスは、メモリデバイス中の蓄積状態を読み出し得、又はセンシングし得る。情報を蓄積するために、電子デバイスは、メモリデバイス中に状態を書き込み得、又はプログラミングし得る。

【0004】

ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、ダイナミックRAM(DRAM)、同期型ダイナミックRAM(SDRAM)、強誘電体RAM(FERAM)、磁気RAM(MRAM)、抵抗変化RAM(RRAM)、及びフラッシュメモリ等を含む様々な種類のメモリデバイスが存在する。メモリデバイスは揮発性又は不揮発性であり得る。不揮発性メモリ、例えば、フラッシュメモリは、外部電源が存在しなくても長時間、データを蓄積できる。揮発性メモリデバイス、例えば、DRAMは、外部電源により定期的リフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。バイナリメモリデバイスは、例えば、充電又は放電されるコンデンサを含み得る。充電されたコンデンサは、しかしながら、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。定期的リフレッシュなしにデータを蓄積する能力等の不揮発性の機構が利点であり得る一方で、揮発性メモリの幾つかの機構は、より高速な読み出し又は書き込み速度等の性能の利点を提供し得る。

【0005】

幾つかの不揮発性メモリデバイスは、揮発性メモリと同様のデバイスアーキテクチャを使用し得る。そうしたデバイスは、その他の不揮発性及び揮発性のメモリデバイスと比較して向上した性能を有し得る。情報は、複数のバイナリビット(メモリセル)を用いてし

10

20

30

40

50

ばしば表されるので、読み出し又は書き込み動作中に多くのメモリセルが一度にアクセスされ得る。このメモリページベースのアクセスもメモリアレイの性能を向上し得る。しかしながら、メモリページが大きい場合、それは、本来必要とはされなかった多くのビットを含み得る。それらの未使用のメモリセルにアクセスすることは、エネルギーを浪費し得、ダイスペースを占める不必要なコンポーネントを必要とし得る。

【0006】

本明細書の開示は、以下の図面を参照し、以下の図面を含む。

【図面の簡単な説明】

【0007】

【図1】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイを説明する。 10

【図2】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリセルの例示的回路を説明する。

【図3】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイ説明する。

【図4】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリアレイの例示的回路を説明する。

【図5】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイのブロック図を説明する。

【図6】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する、メモリアレイを含むシステムを説明する。 20

【図7】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図8】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図9】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図10】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図11】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。 30

【発明を実施するための形態】

【0008】

メモリアレイのページサイズは、メモリアレイの複数の行にアクセスすることによって動的に変更され得る。メモリアレイは、各々のバンクが幾つかのメモリセクションを含む、複数のメモリバンクから構成され得る。各メモリセクションは、メモリセルのアレイと、該メモリセルを読み出す又はプログラミングするための一組のセンスコンポーネント（例えば、センスアンプ）とを有し得る。メモリページをオープンするために、メモリセクション内の行がアクセスされ得、該行内のメモリセルのサブセットがセンシング及びバッファリングされ得る。各メモリセクションは、その自身の一組のセンスコンポーネントを有するので、複数のメモリセクションは、メモリバンクの複数の行へのアクセスと同時に（in parallel）アクセスされ得、それ故、可変サイズのページサイズを可能にする。 40

【0009】

アドレッシングスキームは、ページサイズに基づいて修正され得る。メモリコントローラは、メモリページをオープンするために、論理行アドレスをメモリアレイに渡し得る。複数のメモリセクションが同時にアクセスされる場合、論理行アドレスはメモリセクションを識別し得る。幾つかの例では、メモリセクションはリンクされ得、あるセクション中の行へのアクセスは、別のメモリセクション中の行を自動的にアクセスし得る。一旦メモリページがオープンされると、メモリコントローラは、プロセッサへ送信されるメモリページのサブセットを選択する列アクセスコマンドを送信し得る。該サブセットは固定長の 50

ものであり得、それ故、列アクセスコマンドは、ページサイズの変更と共に変化し得る。そのため、メモリコントローラは、ページサイズに基づいて、論理行アドレス及び列アドレスを修正し得る。

【0010】

本明細書に記述される動的ページサイズ動作は、多数の利益を提供し得る。例えば、より少数のセンスコンポーネントが使用される、すなわち、行内のメモリセルのサブセットのみが一度に読み出され又はプログラミングされるので、ダイサイズは縮小し得る。このことは、動作中の電力消費をも削減し得る。更に、性能（例えば、メモリアレイ中の蓄積データにアクセスするための総時間）の向上が要望される場合、複数のメモリ行に同時にアクセスすることによってページサイズは増加し得る。

10

【0011】

幾つかの例では、メモリアレイを含むデバイスを電源オンするとページサイズが判定され得る。他の例では、コマンドを受信することによって、ページサイズが変更され得る。例えば、ソフトウェアアプリケーションは、様々な要因に基づいて好適なページサイズを判定し得、そうしたページサイズを使用するようにメモリアレイにその後命令し得る。

【0012】

上で紹介された開示の機構は、メモリアレイの文脈で更に後述される。可変のページサイズ及びその動作を支持するメモリアレイに対する具体例が続いて記述される。開示のこれら又はその他の機構は、可変のページサイズアーキテクチャに関する装置図、システム図、及びフローチャートの参照によって更に説明され、参照しながら更に記述される。開示は任意の不揮発性メモリに関し得る。幾つかの例は、強誘電体コンデンサを参照しながら論じられるが、本開示は強誘電体メモリに限定されない。例えば、開示は、その他のメモリタイプの中でもとりわけ、クロスポイントメモリ、抵抗変化メモリ、カルコゲニドベースのメモリ、磁気メモリ、フラッシュメモリ、薄膜メモリに関し得る。

20

【0013】

図1は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイ100を説明する。メモリアレイ100は、電子メモリ装置とも称され得る。メモリアレイ100は、異なる論理状態を蓄積するようにプログラム可能なメモリセル105を含む。各メモリセル105は、論理0及び論理1で示される2つの状態を蓄積するようにプログラム可能であり得る。幾つかの場合、メモリセル105は、3つ以上の論理状態を蓄積するように構成される。メモリセル105は、とりわけ、強誘電体コンデンサ、スピントルクトランスファデバイス、磁気トンネル接合、相変化デバイス、メモリトランジスタ等の様々な論理蓄積デバイスの内の1つであり得る。

30

【0014】

読み出し及び書き込み等の動作は、適切なアクセス線110及びデジット線115を活性化又は選択することによって、メモリセル105上で実施され得る。アクセス線110はワード線110と称され得、デジット線115はビット線115と称され得る。ワード線110又はデジット線115を活性化又は選択することは、個別の線に電圧を印加することを含み得る。ワード線110及びデジット線115は導電性材料で作られる。例えば、ワード線110及びデジット線115は、金属（銅、アルミニウム、金、タングステン等）、金属合金、ドーパ半導体、又はその他の導電性材料等で作られてもよい。図1の例に従うと、メモリセル105の各行は単一のワード線110に接続され、メモリセル105の各列は単一のデジット線115に接続される。1つのワード線110及び1つのデジット線115を活性化（例えば、ワード線110又はデジット線115に電圧を印加することによって、それらの交点で単一のメモリセル105がアクセスされ得る。メモリセル105にアクセスすることは、メモリセル105を読み出すこと又は書き込むことを含み得る。ワード線110及びデジット線115の交点はメモリセルのアドレスと称され得る。

40

【0015】

メモリアレイ100は、メモリアレイ、メモリバンク、又はメモリセクションを表し得

50

る。メモリアレイは、チップ等の単一のメモリコンポーネント内での同時動作を向上させるために、メモリバンクに分けられ得る。メモリバンクは、複数のメモリコンポーネント（例えば、チップ）に渡る複数の行及び列であり得る。メモリバンク、メモリセクション、又はメモリページは、2次元又は3次元のメモリアレイの一部であり得る（例えば、メモリアレイ100は2次元又は3次元であり得る）。単一の読み出し又は書き込み動作がメモリバンク内で一度に実施され得る。それ故、メモリアレイ全体に対するスループットを増加させるために、複数のメモリバンクが同時に動作され得る。

【0016】

各メモリバンクは、各メモリセクションがその自身の一組のセンスコンポーネント125を有する（複数の）メモリセクションに分割され得る。例えば、メモリバンクは、32個の別個のメモリセクションに分割され得る。バンクを（複数の）セクションに分割することによって、当該メモリセクション内の各ビット線115の全長は、セクション化されないバンクと比較して削減される。これらのより短いビット線115は、メモリアレイの動作速度を向上させ得る。

10

【0017】

幾つかのアーキテクチャでは、セルの論理蓄積デバイス、例えば、コンデンサは、選択コンポーネントによってデジット線から電氣的に絶縁され得る。ワード線110は、選択コンポーネントに接続され得、選択コンポーネントを制御し得る。例えば、選択コンポーネントはトランジスタであってもよく、ワード線110は、トランジスタのゲートに接続されてもよい。ワード線110を活性化することは、メモリセル105のコンデンサとその対応するデジット線115との間の電氣的接続又は閉回路をもたらす。デジット線は、メモリセル105の読み出し又は書き込みの何れかのためにその後アクセスされ得る。揮発性メモリでは、ワード線110の活性化は、ワード線110と電子通信する各メモリセル105の蓄積された論理状態を破壊し得、それ故、該行の各メモリセル105がセンシングされることが必要とされ、その論理状態がライトバックされ得る。不揮発性メモリでは、このことが当てはまらなくてもよく、ワード線110の活性化は、メモリセル105のデジット線115と電子通信する該メモリセル105を設置するが、各メモリセル105の論理状態は破壊されないことがある。こうして、行中のメモリセル105のサブセットのみがセンスコンポーネント125によりセンシングされ得つつ、ワード線110が活性化され得る。

20

30

【0018】

メモリセル105へのアクセスは、行デコーダ120及び列デコーダ130を通じて制御され得る。幾つかの例では、行デコーダ120は、一連のバイナリビットであり得る行アドレスをメモリコントローラ140から受信し、受信された行アドレスに基づいて適切なワード線110を活性化する。例えば、メモリアレイ100は、WL₁~WL_Mとラベルが付された複数のワード線110を含み得、行アドレスは、ワード線110の内の1つを活性化し得る。行内のメモリセル105の内の幾つか又は全ては、メモリセル105の蓄積状態を判定するために、センスコンポーネント125によりその後センシングされ得る。検出された論理状態はラッチされ得、又は列デコーダ130の一部であり得るバッファ中に蓄積され得る。このプロセスは、メモリページのオープンと称され得る。メモリページのデータは、ワード線110及びセンスコンポーネント125を毎回活性化する必要なく、その後繰り返しアクセスされ（例えば、プロセッサへ送信され）得る。このことは、メモリアレイ100のアクセス時間を向上させ得る。幾つかの場合、以下でより詳細に論じられるように、メモリセル105、ワード線110、又はメモリセクション間にリンク関係が存在し得る。そうした場合、行アドレスは第1の行に向けられ得るが、行デコーダ120は、リンクに基づいて第1の行及び第2の行にアクセスし得る。言い換えれば、行デコーダ120は、第1のワード線110及び第2のワード線110を活性化し得る。第2の行は、別の一組のセンスコンポーネント125を有する別のメモリセクションであり得る。

40

【0019】

50

メモリページ中に含まれるデータは、出力135として列デコーダ130を通じてその後出力され得る。例えば、バスへ出力される論理値の内の1つ又はサブセットを選択するために、列デコーダ130へ列アドレスが送信され得る。この列アドレスは、論理値のサブセットを選択するための一連のバイナリビットであり得る。ページサイズが動的に変化し得ると共に、列アドレス中のビット数も変化し得る。例えば、ページサイズが2倍である場合、2倍に多くのサブセットがこの時利用可能であり、列アドレス中のビット数は増加し得る。

【0020】

アクセスすると、メモリセル105の蓄積状態を判定するために、メモリセル105はセンスコンポーネント125によって読み出され得、又はセンシングされ得る。強誘電体コンデンサを含むメモリセル105の例では、メモリセル105へのアクセス後、それは、その対応するデジット線115上に放電し得る。強誘電体コンデンサの不揮発性の性質に起因して、強誘電体コンデンサの放電は、該強誘電体コンデンサへのバイアス又は電圧の印加に基づき得る。その他の不揮発性メモリに対してはその他のスキームが可能であり得る。放電は、デジット線115の電圧に変化を生じさせ得、センスコンポーネント125は、メモリセル105の蓄積状態を判定するために、それをリファレンス電圧（図示せず）と比較し得る。例えば、デジット線115がリファレンス電圧よりも高い電圧を有する場合、センスコンポーネント125は、メモリセル105中の蓄積状態が論理1であったと判定し得、逆もまた同様である。センスコンポーネント125は、信号の差を検出及び増幅するための様々なトランジスタ又はアンプを含み得る。

10

20

【0021】

メモリセル105は、関連するワード線110及びデジット線115を活性化することによってセットされ得、又は書き込まれ得る。上で論じられたように、ワード線110の活性化は、（複数の）メモリセル105の対応する行をそれらの個別のデジット線115に電氣的に接続する。ワード線110が活性化される間に、関連するデジット線115を制御することによって、メモリセル105は書き込まれ得、すなわち、メモリセル105中に論理値が蓄積され得る。列デコーダ130は、メモリセル105に書き込まれるデータ、例えば入力135を受け入れ得る。幾つかの例では、メモリセル105は、論理蓄積コンポーネントに電圧を印加すること、例えば、強誘電体コンデンサに渡って電圧を印加することによって書き込まれ得る。

30

【0022】

幾つかの例では、メモリのページサイズは構成可能である。メモリアレイ100は、メモリバンク内の複数のメモリセクションの内の1つのメモリセクションを表し得る。該ページサイズは、複数のベースメモリページから成り立ってもよく、ここで、該ベースページは、単一の行内のメモリセル105のサブセットである。例えば、センスコンポーネント125の数は、デジット線115の数よりも少なくともよい。複数のベースページをバッファリングすることによってより大きなページサイズを作り出すために、複数の行が並行してその後アクセスされる。幾つかの場合、異なる行は異なるメモリセクション中であってもよく、ここで、各セクションは、その自身の一組のセンスコンポーネント125を有する。

40

【0023】

幾つかのメモリアーキテクチャでは、メモリセル105へのアクセスは、蓄積された論理状態を劣化又は破壊し得、元の論理状態をメモリセル105に戻すために、再書き込み又はリフレッシュ動作が実施され得る。DRAMでは、例えば、コンデンサは、センシング動作中に部分的に又は完全に放電され得、蓄積された論理状態を破損する。そのため、センシング動作後に論理状態が再書き込みされ得る。また、単一のワード線を活性化することは、行中の全てのメモリセルの放電をもたらし得、それ故、行中のメモリセル105の内の幾つか又は全ては、再書き込みされる必要があり得る。しかしながら、不揮発性メモリセル105は、それらのデジット線115に接続されると放電しないことがある。このことは、センシングされないメモリセル105の蓄積された論理状態を破壊することな

50

く、行内のメモリセル105のサブセットをセンシングすることを可能にし得る。

【0024】

DRAMを含む幾つかのメモリアーキテクチャは、外部電源により定期的リフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。例えば、充電されたコンデンサは、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。これらのいわゆる揮発性メモリデバイスのリフレッシュレートは比較的高く、例えば、DRAMアレイに対して毎秒10回のリフレッシュ動作であり得、それは、著しい電力消費をもたし得る。より大きなメモリアレイの増加と共に、電力消費の増加は、特に、電池等の有限の電源に依存するモバイルデバイスのためのメモリアレイの配備又は動作（例えば、電源、発熱、材料限界等）を阻害し得る。しかしながら、不揮発性メモリセル105は、他のメモリアーキテクチャと比較して向上した性能をもたらす有益な特性を有し得る。例えば、行内のメモリセル105のサブセットがアクセスされ得、動作中に、より小さなページサイズを使用可能にする。複数のメモリセクションに同時にアクセスすることによって、メモリアレイ100を使用するデバイスに対する性能を最適化するようにページサイズが動的に変更され得る。

10

【0025】

メモリコントローラ140は、行デコーダ120、列デコーダ130、及びセンスコンポーネント125等の様々なコンポーネントを通じて、メモリアレイ100の動作（例えば、読み出し、書き込み、再書き込み、リフレッシュ、ページサイズ判定等）を制御し得る。メモリコントローラ140は、所望のワード線110及びデジット線115を活性化するために、行及び列のアドレス信号を生成し得る。メモリコントローラ140は、メモリアレイ100の動作中に使用される様々な電位をも生成及び制御し得る。一般的に、本明細書で論じられる印加電圧の振幅、形状、又は存続期間は、調整又は変更され得、メモリアレイ100を動作するための様々な動作に対して異なり得る。更に、メモリアレイ100内の1つの、複数の、又は全てのメモリセル105は同時にアクセスされ得、例えば、メモリアレイ100の複数の又は全てのセルは、全てのメモリセル105又はメモリセル105のグループが単一の論理状態にセットされるリセット動作中に同時にアクセスされ得る。或いは、様々なサイズのメモリページがオープンされ得る。

20

【0026】

図2は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリセル105を含む例示的回路200を説明する。回路200は、図1を参照しながら記述したようなメモリセル105、ワード線110、デジット線115、及びセンスコンポーネント125の夫々例示であり得るメモリセル105-a、ワード線110-a、デジット線115-a、及びセンスコンポーネント125-aを含む。メモリセル105-aは、論理蓄積デバイス205、例えば、電極間に配置された強誘電体材料を通じて容量的に結合された電極を有するコンデンサを含み得る。上述したように、論理蓄積デバイス205はその他のメモリデバイスを表し得る。回路200は、選択コンポーネント220及びリファレンス信号225をも含む。図2の例では、論理蓄積デバイス205は、プレート線210及びデジット線115-aを介してアクセスされ得る。幾つかの例では、プレート線210は存在しなくてもよい。上述したように、論理蓄積デバイス205を使用して様々な状態が蓄積され得る。

30

40

【0027】

論理蓄積デバイス205の蓄積状態は、回路200中に表された様々な素子を動作することによって読み出され得、又はセンシングされ得る。論理蓄積デバイス205は、デジット線115-aと電子通信し得る。例えば、論理蓄積デバイス205は、選択コンポーネント220が不活性化された場合にデジット線115-aから絶縁され得、論理蓄積デバイス205は、選択コンポーネント220が活性化された場合にデジット線115-aに電子的に接続され得る。選択コンポーネント220の活性化は、メモリセル105-aの選択と称され得る。幾つかの場合、選択コンポーネント220はトランジスタであり、その動作は、トランジスタのゲートに電圧を印加することによって制御され、ここで、該

50

電圧の大きさは、トランジスタの閾値電圧の大きさよりも大きい。ワード線 110 - a は選択コンポーネント 220 を活性化し得、例えば、ワード線 110 - a に印加された電圧は、トランジスタのゲートに印加され、論理蓄積デバイス 205 をデジタル線 115 - a と接続する。

【0028】

前述したように、論理蓄積デバイス 205 は、デジタル線 115 - a への接続の際に放電しないことがある。幾つかの例では、論理蓄積デバイス 205 の蓄積された論理状態をセンシングするために、論理蓄積デバイス 205 に電圧が印加され得る。一スキームでは、メモリセル 105 - a を選択するためにワード線 110 - a がバイアスされ得、プレート線 210 に電圧が印加され得る。幾つかの場合、デジタル線 115 - a は、事実上グラ
10
ランドされ、プレート線 210 及びワード線 110 - a をバイアスする前に、事実上のグラ
ランドからその後絶縁され得る。プレート線 210 をバイアスすることは、論理蓄積デバイ
ス 205 に渡る電圧差（例えば、プレート線 210 の電圧 - デジタル線 115 - a の
電圧）をもたらし得る。コンデンサの例では、該電圧差は、論理蓄積デバイス 205 上の
蓄積電荷に変化を引き起こし得、ここで、蓄積電荷の変化の大きさは、論理蓄積デバイ
ス 205 の最初の状態、例えば、最初の状態が論理 1 又は論理 0 の何れを蓄積したか、に依
存し得る。このことは、論理蓄積デバイス 205 上に蓄積された電荷に基づいて、デジ
ット線 115 - a の電圧に変化を生じさせ得る。他のスキームでは、プレート線 210 は一
定電位に保持され得、デジタル線 115 - a の電圧が代わりに制御され得る。

【0029】

デジタル線 115 - a の電圧の変化は、その固有の静電容量に依存し得、デジタル線 1
15 - a に電荷が流れると共に、幾つかの有限の電荷がデジタル線 115 - a 中に蓄積さ
れ得、もたらされる結果電圧は固有の静電容量に依存する。固有の静電容量は、デジ
ット線 115 - a の、寸法を含む物理的特徴に依存し得る。デジタル線 115 - a は、無視で
きない（例えば、ピコファラッド（pF）オーダの）静電容量をもたらす長さを有し得
るので、デジタル線 115 - a は、多くのメモリセル 105 に接続し得る。結果として生じ
るデジタル線 115 - a の電圧は、メモリセル 105 - a 中の蓄積された論理状態を判定
するために、センスコンポーネント 125 - a によりリファレンス（例えば、リファレン
ス信号 225 の電圧）とその後比較され得る。

【0030】

センスコンポーネント 125 - a は、信号の差を検出及び増幅するための様々なラン
ジスタ又はアンプを含み得る。センスコンポーネント 125 - a は、デジタル線 115 -
a の電圧と、リファレンス電圧であり得るリファレンス信号 225 とを受け取って比較す
るセンスアンプを含み得る。センスアンプの出力は、該比較に基づいて、より高い（例
えば、正の）又はより低い（例えば、負の又はグラウンドの）供給電圧に動かされ得る。実
例として、デジタル線 115 - a がリファレンス信号 225 よりも高い電圧を有する場合、
その後センスアンプの出力は正の供給電圧に動かされ得る。幾つかの場合、センスア
ンプは、デジタル線 115 - a を供給電圧に付加的に動かし得る。センスコンポーネント 12
5 - a は、センスアンプの出力又はデジタル線 115 - a の電圧をその後ラッチし得、そ
れは、メモリ 105 - a 中の蓄積状態、例えば、論理 1 を判定するために使用され得る。
40
或いは、デジタル線 115 - a がリファレンス信号 225 よりも低い電圧を有する場合、
センスアンプの出力は、負又はグラウンドの電圧に動かされ得る。センスコンポーネ
ント 125 - a は、メモリセル 105 - a 中の蓄積状態、例えば、論理 0 を判定するために、
センスアンプの出力を同様にラッチし得る。メモリセル 105 - a のラッチされた論理状態
は、例えば、図 1 に関する出力 135 として、列デコーダ 130 を通じてその後出力され
得る。

【0031】

メモリセル 105 - a に書き込むために、論理蓄積デバイス 205 に渡って電圧が印加
され得る。例えば、論理蓄積デバイス 205 に渡って電圧を印加するために、プレート線
210 若しくはデジタル線 115 - a、又はそれら両方が通電され得る。付加的に又は代
50

替的に、読み出し又は書き込み動作のためのその他のアクセススキームが使用され得る。例えば、その他の科学技術（すなわち、F e R A M以外）が用いられる場合、メモリアレイに従ってアクセススキームが適合され得る。

【 0 0 3 2 】

図 3 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイ 1 0 0 - a を説明する。メモリアレイ 1 0 0 - a は、メモリセクション 3 1 0、3 1 0 - a、及び 3 1 0 - b を含むメモリバンク 3 0 5 を含む。各メモリセクション 3 1 0 は、一組のセンスコンポーネント 1 2 5、例えば、図 1 ~ 図 2 に関するセンスコンポーネント 1 2 5 の例示であり得るセンスコンポーネント 1 2 5 - b、1 2 5 - c、及び 1 2 5 - d と関連付けられる。メモリセクション 3 1 0 は、図 1 に関連して記述されたように、メモリセルの行及び列で構成され得る。各メモリセクション 3 1 0 は、図 1 に関する行デコーダ 1 2 0 の一例であり得る行デコーダ 1 2 0 - a と電子通信する。メモリアレイ 1 0 0 - a は、図 1 の関するメモリコントローラ 1 4 0 の一例であり得るメモリコントローラ 1 4 0 - a と、メモリセクション 3 1 0 間のリンク関係を蓄積し得るレジスタ 3 2 0 とをも含み得る。例えば、リンク関係 3 1 5 は、メモリセクション 3 1 0 と 3 1 0 - b との間のリンク関係を表し得る。

10

【 0 0 3 3 】

幾つかの揮発性メモリの科学技術は、比較的大きなページサイズ、例えば、2 ~ 4 キロバイト（k B）を有し、それは、アレイ又はバンクの行中のメモリセルの数に等しくてもよい。揮発性メモリセルを含む行にアクセスすること（例えば、ワード線 1 1 0 を活性化すること）は、それらの蓄積された論理状態を破壊し得る。そのため、行中の各メモリセルはセンシングされ得、幾つかの場合、メモリページとしてバッファリングされ得る。ページが例えば、活性化コマンドを用いて一旦オープンされると、ページ全体が読み出され得、その内容が利用可能である。列アドレスは、何れのデータのバースト（例えば、メモリページのサブセット）を出力するかを選択する。後続の列アドレスは、メモリページの残部を選択し得る。

20

【 0 0 3 4 】

不揮発性メモリの場合、行にアクセスする場合に、行の各メモリセルがセンシングされる必要がなくともよい。例えば、強誘電体メモリ又はスピントルクトランスファメモリ等の不揮発性メモリでは、ある一定のワード線 1 1 0 の選択は、D R A M においてみられるような行全体の内容の喪失を生じさせないことがある。そのため、メモリアレイ 1 0 0 - a 中の不揮発性メモリセルに対しては、列のサブセット（すなわち、行内のメモリセル 1 0 5 のサブセット）がアクセスされ得、それ故、メモリバンク 3 0 5 の各メモリセクション 3 1 0 に対する列（ビット線 1 1 5）の数よりも少数のセンスコンポーネント 1 2 5 を提供することにより、ダイサイズを削減できる。一方、D R A M 等の揮発性メモリアレイは、列毎に 1 つのセンスアンプを使用する。それ故、メモリアレイ 1 0 0 - a は、行中のメモリセル 1 0 5 の総数よりも小さいページサイズを有しつつ、高密度のメモリセルを有し得る。そのため、メモリアレイ 1 0 0 - a は、電力消費及びダイサイズを最小にし得る。

30

【 0 0 3 5 】

メモリバンク 3 0 5 は、自身の一組のセンスコンポーネント 1 2 5 を各々有する複数（例えば、8、1 6、3 2 等）のメモリセクションに分割され得る。各メモリセクション 3 1 0 は、単一の行内のメモリセル 1 0 5 の総数よりも少ないベースページサイズを有し得る。例えば、メモリバンク 3 0 5 は、1 ギガビット（G b）のサイズであり得、8 つのメモリセクション 3 1 0 に分割され得る。各メモリセクション 3 1 0 は、1 2 8 メガビット（M b）を含み得、メモリセル 1 0 5 の 4 0 9 6 個の行、及びメモリセル 1 0 5 の 3 2 7 6 8 個の列（すなわち、各行に 4 k B）を含み得る。ただし、ベースページサイズは 4 k B よりも少なくともよい。例えば、それは、1 2 8 バイト（1 0 2 4 ビット又は 1 0 2 4 個のメモリセル）であってもよい。言い換えれば、4 つの列アクセス線（ビット線 1 1 5）毎に 1 つのセンスコンポーネントが存在してもよい。ベースページサイズは、幾つかの

40

50

例では、固定され得、各メモリセクション310中のセンスコンポーネント125の数に依存し得る。これらの例は、多くの可能な構成の内の幾つかであり、その他のサイズが可能である。

【0036】

メモリバンク305へのアクセスに使用されるページサイズ、すなわち、活性ページサイズは、動的に変更され得る。すなわち、活性ページサイズは、複数のベースページを構成し得る。複数のメモリセクション310は、より大きなページサイズを作り出すために同時に動作され得る。例えば、メモリセクション310及びメモリセクション310-bはベースページサイズ(例えば、128バイト)を有し得、メモリセクション310及び310-bに同時にアクセスすることによって、より大きな活性ページサイズ(例えば、256バイト)が作り出され得る。より一層大きなページサイズを作り出すために、より多くのメモリセクション310が同時アクセスされてもよい。それ故、1つの活性化コマンドは、メモリバンク305からより多く量のデータを抽出し得、それは、速度及び性能を増加させ得る。例えば、読み出しコマンドは、あたかも物理的により大きなページが実装されたかのように、同じタイミング考察で発行され得る。

10

【0037】

メモリバンク305の動作は、メモリバンク305の第1の行中の第1の複数の論理値を判定することと、メモリバンク305の第2の行中の第2の複数の論理値を判定することと、第1の複数の論理値及び第2の複数の論理値を含むメモリページをバッファリングすることとを含み得る。メモリページのサブセットはバスへその後送信され得る。例えば、センスコンポーネント125-b、125-c、及び125-dは、判定された論理値をラッチするための行バッファを含み得、メモリページをバッファリングすることは、第1の複数の論理値及び第2の複数の論理値をラッチすることを含み得る。幾つかの場合、第1の行中の第1の複数の論理値を判定することは、第1の行中のメモリセルのサブセットの各メモリセル105の論理状態を判定することを含む。幾つかの例では、メモリバンク305は、複数のメモリセクション310(例えば、メモリセクション310、310-a、及び310-b)を含み、第1のメモリセクション310は第1の行を含み、第2のメモリセクションは第2の行を含む。

20

【0038】

幾つかの例では、ベースメモリページサイズは、第1の複数の論理値又は第2の複数の論理値を含み、メモリバンク305を動作することは、メモリページのサイズがベースメモリページサイズの2倍を含むと判定することと、メモリページのサイズに基づいて活性化コマンドを発行するようにコマンドジェネレータを構成することとを含み得る。例えば、メモリコントローラ140-aは、コマンドジェネレータを含み得、第1及び第2の行と関連付けられたワード線110を活性化するためのコマンドを生成し得る。

30

【0039】

幾つかの例では、活性ページサイズは、メモリアレイ100-aを含むデバイスを電源オンすると構成される。このことは、ページサイズに関して異なるニーズを扱うために、同じダイを使用することに関して利点を提供し得る。例えば、メモリアレイは、あるページサイズが最良であり得るアプリケーションに使用され得、別のユーザは、異なるページサイズでより良く実施し得る異なるアプリケーションを有し得る。こうした可変のページサイズアーキテクチャは、単一のメモリデバイスを両シナリオに適應させ得る。

40

【0040】

他の例では、活性ページサイズは動的にセットされ得る。例えば、メモリコントローラ140-aは、特定のページサイズを使用するためのコマンドをソフトウェアアプリケーションから受信し得る。又は、メモリアレイ100-aは、所定温度に達し得、発熱を減少させるために、より小さなページサイズを使用し得る。動的なページサイズと共に、メモリアレイ100-aの最適な使用が可能であり得る。例えば、短いバーストが必要とされる場合又はコードが実行されていて、高い割合でページ変更が生じる場合に電力の使用を最小限にし得る。又は、性能を向上させる(例えば、活性化コマンド毎にアクセスされ

50

るデータ量の増加)のために、より大きなページサイズが使用され得る。

【0041】

アドレッシングスキームは、活性ページサイズに基づいて調節され得る。例えば、列アドレス及び行アドレスの両者として幾つかのアドレスビットが使用され得、メモリコントローラ140-aは、各オープンページのサイズを認識し得る。メモリコントローラ140-aは、活性ページサイズに基づいてアドレッシングスキームを修正もし得る。例えば、論理行アドレスは、メモリセクション310、メモリセクション310内の行(例えば、ワード線110)、及び行内の一組の列(例えば、一組のビット線115)を識別し得る。メモリコントローラ140-aは、同時にアクセスされるメモリセクションの数がページサイズの変更に伴って変化すると、アドレッシングスキームを修正し得る。

10

【0042】

活性化コマンド中、行デコーダ120-aへ論理行アドレスが送信され得る。論理行アドレスは、メモリバンク305内の特定の位置を識別する一連のビットである。例えば、以前に論じた1Gbのメモリバンクの例に関しては、1kBのベースページサイズに等しい活性ページサイズを使用して、論理行アドレスは20ビットを含み得る(すなわち、 2^{20} は、ページサイズの総数: 1Gb/1024ビット/ページに等しくてよい)。論理行アドレスの3ビットは、8つのメモリセクション310の内の1つを識別し得る。これらのビットは、論理行アドレスの最下位ビットであり得る。12ビットは、識別されたメモリセクション310内の4096個の行の内の1つを識別し得る。これらのビットは、最上位ビットであり得る。残りの5ビットは、メモリページの物理列を識別し得る。例えば、該5ビットは、メモリセクション310の32768個の列内の一組の1024個の列を選択し得る。一組の列は、相互にグループ化され得、又は離間され得、行に沿って等間隔にされることを含む。一般的に、論理行アドレスのビット数は、異なるサイズのメモリアレイに対して変更し得る。

20

【0043】

本例では、メモリセル105をセンシングした後、例えば、メモリアレイ100-aからプロセッサヘデータが送信され得る。該データは、メモリページのサブセットが各バーストで送信される(複数の)バーストで送信され得る。説明目的のため、読み出しのバースト長は256ビット(又は16ワード)であり得る。それ故、128バイトのページは、4つの読み出しバースト長を含む。そのため、メモリコントローラ140-aは、可能性のある4つの読み出しバースト長の内の1つを選択するために、2ビットの列アドレスを送信し得る。例えば、メモリコントローラ140-aは、センスコンポーネント125-b、125-c、及び125-dと電子通信し得、それらは、行バッファ又は列デコーダ(例えば、図1に関する列デコーダ130)を含み得、該列アドレスを列デコーダへ送信し得る。

30

【0044】

活性ページサイズが変化する場合、アドレススキームは変化し得る。例えば、活性ページサイズはベースページサイズの2倍であり得、2つのメモリセクション(例えば、メモリセクション310及び310-b)は同時にアクセスされ得る。論理行アドレスは、20ビットから19ビットに減少し得る。例えば、メモリセクション310及び310-bは、リンク関係315を通じてリンクされ得、論理行アドレスは、8つの全てのメモリセクション310を区別する必要がなくてもよい。しかしながら、ページサイズ中のビット総数は、1024から2048に増加していることがある。それ故、読み出しバースト長の数は、4から8に増加し得、列アドレスは、それ故、8つの読み出しバースト長の内の1つを選ぶために、2から3ビットに増加し得る。そのため、論理行アドレス及び列アドレスのビットの和が一定のままであり得るように、論理行アドレスから列アドレスへ1ビットが移動させられ得る。他の例では、より大きな活性ページサイズを作り出すために、2つのベースメモリページをオープンするための2つの論理行アドレスが行デコーダ120-aへ送信され得る。

40

【0045】

50

既述のように、本明細書に記載される技術は、様々なページサイズに適用され得、様々なサイズのメモリアレイ、バンク、又はセクションに適用され得る。活性ページサイズは、4つ、8つ、及び16個等のベースページを含み得る。メモリバンク305は、1Gbよりも小さくても、大きくてもよく、より少数の又はより多数のメモリセクション310が使用され得る。

【0046】

そのため、メモリバンク305の動作は、メモリアレイ100-aがアクセス可能であるメモリバンク305のメモリセルの数と関連付けられるベースページサイズを識別することと、ベースページサイズの整数倍である活性ページサイズを選択することとを含み得る。該動作は、活性ページサイズに基づいてメモリバンク305に対するアドレススキームを構成することと、アドレススキームを使用し且つ活性ページサイズに従って、アクセスコマンドを送信することとを含み得る。ベースページサイズは、メモリアレイ100-aの複数のメモリセクションの内の各メモリセクション310に対するページサイズであり得る。

10

【0047】

幾つかの例では、アドレススキームを構成することは、メモリアレイ100-aの複数のメモリセクションの内のメモリセクション310、該メモリセクション310内の物理行、及び該物理行の物理列セクションを識別するための論理行アドレスを構成することを含む。例えば、物理列セクションは、ベースページサイズに等しい複数のメモリセルを含み得る。物理列セクションは、隣接する物理列のグループ、隣接する物理列の幾つかのグループ、相互に分離した物理列、又は物理行に沿って等間隔にされた物理列を含み得る。

20

【0048】

幾つかの例では、アドレススキームを構成することは、活性ページサイズのセクションを識別するための列アドレスを構成することを含み、ここで、活性ページサイズは、複数のセクションを含む。例えば、活性ページサイズのセクションは、読み出しバースト長であり得る。

【0049】

アドレススキームを構成することは、活性ページサイズに基づいて、論理行アドレス及び列アドレスに対するビット数を判定することを更に含み得る。幾つかの例では、行アドレスに対するビット数と行アドレスに対するビット数との和は、活性ページサイズとは無関係に一定値であり得る。該一定値は、メモリバンク305のサイズと読み出しバースト長とに基づき得る。例えば、メモリバンク305中の読み出しバースト長の総数は、読み出しバースト長(例えば、256ビット)により分割されたメモリバンク305のサイズ(例えば、1Gb)であり得る。

30

【0050】

メモリブロック305の動作は、複数のメモリセクションの内の第1のメモリセクションと複数のメモリセクションの内の第2のメモリセクションとの間のリンク関係を判定することを更に含み得る。例えば、リンク関係315により示されるように、メモリセクション310及び310-bはリンクされ得る。そうした場合には、活性ページサイズはベースページサイズの2倍であり得、メモリアレイ100-aの動作は、メモリページをオープンするために論理行アドレスを行デコーダ120-aへ送信することを更に含み得、ここで、論理行アドレスは、第1のメモリセクション310を識別する。行デコーダ120-aは、論理行アドレスに基づいて、第1のメモリセクション310の第1のベースメモリページをオープンし得、リンク関係315に基づいて、第2のメモリセクション310-bの第2のベースメモリページをオープンし得る。メモリページは、それ故、第1のベースメモリページ及び第2のベースメモリページを含み得る。

40

【0051】

幾つかの例では、第2のベースメモリページは、第1のメモリセクション310内の第1のベースメモリページと同じ相対アドレスを第2のメモリセクション310-b内に有し得る。すなわち、第1及び第2のベースメモリページは、それらの個別のメモリセクシ

50

ョンの同じ相対的な行及び列セクション中にあり得る。

【0052】

幾つかの例では、異なるメモリセクション310間のリンク関係は、レジスタ320中に蓄積され得る。これらのリンク関係は、より大きな活性ページサイズを可能にするために何れのメモリセクション310が同時にアクセス可能であることを示し得る。幾つかの場合、リンク関係は構成可能である。例えば、ユーザ又はソフトウェアアプリケーションは、メモリアレイ100-aの動作を最適化するためにリンク関係を構成し得る。

【0053】

活性ページサイズを選択することは、デバイスを電源オンすると活性ページサイズを選択することを含み得、ここで、メモリアレイは、該デバイスの素子を含む。又は、活性ページサイズを選択することは、特定のページを使用するための指標を受信することと、該特定のページサイズに等しい活性ページサイズをセットすることとを含み得る、例えば、メモリコントローラ140-aは、そうした指標を受信し得、活性ページサイズをセットし得、それに従いメモリアドレッシングスキームを構成し得る。幾つかの例では、指標は、ソフトウェアアプリケーションから受信され得る。

【0054】

メモリバンク305は、異なるページサイズを用いて同時に動作され得る。例えば、メモリセル105をプログラミングするために第1のページサイズが使用され得、メモリバンク305のメモリセル105を読み出し又はセンシングするために第2のページサイズが使用され得る。そのため、メモリバンク305の第1の複数のメモリセルは、活性ページサイズを使用してプログラミングされ得、メモリバンク305の第2の複数のメモリセルは、該ベースページサイズの異なる整数倍である別の活性ページサイズを使用して読み出され得る。例えば、読み出し動作は、書き込み動作に使用されるページサイズの、より小さくてもよい約数であるページサイズを使用し得る。又は、書き込み動作に使用されるページサイズは、読み出し動作に使用されるページサイズよりも大きくてもよい。

【0055】

他の例では、メモリアレイ100-aは、複数のメモリバンク305を含み得、各メモリバンク305は、独立して動作され得る。例えば、複数のメモリバンクの内の第1のメモリバンク305は、第1のメモリページサイズを使用してアクセスされ得、該複数の内の第2のメモリバンクは、第1のメモリページサイズとは異なる第2のメモリページサイズを使用してアクセスされ得る。各メモリバンク305は、異なるアドレッシングスキームを使用し得る。例えば、第1のメモリバンク305にアクセスすることは、第1のメモリページサイズに基づく第1のアドレッシングスキームを使用することを含み得、第2のメモリバンクにアクセスすることは、第2のメモリページサイズに基づく第2のアドレッシングスキームを使用することを含み得る。

【0056】

幾つかの例では、メモリバンク305は、複数のメモリセクション310を含み、各メモリセクション310は、メモリセルの複数の物理行を有し得る。メモリバンク305を動作することは、メモリバンク中のメモリセル105に対するアクセスリクエストを受信することと、該メモリセル105が設置されたメモリバンクの複数のメモリセクションの内のメモリセクション310を識別することと、該メモリセル105を含むメモリセルの複数の物理行の内の物理行をメモリセクション310中で識別することと、該メモリセルを含むメモリページを物理行中で識別することと、メモリページをオープンするための論理行アドレスを生成することとを含み得る。

【0057】

幾つかの場合、メモリセルは、第2のメモリセクション310-b中に設置され得、第2のメモリセクション310-bは、第1のメモリセクション310にリンクされる。そうした場合、論理行アドレスを生成することは、第1のメモリセクションを識別する論理行アドレスを生成することと、第1のメモリセクションを識別する論理行アドレスに基づいて、第2のメモリセクションの物理行が行デコーダ120-aによりアクセス可能であ

10

20

30

40

50

る論理行アドレスを行デコーダ120-aへ送信することと、第1のメモリセクションと第2のメモリセクションとをリンクすることとを含み得る。

【0058】

図4は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的回路400を説明する。回路400は、図3に関するメモリセクション310の一例であり得るメモリセクション310-cを含む。回路400は、図1~図3に関するセンスコンポーネント125の例示であり得るセンスコンポーネント125-e及び125-fをも含む。センスコンポーネント125は、メモリセクション310-cの複数の列(例えば、デジタル線115)と電子通信し得、スイッチ405は、アクセス動作中に何れの列がセンスコンポーネント125に接続されるかを制御し得る。回路400の一部でもあり得るバッファ410は、メモリセクション310-c内のメモリセル105のセンシングされた論理値をバッファリングし得る。

10

【0059】

メモリセクション310-cは、メモリセル105の複数の行及び列を含み得る。上述したように、行がアクセスされた場合に、行の各メモリセル105はセンシングされなくてもよい。それ故、列のサブセット(すなわち、行内のメモリセル105のサブセット)が選択され得、それ故、メモリバンク305の各メモリセクション310中の列の数よりも少数のセンスアンプを単に提供することによって、ダイサイズを削減できる。スイッチ405は、アクセス動作中に何れの列のサブセットが選択されるかを制御し得る。幾つかの例では、スイッチ405は、n型又はp型の電界効果トランジスタ等のトランジスタであり得、それらに閾値電圧を印加することによって活性化され得る。

20

【0060】

そのため、回路400は、複数の内の各行アクセス線がメモリセルの行と電子通信する複数の行アクセス線と、複数の内の各列アクセス線がメモリセルの列と電子通信する複数の列アクセス線とを含み得る。回路400は、複数のセンスコンポーネント125をも含み得、ここで、センスコンポーネントの数は、列アクセス線の数よりも少ない。例えば、センスコンポーネント125-eは、少なくとも2つの列アクセス線と電子通信する。幾つかの例では、メモリコントローラは、複数のページサイズの中の最小のページサイズがセンスコンポーネント125の数に基づく複数のメモリページサイズからメモリページサイズを選択するように構成可能であり得る。例えば、最小のページサイズは、メモリセクション310-c中に含まれるセンスコンポーネント125の数に等しくてもよい。

30

【0061】

回路400は、複数のスイッチを含み得、複数のスイッチの中の各スイッチは、複数のセンスコンポーネントの中のセンスコンポーネントから、複数の列アクセス線の中の列アクセス線を電氣的に分離していてもよい。例えば、スイッチ405-aは、センスコンポーネント125-eから列アクセス線を分離し、スイッチ405-bは、センスコンポーネント125-fから別の列アドレス線を分離する。回路400は、複数のラッチを含み得る行バッファをも含み、複数のラッチの中の各ラッチは、複数のセンスコンポーネントの中のセンスコンポーネントと電子通信する。

【0062】

メモリセクション310-cは、メモリバンク305内の複数のメモリセクション310の中の1つであり得る。すなわち、複数のメモリセクション310はメモリバンク305を含み得、複数のメモリセクションの中の各メモリセクション310は、一組のセンスコンポーネント125と関連付けられる。幾つかの例では、回路400は、メモリページサイズに基づいて論理行アドレスを発行するように構成可能なコマンドジェネレータを含み得る。例えば、コマンドジェネレータは、メモリコントローラ140の一部であり得る。

40

【0063】

回路400の動作は、メモリアレイ(例えば、メモリセクション310-cがその一部であるメモリアレイ100)がアクセス可能な複数のページサイズからページサイズを識

50

別することと、識別されたページサイズに基づいてメモリアレイの少なくとも1つの行にアクセスすることとを含み得る。幾つかの例では、ページサイズを識別することは、メモリアレイの2つ以上の行を識別することを含み得る。回路400の動作は、行にアクセスすることを更に含み得、それは、該行の各メモリセル105をアクセス線（例えば、デジタル線115）に電子的に結合することを含み得る。例えば、ワード線110と電子通信する各メモリセル105がデジタル線115に電子的に結合される、ワード線110がアクセスされ得る。言い換えれば、メモリアレイの行にアクセスすることは、該行の各メモリセルが複数の選択コンポーネント220の内の選択コンポーネント220と電子通信する複数の選択コンポーネント220を活性化することを含み得る。回路400の動作は、該行のメモリセル105のサブセットをアクセス線のサブセットを介して選択することを更に含み得、メモリセル105のサブセットの各メモリセル105の論理値が判定され得る。

10

【0064】

幾つかの例では、行のメモリセル105のサブセットをアクセス線のサブセットを介して選択することは、アクセス線のサブセットの内の各アクセス線を、複数のセンスコンポーネント125の内のセンスコンポーネントに電子的に結合するために複数のスイッチ405を活性化することを含む。例えば、1つの列アクセス線をセンスコンポーネント125-e及び125-fに夫々電子的に結合するために、スイッチ405-a及び405-bが活性化され得る。アクセス線の残部は、第2の複数のスイッチ、すなわち、405-a及び405-b以外のスイッチを介して、複数のセンスコンポーネントから電気的に絶縁され得る。幾つかの例では、メモリセルのサブセットを識別する論理行アドレスが受信され得、該論理行アドレスに基づいて第1の複数のスイッチが活性化され得る。

20

【0065】

図5は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリアレイ100-bのブロック図500を示す。メモリアレイ100-bは、電子メモリ装置と称され得、図1~図4を参照しながら記述したようなメモリコントローラ140及びメモリセクション310の例示であり得るメモリコントローラ140-b及びメモリセクション310-dを含む。メモリコントローラ140-bは、バイアスコンポーネント510、タイミングコンポーネント515、及びコマンドジェネレータ530を含み得、図1~図4で記述したようにメモリアレイ100-bを動作し得る。メモリコントローラ140-bは、図1又は図2を参照しながら記述したワード線110、デジタル線115、センスコンポーネント125、及びプレート線210の例示であり得るワード線110-b、デジタル線115-b、センスコンポーネント125-g、及びプレート線210-aと電子通信し得る。メモリアレイ100-bは、図4に関するスイッチ405の一例であり得るスイッチ405-cを含み得る。メモリアレイ100-bは、リファレンスコンポーネント520及びラッチ525をも含む。メモリアレイ100-bのコンポーネントは、相互に電子通信し得、図1~図4を参照しながら記述した機能を実施し得る。幾つかの場合、リファレンスコンポーネント520、センスコンポーネント125-g、及びラッチ525は、メモリコントローラ140-bのコンポーネントであり得る。

30

【0066】

メモリコントローラ140-bは、ワード線110-b、プレート線210-a、又はデジタル線115-bをそれらの様々なノードに電圧を印加することによって活性化するように構成され得る。例えば、バイアスコンポーネント510は、上述したように、メモリセクション310-d内のメモリセル105を読み出す又は書き込むための電圧を印加するように構成され得る。幾つかの場合、メモリコントローラ140-bは、図1又は図3を参照しながら記述したように、行デコーダ、列デコーダ、又はそれら両方を含み得る。このことは、メモリコントローラ140-bが1つ以上のメモリセル105にアクセスすることを可能にし得る。例えば、行デコーダは、論理行アドレスを受信することに基づいて、メモリセルの2つの行にアクセスし得る。バイアスコンポーネント510は、センスコンポーネント125-gに対するリファレンス信号を生成するための電位をリファレ

40

50

ンスコンポーネント 5 2 0 に提供もし得る。また、バイアスコンポーネント 5 1 0 は、センスコンポーネント 1 2 5 - g の動作のための電位を提供し得る。メモリコントローラ 1 4 0 - b はまた、メモリセクション 3 1 0 - d の列アクセス線をセンスコンポーネント 1 2 5 - g に接続するためにスイッチ 4 0 5 - c を活性化し得る。

【 0 0 6 7 】

幾つかの場合、メモリコントローラ 1 4 0 - b は、その動作をタイミングコンポーネント 5 1 5 を使用して実施し得る。例えば、タイミングコンポーネント 5 1 5 は、読み出し及び書き込み等の本明細書で論じたメモリ機能を実施するためのスイッチング及び電圧印加のタイミングを含む、様々なワード線選択又はプレートバイアスのタイミングを制御し得る。幾つかの場合、タイミングコンポーネント 5 1 5 は、バイアスコンポーネント 5 1 0 の動作を制御し得る。コマンドジェネレータ 5 3 0 は、メモリアレイ 1 0 0 - b を動作するための様々なコマンドを作り出し得る。例えば、コマンドジェネレータ 5 3 0 は、図 1 及び図 3 を参照しながら記述したように、論理行アドレスを作り出し得る。

10

【 0 0 6 8 】

リファレンスコンポーネント 5 2 0 は、センスコンポーネント 1 2 5 - g に対するリファレンス信号を生成するための様々なコンポーネントを含み得る。リファレンスコンポーネント 5 2 0 は、リファレンス信号を生み出すように構成された回路を含み得る。幾つかの場合、リファレンスコンポーネント 5 2 0 は、その他のメモリセル 1 0 5 であり得る。幾つかの例では、リファレンスコンポーネント 5 2 0 は、上述したように、2 つのセンス電圧間の値を有する電圧を出力するように構成され得る。又は、リファレンスコンポーネント 5 2 0 は、事実上のグランド電圧（すなわち、約 0 V）を出力するように設計され得る。

20

【 0 0 6 9 】

センスコンポーネント 1 2 5 - g は、（デジット線 1 1 5 - b を介した）メモリセル 1 0 5 からの信号をリファレンスコンポーネント 5 2 0 からのリファレンス信号と比較し得る。論理状態を判定すると、センスコンポーネントは、出力をラッチ 5 2 5 中にその後蓄積し得、ここで、それは、メモリアレイ 1 0 0 - b が一部である電子デバイスの動作に従って使用され得る。例えば、メモリアレイ 1 0 0 - b は、列アドレスを受信し得、ラッチ 5 2 5 中の蓄積された論理状態は、メモリアレイ 1 0 0 b から例えば、バスへ送信され得る。

30

【 0 0 7 0 】

幾つかの例では、メモリアレイ 1 0 0 - b は、複数のメモリページサイズからメモリページサイズを選択するための手段を含み得る。他の例では、メモリアレイ 1 0 0 - b は、複数のメモリページの内の最小のページサイズがセンスコンポーネント 1 2 5 - g の数に少なくとも部分的に基づく、複数のメモリページサイズからメモリページサイズを選択するための手段を含み得る。

【 0 0 7 1 】

図 6 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリデバイスを支持するシステム 6 0 0 を説明する。システム 6 0 0 は、様々なコンポーネントに接続し又は様々なコンポーネントを物理的に支持するプリント回路基板であり得又は該プリント回路基板を含み得るデバイス 6 0 5 を含む。デバイス 6 0 5 は、図 1、図 3、及び図 5 を参照しながら記述したメモリアレイ 1 0 0 の一例であり得るメモリアレイ 1 0 0 - c を含む。メモリアレイ 1 0 0 - c は、図 1、図 3、及び図 5 を参照しながら記述したメモリコントローラ 1 4 0 と、図 3 を参照しながら記述したメモリバンク 3 0 5 の例示であり得るメモリコントローラ 1 4 0 - c 及びメモリバンク 3 0 5 - a を含み得る。デバイス 6 0 5 は、プロセッサ 6 1 0、BIOS コンポーネント 6 1 5、周辺コンポーネント 6 2 0、及び入出力制御コンポーネント 6 2 5 をも含み得る。デバイス 6 0 5 のコンポーネントは、バス 6 3 0 を通じて相互に電子通信し得る。

40

【 0 0 7 2 】

プロセッサ 6 1 0 は、メモリコントローラ 1 4 0 - c を通じてメモリアレイ 1 0 0 - c

50

を動作するように構成され得る。幾つの場合、プロセッサ610は、図1、図3、及び図5を参照しながら記述したメモリコントローラ140の機能を実施し得る。その他の場合、メモリコントローラ140-cは、プロセッサ610中に統合され得る。プロセッサ610は、汎用プロセッサ、デジタルシグナルプロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)若しくはその他のプログラム可能ロジックデバイス、分離したゲート若しくはトランジスタロジック、分離したハードウェアコンポーネント、又はこれらの種類のコンポーネントの組み合わせであり得、プロセッサ610は、活性ページサイズを選択すること、アドレッシングスキームを構成すること、及びメモリページをオープンすることを含む、本明細書に記述する様々な機能を実施し得る。メモリページからのデータは、バス630を通じてプロセッサ610へ送信され得る。例えば、読み出しバーストは、メモリページのサブセットをプロセッサ610へ送信し得る、プロセッサ610は、例えば、様々な機能又はタスクをデバイス605に実施させるためにメモリアレイ100-c中に蓄積されたコンピュータ可読命令を実行するように構成され得る。

10

20

30

40

50

【0073】

BIOSコンポーネント615は、ファームウェアとして動作するベーシックインプット/アウトプットシステム(BIOS)を含むソフトウェアコンポーネントであり得、それは、システム600の様々なハードウェアコンポーネントを初期化し得、稼働し得る。BIOSコンポーネント615は、プロセッサ610と様々なコンポーネント、例えば、周辺コンポーネント620、入出力制御コンポーネント625等との間のデータの流れるも管理し得る。BIOSコンポーネント615は、リードオンリーメモリ(ROM)、フラッシュメモリ、又は任意のその他の不揮発性メモリ中に蓄積されたプログラム又はソフトウェアを含み得る。

【0074】

周辺コンポーネント620は、デバイス605中に統合される入力若しくは出力デバイス、又はそうしたデバイスに対するインタフェースであり得る。例示として、ディスクコントローラ、音声コントローラ、画像コントローラ、イーサネットコントローラ、モデム、ユニバーサルシリアルバス(USB)コントローラ、シリアル若しくはパラレルポート、又はペリフェラルコンポーネントインタコネクト(PCI)若しくはアクセラレーテッドグラフィックスポート(AGP)スロット等の周辺カードスロットが挙げられ得る。

【0075】

入出力制御コンポーネント625は、プロセッサ610と周辺コンポーネント620、入力635デバイス、又は出力640デバイスとの間のデータ通信を管理し得る。入出力制御コンポーネント625は、デバイス605中に統合されない周辺装置をも管理し得る。幾つの場合、入出力制御コンポーネント625は、外部の周辺装置への物理的接続又はポートを表し得る。

【0076】

入力635は、デバイス605又はそのコンポーネントへの入力を提供する、デバイス605の外にあるデバイス又は信号を表し得る。これは、ユーザインタフェース、又はその他のデバイスとのインタフェース若しくはその他のデバイス間のインタフェースを含み得る。幾つの場合、入力635は、周辺コンポーネント620を介してデバイス605とインタフェースで連結する周辺装置であり得、又は入出力制御コンポーネント625により管理され得る。入力635は、ある一定のページサイズを使用するためのメモリアレイ100-cに対する指標を含み得る。

【0077】

出力640は、デバイス605又はその何れかのコンポーネントからの出力を受信するように構成された、デバイス605の外にあるデバイス又は信号を表し得る。出力640の一例は、表示装置、音声スピーカ、プリントデバイス、別のプロセッサ、又はプリント回路基板等を含み得る。幾つの場合、出力640は、周辺コンポーネント620を介してデバイス605とインタフェースで連結する周辺装置であり得、又は入出力制御コンポ

ーネット 6 2 5 により管理され得る。

【 0 0 7 8 】

メモリコントローラ 1 4 0 - c、デバイス 6 0 5、及びメモリアレイ 1 0 0 - c のコンポーネントは、それらの機能を実行するように設計された回路で構成され得る。これは、本明細書に記載される機能を実行するように構成された様々な回路素子、例えば、導電線、トランジスタ、コンデンサ、インダクタ、抵抗、アンプ、又はその他の能動素子若しくは非能動素子を含み得る。

【 0 0 7 9 】

図 7 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法 7 0 0 を説明するフローチャートを示す。方法 7 0 0 の動作は、図 1、図 3、又は図 5 を参照しながら記述したように、メモリアレイ 1 0 0 又はメモリバンク 3 0 5 により実装され得る。例えば、方法 7 0 0 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得る。幾つかの例では、メモリコントローラ 1 4 0 は、後述する機能を実施するために、メモリアレイ 1 0 0 の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ 1 4 0 は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

【 0 0 8 0 】

ブロック 7 0 5 において、方法は、図 1、図 3、及び図 4 を参照しながら記述したように、メモリアレイがアクセス可能なメモリバンクのメモリセルの数と関連付けられるベースページサイズの整数倍である活性ページサイズを選択することを含み得る。幾つかの例では、方法は、ベースページサイズを識別することを含み得る。幾つかの例では、ベースページサイズは、メモリアレイの複数のメモリセクションの内の各メモリセクションに対するページサイズである。幾つかの例では、ブロック 7 0 5 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得、又は容易にされ得る。

【 0 0 8 1 】

ブロック 7 1 0 において、方法は、図 1 及び図 3 を参照しながら記述したように、活性ページサイズに基づいてメモリバンクに対するアドレススキームを構成することを含み得る。幾つかの例では、ブロック 7 1 0 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得、又は容易にされ得る。

【 0 0 8 2 】

ブロック 7 1 5 において、方法は、図 1 及び図 3 を参照しながら記述したように、アドレススキームを使用し且つ活性ページサイズに従って、アクセスコマンドを送信することを含み得る。幾つかの例では、ブロック 7 1 5 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得、又は容易にされ得る。

【 0 0 8 3 】

方法の幾つかの例では、アドレススキームを構成することは、メモリアレイの複数のメモリセクションの内のメモリセクション、該メモリセクション内の物理行、及び該物理行の物理列セクションを識別するための論理行アドレスを構成することを含む。幾つかの場合、物理列セクションは、ベースページサイズに等しい複数のメモリセルを含む。物理列セクションは、物理行に沿って等間隔にされた複数の物理列をも含み得る。アドレススキームを構成することは、活性ページサイズのセクションを識別するための列アドレスを構成することをも含み得、ここで、活性ページサイズは、複数のセクションを含む。幾つかの例では、活性ページサイズのセクションは、読み出しバースト長を含む。

【 0 0 8 4 】

幾つかの例では、アドレススキームを構成することは、活性ページサイズに基づいて論理行アドレスに対するビット数を判定することと、活性ページサイズに基づいて列アドレ

10

20

30

40

50

スに対するビット数を判定することを含む。幾つの場合、行アドレスに対するビット数と列アドレスに対するビット数との和は、活性ページサイズとは無関係に一定値である。該一定値は、幾つの場合においては、メモリバンクのサイズと読み出しバースト長とに基づき得る。

【0085】

方法は、複数のメモリセクションの内の第1のメモリセクションと、複数のメモリセクションの内の第2のメモリセクションとの間のリンク関係を判定することをも含み得る。幾つの場合では、第1のメモリセクションは、第2のメモリセクションにリンクされ得、活性ページサイズは、ベースページサイズの2倍であり得る。そうした例では、方法は、論理行アドレスが第1のメモリセクションを識別するメモリページをオープンするために、論理行アドレスを行デコーダへ送信することと、論理行アドレスに基づいて第1のメモリセクションの第1のベースメモリページをオープンすることと、第1のメモリセクションと第2のメモリセクションとのリンク関係に基づいて第2のメモリセクションの第2のベースメモリページをオープンすることとを含み得、ここで、メモリページは、第1のベースメモリページ及び第2のベースメモリページを含む。幾つの場合では、第2のベースメモリページは、第1のメモリセクション内の第1のベースメモリページと同じ相対アドレスを第2のメモリセクション内に有する。方法の幾つの場合では、リンク関係は、レジスタ中に蓄積され、構成可能でもあり得る。

10

【0086】

方法の幾つの場合では、活性ページサイズを選択することは、メモリアレイがデバイスの素子を含む該デバイスを電源オンすると、活性ページサイズを選択することを含み得る。又は、活性ページサイズを選択することは、特定のページサイズを使用するための指標を受信することと、該特定のページサイズに等しい活性ページサイズをセットすることとを含み得る。幾つの場合、特定のページサイズを使用するための指標は、ソフトウェアアプリケーションから受信される。幾つの場合、該ページサイズは、ベースページサイズの2の累乗倍であり得る。

20

【0087】

方法は、活性ページサイズを使用して、メモリバンクの第1の複数のメモリセルをプログラミングすることと、ベースページサイズの異なる正数倍又は約数である別の活性ページサイズを使用して、メモリバンクの第2の複数のメモリセルを読み出すこととをも含み得る。例えば、ベースページサイズの異なる約数である別の活性ページサイズの使用は、書き込み動作中に使用され得、書き込み動作中に使用される該別のページサイズは、読み出し動作に使用される活性ページサイズよりも大きくてもよい。

30

【0088】

図8は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法800を説明するフローチャートを示す。方法800の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法800の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つの場合では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

40

【0089】

ブロック805において、方法は、図1及び図3を参照しながら記述したように、メモリアレイがアクセス可能な複数のページサイズからページサイズを識別することを含み得る。幾つの場合では、ページサイズを識別することは、メモリアレイの2つ以上の行を含むページサイズを識別することを含む。幾つの場合では、ブロック805の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

50

【0090】

ブロック810において、方法は、図1、図3、及び図4を参照しながら記述したように、識別されたページサイズに基づいて、メモリアレイの少なくとも1つの行にアクセスすることを含み得、ここで、該アクセスすることは、該行の各メモリセルをアクセス線に電子的に結合することを含む。幾つかの例では、メモリアレイの行にアクセスすることは、該行の各メモリセルが複数の選択コンポーネントの内の選択コンポーネントと電子通信する、複数の選択コンポーネントを活性化することを含む。幾つかの例では、ブロック810の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0091】

ブロック815において、方法は、図1、図3、及び図4を参照しながら記述したように、該行のメモリセルのサブセットをアクセス線のサブセットを介して選択することを含み得る。幾つかの例では、該行のメモリセルのサブセットをアクセス線のサブセットを介して選択することは、アクセス線のサブセットの各アクセス線を複数のセンスコンポーネントの内のセンスコンポーネントに電子的に結合するために、第1の複数のスイッチを活性化することを含み得る。幾つかの場合、アクセス線の残部は、第2の複数のスイッチを介して複数のセンスコンポーネントから電氣的に絶縁される。幾つかの例では、ブロック815の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0092】

ブロック820において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリセルのサブセットの各メモリセルの論理値を判定することを含み得る。幾つかの例では、ブロック820の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0093】

方法の幾つかの例は、メモリセルのサブセットを識別する論理行アドレスを受信することと、該論理行アドレスに基づいて第1の複数のスイッチを活性化することとを含み得る。

【0094】

図9は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法900を説明するフローチャートを示す。方法900の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法900の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

【0095】

ブロック905において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリバンクの第1の行中の第1の複数の論理値を判定することを含み得る。幾つかの例では、第1の行中の第1の複数の論理値を判定することは、第1の行中のメモリセルのサブセットの各メモリセルの論理状態を判定することを含む。幾つかの例では、ブロック905の動作は、図1、図3、図5、若しくは図6を参照しながら記述したようにメモリコントローラ140によって、図1～図5を参照しながら記述したようにセンスコンポーネント125によって、又は図4を参照しながら記述したようにスイッチ405によって実施され得、又は容易にされ得る。

【0096】

ブロック910において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリバンクの第2の行中の第2の複数の論理値を判定することを含み得る。幾つか

10

20

30

40

50

の例では、第2の行中の第2の複数の論理値を判定することは、第2の行中のメモリセルのサブセットの各メモリセルの論理状態を判定することを含む。幾つかの例では、ブロック910の動作は、図1、図3、図5、若しくは図6を参照しながら記述したようにメモリコントローラ140によって、図1～図5を参照しながら記述したようにセンスコンポーネント125によって、又は図4を参照しながら記述したようにスイッチ405によって実施され得、又は容易にされ得る。

【0097】

ブロック915において、方法は、図1、図3、及び図4を参照しながら記述したように、第1の複数の論理値及び第2の複数の論理値を含むメモリページをバッファリングすることを含み得る。幾つかの例では、メモリページをバッファリングすることは、第1の複数の論理値及び第2の複数の論理値をラッチすることを含む。幾つかの例では、ブロック915の動作は、図1、図3、図5、若しくは図6を参照しながら記述したようにメモリコントローラ140によって、又は図4を参照しながら記述したようにバッファ410によって実施され得、又は容易にされ得る。

10

【0098】

ブロック920において、方法は、図1、図3、図4、及び図6を参照しながら記述したように、メモリページのサブセットをバスへ送信することを含み得る。幾つかの例では、ブロック920の動作は、図1、図3、図5、若しくは図6を参照しながら記述したようにメモリコントローラ140によって、又は図6を参照しながら記述したようにバス630によって実施され得、又は容易にされ得る。

20

【0099】

方法の幾つかの例では、メモリバンクは複数のメモリセクションを含み、第1のメモリセクションは第1の行を含み、第2のメモリセクションは第2の行を含む。

【0100】

ベースメモリページサイズが第1の複数の論理値又は第2の複数の論理値を含む方法の幾つかの例では、該方法は、メモリページのサイズがベースメモリページサイズの2倍を含むと判定することと、該メモリページのサイズに基づいて、活性化コマンドを発行するようにコマンドジェネレータを構成することとを含み得る。

【0101】

図10は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法1000を説明するフローチャートを示す。方法1000の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法1000の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

30

【0102】

ブロック1005において、方法は、図1および図3を参照しながら記述したように、第1のメモリページサイズを使用して、複数のメモリバンクの内の第1のメモリバンクにアクセスすることを含み得る。幾つかの例では、ブロック1005の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

40

【0103】

ブロック1010において、方法は、図1及び図3を参照しながら記述したように、第1のメモリページサイズとは異なる第2のメモリページサイズを使用して、複数のメモリバンクの内の第2のメモリバンクにアクセスすることを含み得る。幾つかの例では、ブロック1010の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

50

【0104】

幾つかの例では、方法は、第1のメモリページサイズに基づく第1のアドレッシングスキームを使用して第1のメモリバンクにアクセスすることと、第2のメモリページサイズに基づく第2のアドレッシングスキームを使用して第2のメモリバンクにアクセスすることとを含み得る。

【0105】

図11は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法1100を説明するフローチャートを示す。方法1100の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法1100の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。方法1100は、各メモリセクションがメモリセルの複数の物理行を有する、複数のメモリセクションを含むメモリアレイのメモリバンクを動作することを含み得る。

10

【0106】

ブロック1105において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリバンク中のメモリセルに対するアクセスリクエストを受信することを含み得る。幾つかの例では、ブロック1105の動作は、図1、図3、図5、又は図6を参照しながら記述したようにメモリコントローラ140により実施され得、又は容易にされ得る。

20

【0107】

ブロック1110において、方法は、図1、図3、及び図4を参照しながら記述したように、該メモリセルが設置されるメモリバンクの複数のメモリセクションの内のメモリセクションを識別することを含み得る。幾つかの例では、ブロック1110の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

30

【0108】

ブロック1115において、方法は、図1、図3、及び図4を参照しながら記述したように、該メモリセルを含むメモリセルの複数の物理行の内の物理行を該メモリセクション中で識別することを含み得る。幾つかの例では、ブロック1115の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0109】

ブロック1120において、方法は、図1、図3、及び図4を参照しながら記述したように、該メモリセルを含むメモリページを該物理行中で識別することを含み得る。幾つかの例では、ブロック1120の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

40

【0110】

ブロック1125において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリページをオープンするための論理行アドレスを生成することを含み得る。幾つかの例では、ブロック1125の動作は、図1、図3、図5、若しくは図6を参照しながら記述したようにメモリコントローラ140によって、又は図5を参照しながら記述したようにコマンドジェネレータによって実施され得、又は容易にされ得る。

【0111】

方法の幾つかの例では、該メモリセルは、第2のメモリセクション中に設置され得、第2のメモリセクションは第1のメモリセクションにリンクされる。そうした場合、論理行アドレスを生成することは、第1のメモリセクションを識別する論理行アドレスを生成す

50

ることと、該論理行アドレスを行デコーダへ送信することとを含み得、ここで、第2のメモリセクションの物理行は、第1のメモリセクションを識別する論理行アドレスと、第1のメモリセクションと第2のメモリセクションとの間のリンクとに基づいて、行デコーダによってアクセス可能である。

【0112】

それ故、方法700、800、900、1000、及び1100は、可変のページアーキテクチャを有するメモリアレイを動作するために提供され得る。方法700、800、900、1000、及び1100は可能の実装を記述し、該動作及びステップは、その他の実装が可能であるように組み替えられ、さもなければ修正され得ることに留意すべきである。幾つかの例では、方法700、800、900、1000、及び1100の内の2つ以上のからの機構は組み合わせられ得る。

10

【0113】

本明細書の説明は、例示を提供し、請求項に記載される範囲、適用性、又は例を制限しない。開示の範囲から逸脱することなく、論じられた要素の機能及び配置の変更がなされ得る。様々な例では、様々な手続又はコンポーネントを適宜省略し得、代替し得、又は追加し得る。また、幾つかの例に関して記述された機構は、その他の例において組み合わせられ得る。

【0114】

添付の図面に関連して本明細書に記載される説明は、例示的構成を記述し、実装され得る又は請求項の範囲内にある全ての例を表さない。本明細書で使用されるように、用語“例”、“模範的”、及び“実施形態”は、“好適”又は“その他の例よりも有利”ではなく“一例、実例、又は説明として役立つこと”を意味する。詳細な説明は、記述される技術の理解を提供する目的のための具体的詳細を含む。これらの技術は、しかしながら、これらの具体的詳細なしに実施され得る。幾つかの実例では、記述される例の内容を不明確にすることを避けるために、周知の構造体及びデバイスはブロック図の形式で示される。

20

【0115】

添付の図において、同様のコンポーネント又は機構は、同一の参照ラベルを有し得る。更に、同じ種類の様々なコンポーネントは、同様のコンポーネントの中で区別するダッシュ及び第2のラベルを参照ラベルに続けることによって区別され得る。第1の参照ラベルが明細書に使用される場合、説明は、第2の参照ラベルに関係なく、同じ第1の参照ラベルを有する同様のコンポーネントの任意の1つに適用できる。

30

【0116】

本明細書に記載される情報及び信号は、様々な異なる科学技術及び技術の何れかを使用して表され得る。例えば、上述の説明全体通じて言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁界若しくは磁性粒子、光場若しくは光粒子、又はそれらの任意の組み合わせにより表され得る。幾つかの図面は、複数の信号を単一の信号として説明し得るが、バスが様々なビット幅を有し得る場合に、信号は複数の信号のバスを表し得ることを当該技術分野の技術者は理解するであろう。

40

【0117】

本明細書で用いられるように、用語“事実上のグラウンド(virtual ground)”は、約ゼロボルト(0V)の電圧に保持されるがグラウンドと直接接続されない電気回路のノードを指す。したがって、事実上のグラウンドの電圧は、一時的に変動し得、定常状態で約0Vに戻り得る。事実上のグラウンドは、オペアンプ及び抵抗を含む電圧分圧器等の様々な電子回路素子を使用して実装され得る。その他の実装も可能である。“事実上グラウンドする(virtual grounding)”又は“事実上グラウンドされる(virtually grounded)”は約0Vに接続されることを意味する。

【0118】

用語“電子通信”は、コンポーネント間の電子流動を支持するコンポーネント間の関係

50

を指す。これは、コンポーネント間の直接接続を含み得、又は介在コンポーネントを含み得る。電子通信するコンポーネントは、(例えば、通電された回路中の)電子又は信号を能動的に交換し得、又は(例えば、非通電の回路中の)の電子又は信号を能動的に交換しないことがあるが、回路が通電されると電子又は信号を交換するように構成され得又は動作可能であり得る。例として、スイッチ(例えば、トランジスタ)を介して物理的に接続された2つのコンポーネントは、スイッチの状態(すなわち、開放又は閉鎖)に関わらず電子通信する。

【0119】

用語“絶縁”は、コンポーネント間を電子が現在流ることができないコンポーネント間の関係を指し、コンポーネントは、それらの中に開放スイッチがある場合に相互から絶縁される。例えば、スイッチにより物理的に接続された2つのコンポーネントは、スイッチが開放された場合に相互から絶縁され得る。

10

【0120】

用語“結合”は、接続されたコンポーネント間の関係を指す。結合されたコンポーネントは、相互に接続され、相互の間で信号を通信又は転送し得る。例えば、コンポーネント間に電流が流れ得るようにスイッチが閉回路を作り出す場合、該スイッチはコンポーネントを結合し得る。

【0121】

本明細書で論じられるメモリデバイスは、強誘電体材料を含み得、該強誘電体材料は、自発的電気分極により特徴付けられ、すなわち、それは、電界がない場合には非ゼロの電気分極を維持する。例示的強誘電体材料は、チタン酸バリウム(BaTiO_3)、チタン酸鉛(PbTiO_3)、チタン酸ジルコン酸鉛(PZT)、及びタンタル酸ストロンチウムビスマス(SBT)を含む。強誘電体コンデンサ内の電気分極は、強誘電体材料の表面に正味電荷をもたらし、コンデンサ端子を通じて反対の電荷を引き付ける。それ故、強誘電体材料とコンデンサ端子との境界に電荷が蓄積される。比較的長時間、無期限にさえ、外部に印加された電界がない場合にも、電気分極は維持され得るので、例えば、DRAMアレイに用いられるコンデンサと比較して、電荷漏洩は顕著に減少し得る。このことは、幾つかのDRAMアーキテクチャに対して上述したようなリフレッシュ動作を実施する必要性を削減し得る。

20

【0122】

メモリアレイ100を含む本明細書で論じられるデバイスは、シリコン、ゲルマニウム、シリコンゲルマニウム合金、ヒ化ガリウム、窒化ガリウム等の半導体基板上に形成され得る。幾つかの場合、該基板は半導体ウエハである。その他の場合、該基板は、シリコンオングラス(SOG)若しくはシリコンオンサファイア(SOP)等のシリコンオンインシュレータ(SOI)基板、又は別の基板上の半導体材料のエピタキシャル層であり得る。基板又は基板のサブ領域の導電性は、リン、ホウ素、又はヒ素を含むがそれらに限定されない様々な化学種を用いたドーピングを通じて制御され得る。ドーピングは、イオン注入により、又はその他のドーピング手段により、基板の初期の形成又は成長中に実行され得る。

30

【0123】

本明細書で論じられる1つ以上のトランジスタは、電界効果トランジスタ(FET)を表し得、ソース、ドレイン、及びゲートを含む3端子デバイスを含み得る。端子は、導電性材料、例えば金属を通じて他の電子素子に接続され得る。ソース及びドレインは、導電性であり得、高濃度にドーブされた、例えば縮退した、半導体領域を含み得る。ソース及びドレインは、低濃度にドーブされた半導体領域又はチャネルによって分離され得る。チャネルがn型(すなわち、主たるキャリアが電子)である場合、該FETはn型FETと称され得る。チャネルがp型(すなわち、主たるキャリアがホール)である場合、該FETはp型FETと称され得る。チャネルは、絶縁ゲート酸化物によって覆われ得る。チャネルの導電性は、ゲートに電圧を印加することによって制御され得る。例えば、正の電圧をn型FETに、又は負の電圧をp型FETに夫々印加することは、チャネルが導電性に

40

50

なる結果をもたらす得る。トランジスタの閾値電圧以上の電圧がトランジスタのゲートに印加された場合、トランジスタは“オン”又は“活性化”にされ得る。トランジスタの閾値電圧未満の電圧がトランジスタのゲートに印加された場合、トランジスタは“オフ”又は“不活性化”にされ得る。

【0124】

本明細書の開示と関連して記述される様々な説明ブロック、コンポーネント、及びモジュールは、本明細書に記述される機能を実施するように設計された、汎用プロセッサ、DSP、ASIC、FPGA若しくはプログラム可能論理デバイス、分離したゲート若しくはトランジスタ論理回路、分離したハードウェアコンポーネント、又はそれらの任意の組み合わせで実装又は実施され得る。汎用プロセッサは、マイクロプロセッサであり得るが、代わりに、プロセッサは、任意の従来プロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであり得る。プロセッサはまた、コンピューティングデバイスの組み合わせ（例えば、DSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアと併せた1つ以上のマイクロプロセッサ、又は任意のその他のそうした構成）として実装され得る。

10

【0125】

本明細書に記述される機能は、ハードウェア、プロセッサにより実行されるソフトウェア、ファームウェア、又はそれらの任意の組み合わせで実装され得る。プロセッサにより実行されるソフトウェアに実装される場合、機能は、コンピュータ可読媒体上の1つ以上の命令又はコードとして蓄積され得、又は送信され得る。その他の例及び実装は、本開示及び添付の請求項の範囲内である。例えば、ソフトウェアの性質に起因して、上述の機能は、プロセッサにより実行されるソフトウェア、ハードウェア、ファームウェア、配線、又はこれらの任意の組み合わせを使用して実装できる。機能を実装する機構はまた、機能の（複数の）部分が異なる物理的位置に実装されるように分散されることを含む、様々な位置に物理的に配置され得る。また、請求項を含む本明細書で使用されるように、項目のリスト（例えば、“少なくとも1つの”又は“の内の1つ以上”等の句により前置きされる項目のリスト）に使用されるような“又は”は、例えば、A、B、又はCの内の少なくとも1つのリストが、A又はB又はC又はAB又はAC又はBC又はABC（すなわちA及びB及びC）を意味するように包含的リストを示す。

20

【0126】

コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む非一時的コンピュータ記憶媒体及び通信媒体の両方を含む。非一時的記憶媒体は、汎用又は専用のコンピュータによりアクセスできる任意の利用可能な媒体であり得る。例として、非限定的に、非一時的コンピュータ可読媒体は、RAM、ROM、電氣的消去可能プログラム可能リードオンリーメモリ（EEPROM）、コンパクトディスク（CD）ROM若しくはその他の光ディスクストレージ、磁気ディスクストレージ若しくはその他の磁気蓄積デバイス、又は所望のプログラムコード手段を命令若しくはデータ構造の形式で搬送若しくは蓄積するのに使用され得、且つ汎用若しくは専用コンピュータ又は汎用若しくは専用プロセッサによりアクセスできる任意のその他の非一時的媒体を含み得る。

30

40

【0127】

また、任意の接続は、コンピュータ可読媒体と適切に称される。例えば、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は赤外線、無線、及びマイクロ波等の無線技術を使用してウェブサイト、サーバ、又はその他の遠隔ソースからソフトウェアが送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、又は赤外線、無線、及びマイクロ波等の無線技術は媒体の定義に含まれる。本明細書で使用されるように、磁気ディスク（disk）及び光学ディスク（disc）は、CD、レーザディスク、光ディスク、デジタル多目的ディスク（DVD）、フロッピーディスク、ブルーレイディスクを含み、ここで、光学ディスクがレーザでデータを光学的に再生する一方で、磁気ディスクはデータを磁氣的に通常再生する。上記

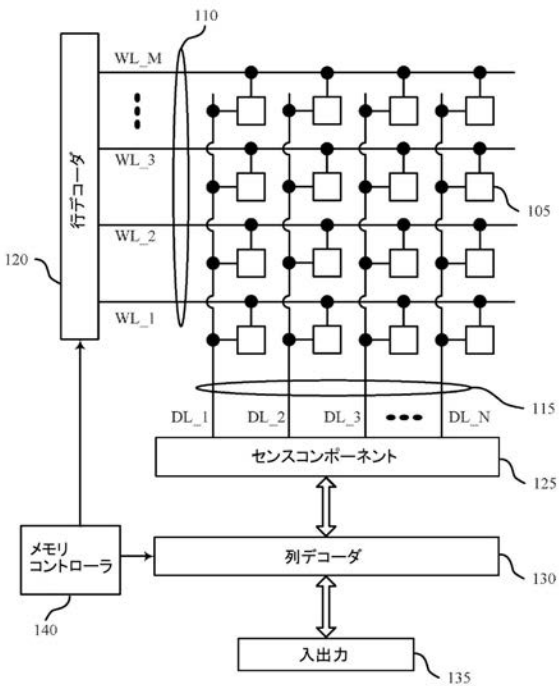
50

されたものの組み合わせもコンピュータ可読媒体の範囲に含まれる。

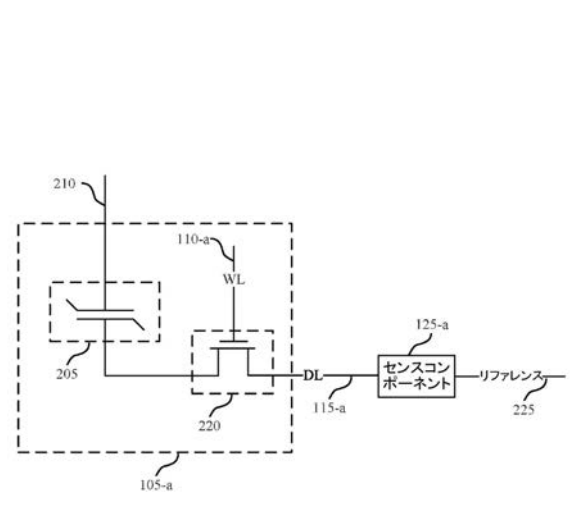
【0128】

本明細書の説明は、当業者が開示を製作又は使用できるように提供される。開示への様々な修正が当業者に容易に分かるであろうし、本明細書で定義される包括的な原理は、開示の範囲を逸脱することなく、その他の変形に適用され得る。それ故、開示は、本明細書に記述された例示及び設計に制限されるべきではなく、本明細書に開示された原理及び新規の機構と一致する最も広い範囲に一致すべきである。

【図1】



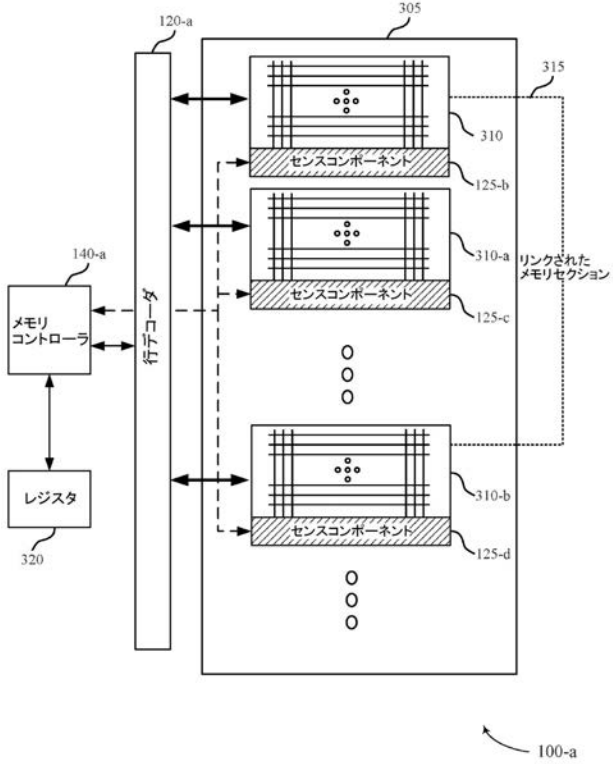
【図2】



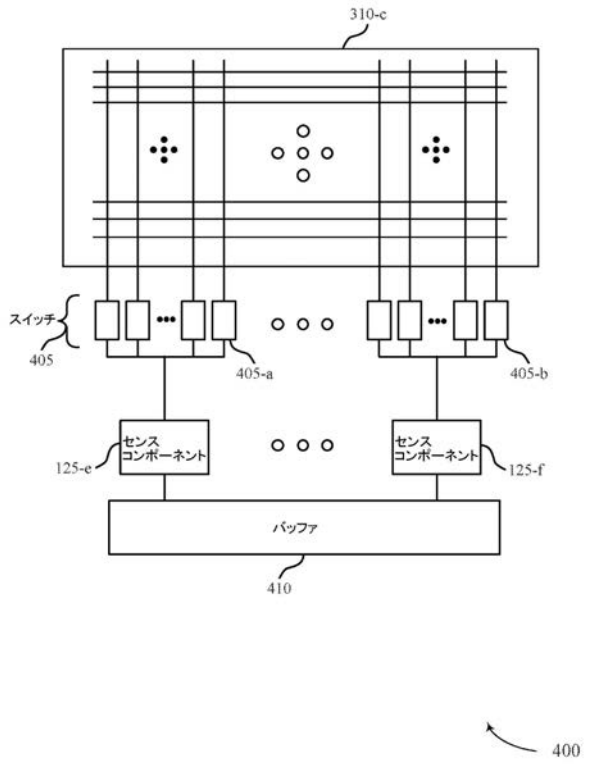
100

200

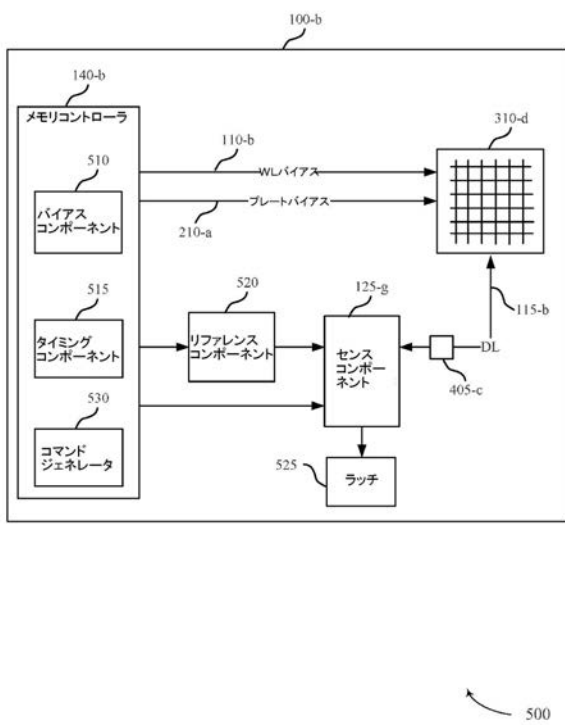
【 図 3 】



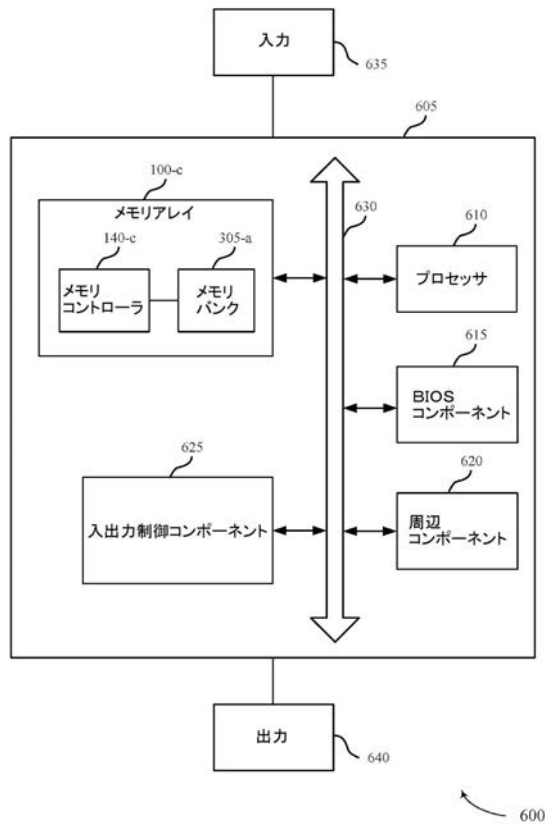
【 図 4 】



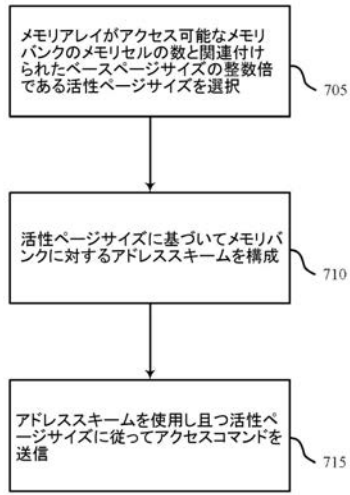
【 図 5 】



【 図 6 】

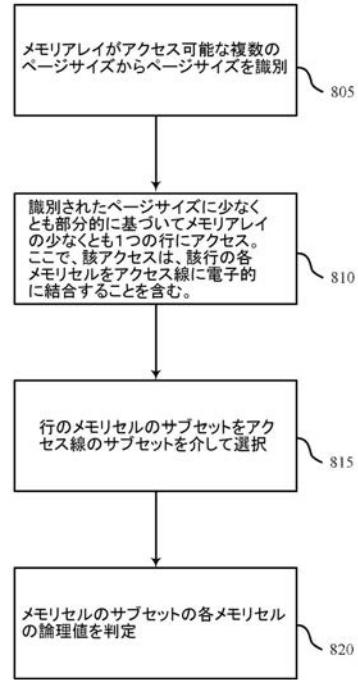


【 図 7 】



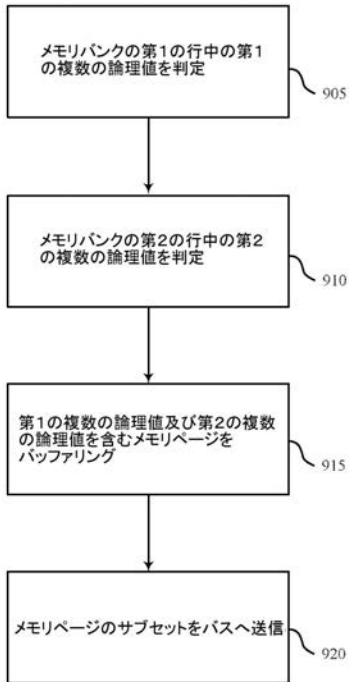
700

【 図 8 】



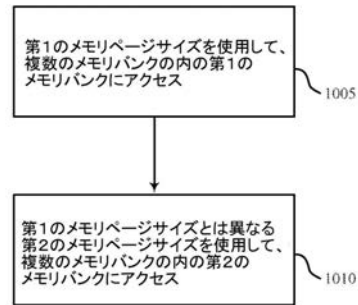
800

【 図 9 】



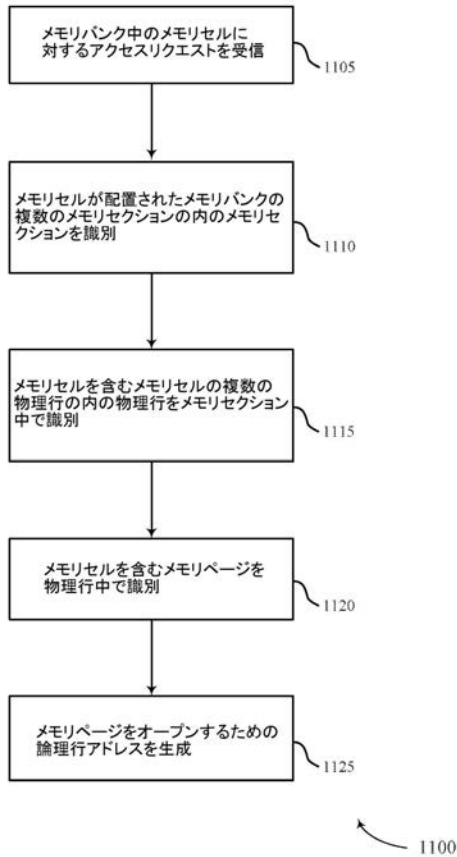
900

【 図 10 】



1000

【図 1 1】



【手続補正書】

【提出日】平成31年2月28日(2019.2.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

< 相互参照 >

本出願は、2016年7月29日出願の名称が“可変のページサイズアーキテクチャ”であるVililaによる米国特許出願番号15/223,753に対する優先権を主張する2017年7月19日出願の名称が“可変のページサイズアーキテクチャ”である特許協力条約出願番号PCT/US2017/042895に対する優先権を主張し、それらの各々が本出願の譲受人に与えられ、それらの各々が本明細書にその全体が参照により明確に組み込まれる。

【0002】

以下は、概して、メモリデバイスに関し、より具体的には、可変のページサイズアーキテクチャを有するメモリデバイスに関する。

【背景技術】

【0003】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、及びデジタル表示装置等の様々な電子デバイス中に情報を蓄積するために広く使用される。情報は、メモリデバイスの異なる状態をプログラミングすることによって蓄積される。例えば、バイナリデバ

イスは、論理“1”又は論理“0”によりしばしば示される2つの状態を有する。その他のシステムでは、3つ以上の状態が蓄積され得る。蓄積された情報にアクセスするために、電子デバイスは、メモリデバイス中の蓄積状態を読み出し得、又はセンシングし得る。情報を蓄積するために、電子デバイスは、メモリデバイス中に状態を書き込み得、又はプログラミングし得る。

【0004】

ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、ダイナミックRAM(DRAM)、同期型ダイナミックRAM(SDRAM)、強誘電体RAM(FERAM)、磁気RAM(MRAM)、抵抗変化RAM(RRAM)、及びフラッシュメモリ等を含む様々な種類のメモリデバイスが存在する。メモリデバイスは揮発性又は不揮発性であり得る。不揮発性メモリ、例えば、フラッシュメモリは、外部電源が存在しなくても長時間、データを蓄積できる。揮発性メモリデバイス、例えば、DRAMは、外部電源により定期的リフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。バイナリメモリデバイスは、例えば、充電又は放電されるコンデンサを含み得る。充電されたコンデンサは、しかしながら、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。定期的なリフレッシュなしにデータを蓄積する能力等の不揮発性の機構が利点であり得る一方で、揮発性メモリの幾つかの機構は、より高速な読み出し又は書き込み速度等の性能の利点を提供し得る。

【0005】

幾つかの不揮発性メモリデバイスは、揮発性メモリと同様のデバイスアーキテクチャを使用し得る。そうしたデバイスは、その他の不揮発性及び揮発性のメモリデバイスと比較して向上した性能を有し得る。情報は、複数のバイナリビット(メモリセル)を用いてしばしば表されるので、読み出し又は書き込み動作中に多くのメモリセルが一度にアクセスされ得る。このメモリページベースのアクセスもメモリアレイの性能を向上し得る。しかしながら、メモリページが大きい場合、それは、本来必要とはされなかった多くのビットを含み得る。それらの未使用のメモリセルにアクセスすることは、エネルギーを浪費し得、ダイスペースを占める不必要なコンポーネントを必要とし得る。

【0006】

本明細書の開示は、以下の図面を参照し、以下の図面を含む。

【図面の簡単な説明】

【0007】

【図1】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイを説明する。

【図2】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリセルの例示的回路を説明する。

【図3】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイ説明する。

【図4】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリアレイの例示的回路を説明する。

【図5】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイのブロック図を説明する。

【図6】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する、メモリアレイを含むシステムを説明する。

【図7】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図8】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図9】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図10】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有する

メモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【図11】本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための1つ以上の方法を説明するフローチャートである。

【発明を実施するための形態】

【0008】

メモリアレイのページサイズは、メモリアレイの複数の行にアクセスすることによって動的に変更され得る。メモリアレイは、各々のバンクが幾つかのメモリセクションを含む、複数のメモリバンクから構成され得る。各メモリセクションは、メモリセルのアレイと、該メモリセルを読み出す又はプログラミングするための一組のセンスコンポーネント（例えば、センスアンプ）とを有し得る。メモリページをオープンするために、メモリセクション内の行がアクセスされ得、該行内のメモリセルのサブセットがセンシング及びバッファリングされ得る。各メモリセクションは、その自身の一組のセンスコンポーネントを有するので、複数のメモリセクションは、メモリバンクの複数の行へのアクセスと同時に（in parallel）アクセスされ得、それ故、可変サイズのページサイズを可能にする。

【0009】

アドレッシングスキームは、ページサイズに基づいて修正され得る。メモリコントローラは、メモリページをオープンするために、論理行アドレスをメモリアレイに渡し得る。複数のメモリセクションが同時にアクセスされる場合、論理行アドレスはメモリセクションを識別し得る。幾つかの例では、メモリセクションはリンクされ得、あるセクション中の行へのアクセスは、別のメモリセクション中の行を自動的にアクセスし得る。一旦メモリページがオープンされると、メモリコントローラは、プロセッサへ送信されるメモリページのサブセットを選択する列アクセスコマンドを送信し得る。該サブセットは固定長のものであり得、それ故、列アクセスコマンドは、ページサイズの変更と共に変化し得る。そのため、メモリコントローラは、ページサイズに基づいて、論理行アドレス及び列アドレスを修正し得る。

【0010】

本明細書に記述される動的ページサイズ動作は、多数の利益を提供し得る。例えば、より少数のセンスコンポーネントが使用される、すなわち、行内のメモリセルのサブセットのみが一度に読み出され又はプログラミングされるので、ダイサイズは縮小し得る。このことは、動作中の電力消費をも削減し得る。更に、性能（例えば、メモリアレイ中の蓄積データにアクセスするための総時間）の向上が要望される場合、複数のメモリ行に同時にアクセスすることによってページサイズは増加し得る。

【0011】

幾つかの例では、メモリアレイを含むデバイスを電源オンするとページサイズが判定され得る。他の例では、コマンドを受信することによって、ページサイズが変更され得る。例えば、ソフトウェアアプリケーションは、様々な要因に基づいて好適なページサイズを判定し得、そうしたページサイズを使用するようにメモリアレイにその後命令し得る。

【0012】

上で紹介された開示の機構は、メモリアレイの文脈で更に後述される。可変のページサイズ及びその動作を支持するメモリアレイに対する具体例が続いて記述される。開示のこれら又はその他の機構は、可変のページサイズアーキテクチャに関する装置図、システム図、及びフローチャートの参照によって更に説明され、参照しながら更に記述される。開示は任意の不揮発性メモリに関し得る。幾つかの例は、強誘電体コンデンサを参照しながら論じられるが、本開示は強誘電体メモリに限定されない。例えば、開示は、その他のメモリタイプの中でもとりわけ、クロスポイントメモリ、抵抗変化メモリ、カルコゲニドベースのメモリ、磁気メモリ、フラッシュメモリ、薄膜メモリに関し得る。

【0013】

図1は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイ100を説明する。メモリアレイ100は、電子メモリ装置とも称され得る。メモリアレイ100は、異なる論理状態を蓄積するようにプログラム可能なメ

メモリセル105を含む。各メモリセル105は、論理0及び論理1で示される2つの状態を蓄積するようにプログラム可能であり得る。幾つの場合、メモリセル105は、3つ以上の論理状態を蓄積するように構成される。メモリセル105は、とりわけ、強誘電体コンデンサ、スピントルクトランスファデバイス、磁気トンネル接合、相変化デバイス、メモリトランジスタ等の様々な論理蓄積デバイスの内の1つであり得る。

【0014】

読み出し及び書き込み等の動作は、適切なアクセス線110及びデジット線115を活性化又は選択することによって、メモリセル105上で実施され得る。アクセス線110はワード線110と称され得、デジット線115はビット線115と称され得る。ワード線110又はデジット線115を活性化又は選択することは、個別の線に電圧を印加することを含み得る。ワード線110及びデジット線115は導電性材料で作られる。例えば、ワード線110及びデジット線115は、金属（銅、アルミニウム、金、タンゲステン等）、金属合金、ドーパ半導体、又はその他の導電性材料等で作られてもよい。図1の例に従うと、メモリセル105の各行は単一のワード線110に接続され、メモリセル105の各列は単一のデジット線115に接続される。1つのワード線110及び1つのデジット線115を活性化する（例えば、ワード線110又はデジット線115に電圧を印加することによって、それらの交点で単一のメモリセル105がアクセスされ得る。メモリセル105にアクセスすることは、メモリセル105を読み出すこと又は書き込むことを含み得る。ワード線110及びデジット線115の交点はメモリセルのアドレスと称され得る。

【0015】

メモリアレイ100は、メモリアレイ、メモリバンク、又はメモリセクションを表し得る。メモリアレイは、チップ等の単一のメモリコンポーネント内での同時動作を向上させるために、メモリバンクに分けられ得る。メモリバンクは、複数のメモリコンポーネント（例えば、チップ）に渡る複数の行及び列であり得る。メモリバンク、メモリセクション、又はメモリページは、2次元又は3次元のメモリアレイの一部であり得る（例えば、メモリアレイ100は2次元又は3次元であり得る）。単一の読み出し又は書き込み動作がメモリバンク内で一度に実施され得る。それ故、メモリアレイ全体に対するスループットを増加させるために、複数のメモリバンクが同時に動作され得る。

【0016】

各メモリバンクは、各メモリセクションがその自身の一組のセンスコンポーネント125を有する（複数の）メモリセクションに分割され得る。例えば、メモリバンクは、32個の別個のメモリセクションに分割され得る。バンクを（複数の）セクションに分割することによって、当該メモリセクション内の各ビット線115の全長は、セクション化されないバンクと比較して削減される。これらのより短いビット線115は、メモリアレイの動作速度を向上させ得る。

【0017】

幾つかのアーキテクチャでは、セルの論理蓄積デバイス、例えば、コンデンサは、選択コンポーネントによってデジット線から電氣的に絶縁され得る。ワード線110は、選択コンポーネントに接続され得、選択コンポーネントを制御し得る。例えば、選択コンポーネントはトランジスタであってもよく、ワード線110は、トランジスタのゲートに接続されてもよい。ワード線110を活性化することは、メモリセル105のコンデンサとその対応するデジット線115との間の電氣的接続又は閉回路をもたらす。デジット線は、メモリセル105の読み出し又は書き込みの何れかのためにその後アクセスされ得る。揮発性メモリでは、ワード線110の活性化は、ワード線110と電子通信する各メモリセル105の蓄積された論理状態を破壊し得、それ故、該行の各メモリセル105がセンシングされることが必要とされ、その論理状態がライトバックされ得る。不揮発性メモリでは、このことが当てはまらなくてもよく、ワード線110の活性化は、メモリセル105のデジット線115と電子通信する該メモリセル105を設置するが、各メモリセル105の論理状態は破壊されないことがある。こうして、行中のメモリセル105のサブセッ

トのみがセンスコンポーネント 1 2 5 によりセンシングされ得つつ、ワード線 1 1 0 が活性化され得る。

【 0 0 1 8 】

メモリセル 1 0 5 へのアクセスは、行デコーダ 1 2 0 及び列デコーダ 1 3 0 を通じて制御され得る。幾つかの例では、行デコーダ 1 2 0 は、一連のバイナリビットであり得る行アドレスをメモリコントローラ 1 4 0 から受信し、受信された行アドレスに基づいて適切なワード線 1 1 0 を活性化する。例えば、メモリアレイ 1 0 0 は、W L _ 1 ~ W L _ M とラベルが付された複数のワード線 1 1 0 を含み得、行アドレスは、ワード線 1 1 0 の内の 1 つを活性化し得る。行内のメモリセル 1 0 5 の内の幾つか又は全ては、メモリセル 1 0 5 の蓄積状態を判定するために、センスコンポーネント 1 2 5 によりその後センシングされ得る。検出された論理状態はラッチされ得、又は列デコーダ 1 3 0 の一部であり得るバッファ中に蓄積され得る。このプロセスは、メモリページのオープンと称され得る。メモリページのデータは、ワード線 1 1 0 及びセンスコンポーネント 1 2 5 を毎回活性化する必要なく、その後繰り返しアクセスされ（例えば、プロセッサへ送信され）得る。このことは、メモリアレイ 1 0 0 のアクセス時間を向上させ得る。幾つかの場合、以下でより詳細に論じられるように、メモリセル 1 0 5、ワード線 1 1 0、又はメモリセクション間にリンク関係が存在し得る。そうした場合、行アドレスは第 1 の行に向けられ得るが、行デコーダ 1 2 0 は、リンクに基づいて第 1 の行及び第 2 の行にアクセスし得る。言い換えれば、行デコーダ 1 2 0 は、第 1 のワード線 1 1 0 及び第 2 のワード線 1 1 0 を活性化し得る。第 2 の行は、別の一組のセンスコンポーネント 1 2 5 を有する別のメモリセクションであり得る。

【 0 0 1 9 】

メモリページ中に含まれるデータは、出力 1 3 5 として列デコーダ 1 3 0 を通じてその後出力され得る。例えば、バスへ出力される論理値の内の 1 つ又はサブセットを選択するために、列デコーダ 1 3 0 へ列アドレスが送信され得る。この列アドレスは、論理値のサブセットを選択するための一連のバイナリビットであり得る。ページサイズが動的に変化し得ると共に、列アドレス中のビット数も変化し得る。例えば、ページサイズが 2 倍である場合、2 倍に多くのサブセットがこの時利用可能であり、列アドレス中のビット数は増加し得る。

【 0 0 2 0 】

アクセスすると、メモリセル 1 0 5 の蓄積状態を判定するために、メモリセル 1 0 5 はセンスコンポーネント 1 2 5 によって読み出され得、又はセンシングされ得る。強誘電体コンデンサを含むメモリセル 1 0 5 の例では、メモリセル 1 0 5 へのアクセス後、それは、その対応するデジット線 1 1 5 上に放電し得る。強誘電体コンデンサの不揮発性の性質に起因して、強誘電体コンデンサの放電は、該強誘電体コンデンサへのバイアス又は電圧の印加に基づき得る。その他の不揮発性メモリに対してはその他のスキームが可能であり得る。放電は、デジット線 1 1 5 の電圧に変化を生じさせ得、センスコンポーネント 1 2 5 は、メモリセル 1 0 5 の蓄積状態を判定するために、それをリファレンス電圧（図示せず）と比較し得る。例えば、デジット線 1 1 5 がリファレンス電圧よりも高い電圧を有する場合、センスコンポーネント 1 2 5 は、メモリセル 1 0 5 中の蓄積状態が論理 1 であったと判定し得、逆もまた同様である。センスコンポーネント 1 2 5 は、信号の差を検出及び増幅するための様々なトランジスタ又はアンプを含み得る。

【 0 0 2 1 】

メモリセル 1 0 5 は、関連するワード線 1 1 0 及びデジット線 1 1 5 を活性化することによってセットされ得、又は書き込まれ得る。上で論じられたように、ワード線 1 1 0 の活性化は、（複数の）メモリセル 1 0 5 の対応する行をそれらの個別のデジット線 1 1 5 に電氣的に接続する。ワード線 1 1 0 が活性化される間に、関連するデジット線 1 1 5 を制御することによって、メモリセル 1 0 5 は書き込まれ得、すなわち、メモリセル 1 0 5 中に論理値が蓄積され得る。列デコーダ 1 3 0 は、メモリセル 1 0 5 に書き込まれるデータ、例えば入力 1 3 5 を受け入れ得る。幾つかの例では、メモリセル 1 0 5 は、論理蓄積

コンポーネントに電圧を印加すること、例えば、強誘電体コンデンサに渡って電圧を印加することによって書き込まれ得る。

【 0 0 2 2 】

幾つかの例では、メモリのページサイズは構成可能である。メモリアレイ 1 0 0 は、メモリバンク内の複数のメモリセクションの内の 1 つのメモリセクションを表し得る。該ページサイズは、複数のベースメモリページから成り立ってもよく、ここで、該ベースページは、単一の行内のメモリセル 1 0 5 のサブセットである。例えば、センスコンポーネント 1 2 5 の数は、デジット線 1 1 5 の数よりも少なくてもよい。複数のベースページをバッファリングすることによってより大きなページサイズを作り出すために、複数の行が並行してその後アクセスされる。幾つかの場合、異なる行は異なるメモリセクション中にあるもよく、ここで、各セクションは、その自身の一組のセンスコンポーネント 1 2 5 を有する。

【 0 0 2 3 】

幾つかのメモリアーキテクチャでは、メモリセル 1 0 5 へのアクセスは、蓄積された論理状態を劣化又は破壊し得、元の論理状態をメモリセル 1 0 5 に戻すために、再書き込み又はリフレッシュ動作が実施され得る。D R A M では、例えば、コンデンサは、センシング動作中に部分的に又は完全に放電され得、蓄積された論理状態を破損する。そのため、センシング動作後に論理状態が再書き込みされ得る。また、単一のワード線を活性化することは、行中の全てのメモリセルの放電をもたらし得、それ故、行中のメモリセル 1 0 5 の内の幾つか又は全ては、再書き込みされる必要があり得る。しかしながら、不揮発性メモリセル 1 0 5 は、それらのデジット線 1 1 5 に接続されると放電しないことがある。このことは、センシングされないメモリセル 1 0 5 の蓄積された論理状態を破壊することなく、行内のメモリセル 1 0 5 のサブセットをセンシングすることを可能にし得る。

【 0 0 2 4 】

D R A M を含む幾つかのメモリアーキテクチャは、外部電源により定期的リフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。例えば、充電されたコンデンサは、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。これらのいわゆる揮発性メモリデバイスのリフレッシュレートは比較的高く、例えば、D R A M アレイに対して毎秒 1 0 回のリフレッシュ動作であり得、それは、著しい電力消費をもたらし得る。より大きなメモリアレイの増加と共に、電力消費の増加は、特に、電池等の有限の電源に依存するモバイルデバイスのためのメモリアレイの配備又は動作（例えば、電源、発熱、材料限界等）を阻害し得る。しかしながら、不揮発性メモリセル 1 0 5 は、他のメモリアーキテクチャと比較して向上した性能をもたらす有益な特性を有し得る。例えば、行内のメモリセル 1 0 5 のサブセットがアクセスされ得、動作中に、より小さなページサイズを使用可能にする。複数のメモリセクションに同時にアクセスすることによって、メモリアレイ 1 0 0 を使用するデバイスに対する性能を最適化するようにページサイズが動的に変更され得る。

【 0 0 2 5 】

メモリコントローラ 1 4 0 は、行デコーダ 1 2 0、列デコーダ 1 3 0、及びセンスコンポーネント 1 2 5 等の様々なコンポーネントを通じて、メモリアレイ 1 0 0 の動作（例えば、読み出し、書き込み、再書き込み、リフレッシュ、ページサイズ判定等）を制御し得る。メモリコントローラ 1 4 0 は、所望のワード線 1 1 0 及びデジット線 1 1 5 を活性化するために、行及び列のアドレス信号を生成し得る。メモリコントローラ 1 4 0 は、メモリアレイ 1 0 0 の動作中に使用される様々な電位をも生成及び制御し得る。一般的に、本明細書で論じられる印加電圧の振幅、形状、又は存続期間は、調整又は変更され得、メモリアレイ 1 0 0 を動作するための様々な動作に対して異なり得る。更に、メモリアレイ 1 0 0 内の 1 つの、複数の、又は全てのメモリセル 1 0 5 は同時にアクセスされ得、例えば、メモリアレイ 1 0 0 の複数の又は全てのセルは、全てのメモリセル 1 0 5 又はメモリセル 1 0 5 のグループが単一の論理状態にセットされるリセット動作中に同時にアクセスされ得る。或いは、様々なサイズのメモリページがオープンされ得る。

【 0 0 2 6 】

図 2 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する、メモリセル 105 を含む例示的回路 200 を説明する。回路 200 は、図 1 を参照しながら記述したようなメモリセル 105、ワード線 110、デジタル線 115、及びセンスコンポーネント 125 の夫々例示であり得るメモリセル 105 - a、ワード線 110 - a、デジタル線 115 - a、及びセンスコンポーネント 125 - a を含む。メモリセル 105 - a は、論理蓄積デバイス 205、例えば、電極間に配置された強誘電体材料を通じて容量的に結合された電極を有するコンデンサを含み得る。上述したように、論理蓄積デバイス 205 はその他のメモリデバイスを表し得る。回路 200 は、選択コンポーネント 220 及びリファレンス信号 225 をも含む。図 2 の例では、論理蓄積デバイス 205 は、プレート線 210 及びデジタル線 115 - a を介してアクセスされ得る。幾つかの例では、プレート線 210 は存在しなくてもよい。上述したように、論理蓄積デバイス 205 を使用して様々な状態が蓄積され得る。

【 0 0 2 7 】

論理蓄積デバイス 205 の蓄積状態は、回路 200 中に表された様々な素子を動作することによって読み出され得、又はセンシングされ得る。論理蓄積デバイス 205 は、デジタル線 115 - a と電子通信し得る。例えば、論理蓄積デバイス 205 は、選択コンポーネント 220 が不活性化された場合にデジタル線 115 - a から絶縁され得、論理蓄積デバイス 205 は、選択コンポーネント 220 が活性化された場合にデジタル線 115 - a に電子的に接続され得る。選択コンポーネント 220 の活性化は、メモリセル 105 - a の選択と称され得る。幾つかの場合、選択コンポーネント 220 はトランジスタであり、その動作は、トランジスタのゲートに電圧を印加することによって制御され、ここで、該電圧の大きさは、トランジスタの閾値電圧の大きさよりも大きい。ワード線 110 - a は選択コンポーネント 220 を活性化し得、例えば、ワード線 110 - a に印加された電圧は、トランジスタのゲートに印加され、論理蓄積デバイス 205 をデジタル線 115 - a と接続する。

【 0 0 2 8 】

前述したように、論理蓄積デバイス 205 は、デジタル線 115 - a への接続の際に放電しないことがある。幾つかの例では、論理蓄積デバイス 205 の蓄積された論理状態をセンシングするために、論理蓄積デバイス 205 に電圧が印加され得る。一スキームでは、メモリセル 105 - a を選択するためにワード線 110 - a がバイアスされ得、プレート線 210 に電圧が印加され得る。幾つかの場合、デジタル線 115 - a は、事実上グラウンドされ、プレート線 210 及びワード線 110 - a をバイアスする前に、事実上のグラウンドからその後絶縁され得る。プレート線 210 をバイアスすることは、論理蓄積デバイス 205 に渡る電圧差（例えば、プレート線 210 の電圧 - デジタル線 115 - a の電圧）をもたらし得る。コンデンサの例では、該電圧差は、論理蓄積デバイス 205 上の蓄積電荷に変化を引き起こし得、ここで、蓄積電荷の変化の大きさは、論理蓄積デバイス 205 の最初の状態、例えば、最初の状態が論理 1 又は論理 0 の何れを蓄積したか、に依存し得る。このことは、論理蓄積デバイス 205 上に蓄積された電荷に基づいて、デジタル線 115 - a の電圧に変化を生じさせ得る。他のスキームでは、プレート線 210 は一定電位に保持され得、デジタル線 115 - a の電圧が代わりに制御され得る。

【 0 0 2 9 】

デジタル線 115 - a の電圧の変化は、その固有の静電容量に依存し得、デジタル線 115 - a に電荷が流れると共に、幾つかの有限の電荷がデジタル線 115 - a 中に蓄積され得、もたらされる結果電圧は固有の静電容量に依存する。固有の静電容量は、デジタル線 115 - a の、寸法を含む物理的特徴に依存し得る。デジタル線 115 - a は、無視できない（例えば、ピコファラッド (pF) オーダの) 静電容量をもたらす長さを有し得るので、デジタル線 115 - a は、多くのメモリセル 105 に接続し得る。結果として生じるデジタル線 115 - a の電圧は、メモリセル 105 - a 中の蓄積された論理状態を判定するために、センスコンポーネント 125 - a によりリファレンス（例えば、リファレン

ス信号 2 2 5 の電圧) とその後比較され得る。

【 0 0 3 0 】

センスコンポーネント 1 2 5 - a は、信号の差を検出及び増幅するための様々なトランジスタ又はアンプを含み得る。センスコンポーネント 1 2 5 - a は、デジット線 1 1 5 - a の電圧と、リファレンス電圧であり得るリファレンス信号 2 2 5 とを受け取って比較するセンスアンプを含み得る。センスアンプの出力は、該比較に基づいて、より高い(例えば、正の)又はより低い(例えば、負の又はグラウンドの)供給電圧に動かされ得る。実例として、デジット線 1 1 5 - a がリファレンス信号 2 2 5 よりも高い電圧を有する場合、その後センスアンプの出力は正の供給電圧に動かされ得る。幾つの場合、センスアンプは、デジット線 1 1 5 - a を供給電圧に付加的に動かし得る。センスコンポーネント 1 2 5 - a は、センスアンプの出力又はデジット線 1 1 5 - a の電圧をその後ラッチし得、それは、メモリ 1 0 5 - a 中の蓄積状態、例えば、論理 1 を判定するために使用され得る。或いは、デジット線 1 1 5 - a がリファレンス信号 2 2 5 よりも低い電圧を有する場合、センスアンプの出力は、負又はグラウンドの電圧に動かされ得る。センスコンポーネント 1 2 5 - a は、メモリセル 1 0 5 - a 中の蓄積状態、例えば、論理 0 を判定するために、センスアンプの出力を同様にラッチし得る。メモリセル 1 0 5 - a のラッチされた論理状態は、例えば、図 1 に関する出力 1 3 5 として、列デコーダ 1 3 0 を通じてその後出力され得る。

【 0 0 3 1 】

メモリセル 1 0 5 - a に書き込むために、論理蓄積デバイス 2 0 5 に渡って電圧が印加され得る。例えば、論理蓄積デバイス 2 0 5 に渡って電圧を印加するために、プレート線 2 1 0 若しくはデジット線 1 1 5 - a、又はそれら両方が通電され得る。付加的に又は代替的に、読み出し又は書き込み動作のためのその他のアクセススキームが使用され得る。例えば、その他の科学技術(すなわち、F e R A M 以外)が用いられる場合、メモリタイプに従ってアクセススキームが適合され得る。

【 0 0 3 2 】

図 3 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的メモリアレイ 1 0 0 - a を説明する。メモリアレイ 1 0 0 - a は、メモリセクション 3 1 0、3 1 0 - a、及び 3 1 0 - b を含むメモリバンク 3 0 5 を含む。各メモリセクション 3 1 0 は、一組のセンスコンポーネント 1 2 5、例えば、図 1 ~ 図 2 に関するセンスコンポーネント 1 2 5 の例示であり得るセンスコンポーネント 1 2 5 - b、1 2 5 - c、及び 1 2 5 - d と関連付けられる。メモリセクション 3 1 0 は、図 1 に関連して記述されたように、メモリセルの行及び列で構成され得る。各メモリセクション 3 1 0 は、図 1 に関する行デコーダ 1 2 0 の一例であり得る行デコーダ 1 2 0 - a と電子通信する。メモリアレイ 1 0 0 - a は、図 1 の関するメモリコントローラ 1 4 0 の一例であり得るメモリコントローラ 1 4 0 - a と、メモリセクション 3 1 0 間のリンク関係を蓄積し得るレジスタ 3 2 0 とをも含み得る。例えば、リンク関係 3 1 5 は、メモリセクション 3 1 0 と 3 1 0 - b との間のリンク関係を表し得る。

【 0 0 3 3 】

幾つかの揮発性メモリの科学技術は、比較的大きなページサイズ、例えば、2 ~ 4 キロバイト(k B)を有し、それは、アレイ又はバンクの行中のメモリセルの数に等しくてもよい。揮発性メモリセルを含む行にアクセスすること(例えば、ワード線 1 1 0 を活性化すること)は、それらの蓄積された論理状態を破壊し得る。そのため、行中の各メモリセルはセンシングされ得、幾つの場合、メモリページとしてバッファリングされ得る。ページが例えば、活性化コマンドを用いて一旦オープンされると、ページ全体が読み出され得、その内容が利用可能である。列アドレスは、何れのデータのバースト(例えば、メモリページのサブセット)を出力するかを選択する。後続の列アドレスは、メモリページの残部を選択し得る。

【 0 0 3 4 】

不揮発性メモリの場合、行にアクセスする場合に、行の各メモリセルがセンシングされ

る必要がなくともよい。例えば、強誘電体メモリ又はスピントルクトランスファメモリ等の不揮発性メモリでは、ある一定のワード線110の選択は、DRAMにおいてみられるような行全体の内容の喪失を生じさせないことがある。そのため、メモリアレイ100-a中の不揮発性メモリセルに対しては、列のサブセット(すなわち、行内のメモリセル105のサブセット)がアクセスされ得、それ故、メモリバンク305の各メモリセクション310に対する列(ビット線115)の数よりも少数のセンスコンポーネント125を提供することにより、ダイサイズを削減できる。一方、DRAM等の揮発性メモリアレイは、列毎に1つのセンスアンプを使用する。それ故、メモリアレイ100-aは、行中のメモリセル105の総数よりも小さいページサイズを有しつつ、高密度のメモリセルを有し得る。そのため、メモリアレイ100-aは、電力消費及びダイサイズを最小にし得る。

【0035】

メモリバンク305は、自身の一組のセンスコンポーネント125を各々有する複数(例えば、8、16、32等)のメモリセクションに分割され得る。各メモリセクション310は、単一行内のメモリセル105の総数よりも少ないベースページサイズを有し得る。例えば、メモリバンク305は、1ギガビット(Gb)のサイズであり得、8つのメモリセクション310に分割され得る。各メモリセクション310は、128メガビット(Mb)を含み得、メモリセル105の4096個の行、及びメモリセル105の32768個の列(すなわち、各行に4kB)を含み得る。ただし、ベースページサイズは4kBよりも少なくともよい。例えば、それは、128バイト(1024ビット又は1024個のメモリセル)であってもよい。言い換えれば、4つの列アクセス線(ビット線115)毎に1つのセンスコンポーネントが存在してもよい。ベースページサイズは、幾つかの例では、固定され得、各メモリセクション310中のセンスコンポーネント125の数に依存し得る。これらの例は、多くの可能な構成の内の幾つかであり、その他のサイズが可能である。

【0036】

メモリバンク305へのアクセスに使用されるページサイズ、すなわち、活性ページサイズは、動的に変更され得る。すなわち、活性ページサイズは、複数のベースページを構成し得る。複数のメモリセクション310は、より大きなページサイズを作り出すために同時に動作され得る。例えば、メモリセクション310及びメモリセクション310-bはベースページサイズ(例えば、128バイト)を有し得、メモリセクション310及び310-bに同時にアクセスすることによって、より大きな活性ページサイズ(例えば、256バイト)が作り出され得る。より一層大きなページサイズを作り出すために、より多くのメモリセクション310が同時アクセスされてもよい。それ故、1つの活性化コマンドは、メモリバンク305からより多く量のデータを抽出し得、それは、速度及び性能を増加させ得る。例えば、読み出しコマンドは、あたかも物理的により大きなページが実装されたかのように、同じタイミング考察で発行され得る。

【0037】

メモリバンク305の動作は、メモリバンク305の第1の行中の第1の複数の論理値を判定することと、メモリバンク305の第2の行中の第2の複数の論理値を判定することと、第1の複数の論理値及び第2の複数の論理値を含むメモリページをバッファリングすることとを含み得る。メモリページのサブセットはバスへその後送信され得る。例えば、センスコンポーネント125-b、125-c、及び125-dは、判定された論理値をラッチするための行バッファを含み得、メモリページをバッファリングすることは、第1の複数の論理値及び第2の複数の論理値をラッチすることを含み得る。幾つかの場合、第1の行中の第1の複数の論理値を判定することは、第1の行中のメモリセルのサブセットの各メモリセル105の論理状態を判定することを含む。幾つかの例では、メモリバンク305は、複数のメモリセクション310(例えば、メモリセクション310、310-a、及び310-b)を含み、第1のメモリセクション310は第1の行を含み、第2のメモリセクションは第2の行を含む。

【 0 0 3 8 】

幾つかの例では、ベースメモリページサイズは、第1の複数の論理値又は第2の複数の論理値を含み、メモリバンク305を動作することは、メモリページのサイズがベースメモリページサイズの2倍を含むと判定することと、メモリページのサイズに基づいて活性化コマンドを発行するようにコマンドジェネレータを構成することとを含み得る。例えば、メモリコントローラ140-aは、コマンドジェネレータを含み得、第1及び第2の行と関連付けられたワード線110を活性化するためのコマンドを生成し得る。

【 0 0 3 9 】

幾つかの例では、活性ページサイズは、メモリアレイ100-aを含むデバイスを電源オンすると構成される。このことは、ページサイズに関して異なるニーズを扱うために、同じダイを使用することに関して利点を提供し得る。例えば、メモリアレイは、あるページサイズが最良であり得るアプリケーションに使用され得、別のユーザは、異なるページサイズでより良く実施し得る異なるアプリケーションを有し得る。こうした可変のページサイズアーキテクチャは、単一のメモリデバイスを両シナリオに適應させ得る。

【 0 0 4 0 】

他の例では、活性ページサイズは動的にセットされ得る。例えば、メモリコントローラ140-aは、特定のページサイズを使用するためのコマンドをソフトウェアアプリケーションから受信し得る。又は、メモリアレイ100-aは、所定温度に達し得、発熱を減少させるために、より小さなページサイズを使用し得る。動的なページサイズと共に、メモリアレイ100-aの最適な使用が可能であり得る。例えば、短いバーストが必要とされる場合又はコードが実行されていて、高い割合でページ変更が生じる場合に電力の使用を最小限にし得る。又は、性能を向上させる（例えば、活性化コマンド毎にアクセスされるデータ量の増加）ために、より大きなページサイズが使用され得る。

【 0 0 4 1 】

アドレッシングスキームは、活性ページサイズに基づいて調節され得る。例えば、列ドレス及び行アドレスの両者として幾つかのアドレスビットが使用され得、メモリコントローラ140-aは、各オープンページのサイズを認識し得る。メモリコントローラ140-aは、活性ページサイズに基づいてアドレッシングスキームを修正もし得る。例えば、論理行アドレスは、メモリセクション310、メモリセクション310内の行（例えば、ワード線110）、及び行内の一組の列（例えば、一組のビット線115）を識別し得る。メモリコントローラ140-aは、同時にアクセスされるメモリセクションの数がページサイズの変更に伴って変化すると、アドレッシングスキームを修正し得る。

【 0 0 4 2 】

活性化コマンド中、行デコーダ120-aへ論理行アドレスが送信され得る。論理行アドレスは、メモリバンク305内の特定の位置を識別する一連のビットである。例えば、以前に論じた1Gbのメモリバンクの例に関しては、1kBのベースページサイズに等しい活性ページサイズを使用して、論理行アドレスは20ビットを含み得る（すなわち、 2^{20} は、ページサイズの総数：1Gb / 1024ビット / ページに等しくてよい）。論理行アドレスの3ビットは、8つのメモリセクション310の内の1つを識別し得る。これらのビットは、論理行アドレスの最下位ビットであり得る。12ビットは、識別されたメモリセクション310内の4096個の行の内の1つを識別し得る。これらのビットは、最上位ビットであり得る。残りの5ビットは、メモリページの物理列を識別し得る。例えば、該5ビットは、メモリセクション310の32768個の列内の一組の1024個の列を選択し得る。一組の列は、相互にグループ化され得、又は離間され得、行に沿って等間隔にされることを含む。一般的に、論理行アドレスのビット数は、異なるサイズのメモリアレイに対して変更し得る。

【 0 0 4 3 】

本例では、メモリセル105をセンシングした後、例えば、メモリアレイ100-aからプロセッサヘデータが送信され得る。該データは、メモリページのサブセットが各バーストで送信される（複数の）バーストで送信され得る。説明目的のため、読み出しのバー

スト長は256ビット（又は16ワード）であり得る。それ故、128バイトのページは、4つの読み出しバースト長を含む。そのため、メモリコントローラ140-aは、可能性のある4つの読み出しバースト長の内の1つを選択するために、2ビットの列アドレスを送信し得る。例えば、メモリコントローラ140-aは、センスコンポーネント125-b、125-c、及び125-dと電子通信し得、それらは、行バッファ又は列デコーダ（例えば、図1に関する列デコーダ130）を含み得、該列アドレスを列デコーダへ送信し得る。

【0044】

活性ページサイズが変化する場合、アドレススキームは変化し得る。例えば、活性ページサイズはベースページサイズの2倍であり得、2つのメモリセクション（例えば、メモリセクション310及び310-b）は同時にアクセスされ得る。論理行アドレスは、20ビットから19ビットに減少し得る。例えば、メモリセクション310及び310-bは、リンク関係315を通じてリンクされ得、論理行アドレスは、8つの全てのメモリセクション310を区別する必要がなくてもよい。しかしながら、ページサイズ中のビット総数は、1024から2048に増加していることがある。それ故、読み出しバースト長の数は、4から8に増加し得、列アドレスは、それ故、8つの読み出しバースト長の内の1つを選ぶために、2から3ビットに増加し得る。そのため、論理行アドレス及び列アドレスのビットの和が一定のままであり得るように、論理行アドレスから列アドレスへ1ビットが移動させられ得る。他の例では、より大きな活性ページサイズを作り出すために、2つのベースメモリページをオープンするための2つの論理行アドレスが行デコーダ120-aへ送信され得る。

【0045】

既述のように、本明細書に記載される技術は、様々なページサイズに適用され得、様々なサイズのメモリアレイ、バンク、又はセクションに適用され得る。活性ページサイズは、4つ、8つ、及び16個等のベースページを含み得る。メモリバンク305は、1Gbよりも小さくても、大きくてもよく、より少数の又はより多数のメモリセクション310が使用され得る。

【0046】

そのため、メモリバンク305の動作は、メモリアレイ100-aがアクセス可能であるメモリバンク305のメモリセルの数と関連付けられるベースページサイズを識別することと、ベースページサイズの整数倍である活性ページサイズを選択することとを含み得る。該動作は、活性ページサイズに基づいてメモリバンク305に対するアドレススキームを構成することと、アドレススキームを使用し且つ活性ページサイズに従って、アクセスコマンドを送信することとを含み得る。ベースページサイズは、メモリアレイ100-aの複数のメモリセクションの内の各メモリセクション310に対するページサイズであり得る。

【0047】

幾つかの例では、アドレススキームを構成することは、メモリアレイ100-aの複数のメモリセクションの内のメモリセクション310、該メモリセクション310内の物理行、及び該物理行の物理列セクションを識別するための論理行アドレスを構成することを含む。例えば、物理列セクションは、ベースページサイズに等しい複数のメモリセルを含み得る。物理列セクションは、隣接する物理列のグループ、隣接する物理列の幾つかのグループ、相互に分離した物理列、又は物理行に沿って等間隔にされた物理列を含み得る。

【0048】

幾つかの例では、アドレススキームを構成することは、活性ページサイズのセクションを識別するための列アドレスを構成することを含み、ここで、活性ページサイズは、複数のセクションを含む。例えば、活性ページサイズのセクションは、読み出しバースト長であり得る。

【0049】

アドレススキームを構成することは、活性ページサイズに基づいて、論理行アドレス及

び列アドレスに対するビット数を判定することを更に含み得る。幾つかの例では、行アドレスに対するビット数と行アドレスに対するビット数との和は、活性ページサイズとは無関係に一定値であり得る。該一定値は、メモリバンク305のサイズと読み出しバースト長とに基づき得る。例えば、メモリバンク305中の読み出しバースト長の総数は、読み出しバースト長（例えば、256ビット）により分割されたメモリバンク305のサイズ（例えば、1Gb）であり得る。

【0050】

メモリブロック305の動作は、複数のメモリセクションの内の第1のメモリセクションと複数のメモリセクションの内の第2のメモリセクションとの間のリンク関係を判定することを更に含み得る。例えば、リンク関係315により示されるように、メモリセクション310及び310-bはリンクされ得る。そうした場合には、活性ページサイズはベースページサイズの2倍であり得、メモリアレイ100-aの動作は、メモリページをオープンするために論理行アドレスを行デコーダ120-aへ送信することを更に含み得、ここで、論理行アドレスは、第1のメモリセクション310を識別する。行デコーダ120-aは、論理行アドレスに基づいて、第1のメモリセクション310の第1のベースメモリページをオープンし得、リンク関係315に基づいて、第2のメモリセクション310-bの第2のベースメモリページをオープンし得る。メモリページは、それ故、第1のベースメモリページ及び第2のベースメモリページを含み得る。

【0051】

幾つかの例では、第2のベースメモリページは、第1のメモリセクション310内の第1のベースメモリページと同じ相対アドレスを第2のメモリセクション310-b内に有し得る。すなわち、第1及び第2のベースメモリページは、それらの個別のメモリセクションの同じ相対的な行及び列セクション中にあり得る。

【0052】

幾つかの例では、異なるメモリセクション310間のリンク関係は、レジスタ320中に蓄積され得る。これらのリンク関係は、より大きな活性ページサイズを可能にするために何れのメモリセクション310が同時にアクセス可能であることを示し得る。幾つかの場合、リンク関係は構成可能である。例えば、ユーザ又はソフトウェアアプリケーションは、メモリアレイ100-aの動作を最適化するためにリンク関係を構成し得る。

【0053】

活性ページサイズを選択することは、デバイスを電源オンすると活性ページサイズを選択することを含み得、ここで、メモリアレイは、該デバイスの素子を含む。又は、活性ページサイズを選択することは、特定のページを使用するための指標を受信することと、該特定のページサイズに等しい活性ページサイズをセットすることとを含み得る、例えば、メモリコントローラ140-aは、そうした指標を受信し得、活性ページサイズをセットし得、それに従いメモリアドレススキームを構成し得る。幾つかの例では、指標は、ソフトウェアアプリケーションから受信され得る。

【0054】

メモリバンク305は、異なるページサイズを用いて同時に動作され得る。例えば、メモリセル105をプログラミングするために第1のページサイズが使用され得、メモリバンク305のメモリセル105を読み出し又はセンシングするために第2のページサイズが使用され得る。そのため、メモリバンク305の第1の複数のメモリセルは、活性ページサイズを使用してプログラミングされ得、メモリバンク305の第2の複数のメモリセルは、該ベースページサイズの異なる整数倍である別の活性ページサイズを使用して読み出され得る。例えば、読み出し動作は、書き込み動作に使用されるページサイズの、より小さくてもよい約数であるページサイズを使用し得る。又は、書き込み動作に使用されるページサイズは、読み出し動作に使用されるページサイズよりも大きくてもよい。

【0055】

他の例では、メモリアレイ100-aは、複数のメモリバンク305を含み得、各メモリバンク305は、独立して動作され得る。例えば、複数のメモリバンクの内の第1のメ

メモリバンク 305 は、第 1 のメモリページサイズを使用してアクセスされ得、該複数の内の第 2 のメモリバンクは、第 1 のメモリページサイズとは異なる第 2 のメモリページサイズを使用してアクセスされ得る。各メモリバンク 305 は、異なるアドレッシングスキームを使用し得る。例えば、第 1 のメモリバンク 305 にアクセスすることは、第 1 のメモリページサイズに基づく第 1 のアドレッシングスキームを使用することを含み得、第 2 のメモリバンクにアクセスすることは、第 2 のメモリページサイズに基づく第 2 のアドレッシングスキームを使用することを含み得る。

【0056】

幾つかの例では、メモリバンク 305 は、複数のメモリセクション 310 を含み、各メモリセクション 310 は、メモリセルの複数の物理行を有し得る。メモリバンク 305 を動作することは、メモリバンク中のメモリセル 105 に対するアクセスリクエストを受信することと、該メモリセル 105 が設置されたメモリバンクの複数のメモリセクションの内のメモリセクション 310 を識別することと、該メモリセル 105 を含むメモリセルの複数の物理行の内の物理行をメモリセクション 310 中で識別することと、該メモリセルを含むメモリページを物理行中で識別することと、メモリページをオープンするための論理行アドレスを生成することとを含み得る。

【0057】

幾つかの場合、メモリセルは、第 2 のメモリセクション 310 - b 中に設置され得、第 2 のメモリセクション 310 - b は、第 1 のメモリセクション 310 にリンクされる。そうした場合、論理行アドレスを生成することは、第 1 のメモリセクションを識別する論理行アドレスを生成することと、第 1 のメモリセクションを識別する論理行アドレスに基づいて、第 2 のメモリセクションの物理行が行デコーダ 120 - a によりアクセス可能である論理行アドレスを行デコーダ 120 - a へ送信することと、第 1 のメモリセクションと第 2 のメモリセクションとをリンクすることとを含み得る。

【0058】

図 4 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持する例示的回路 400 を説明する。回路 400 は、図 3 に関するメモリセクション 310 の一例であり得るメモリセクション 310 - c を含む。回路 400 は、図 1 ~ 図 3 に関するセンスコンポーネント 125 の例示であり得るセンスコンポーネント 125 - e 及び 125 - f をも含む。センスコンポーネント 125 は、メモリセクション 310 - c の複数の列（例えば、デジタル線 115）と電子通信し得、スイッチ 405 は、アクセス動作中に何れの列がセンスコンポーネント 125 に接続されるかを制御し得る。回路 400 の一部でもあり得るバッファ 410 は、メモリセクション 310 - c 内のメモリセル 105 のセンシングされた論理値をバッファリングし得る。

【0059】

メモリセクション 310 - c は、メモリセル 105 の複数の行及び列を含み得る。上述したように、行がアクセスされた場合に、行の各メモリセル 105 はセンシングされなくてもよい。それ故、列のサブセット（すなわち、行内のメモリセル 105 のサブセット）が選択され得、それ故、メモリバンク 305 の各メモリセクション 310 中の列の数よりも少数のセンスアンプを単に提供することによって、ダイサイズを削減できる。スイッチ 405 は、アクセス動作中に何れの列のサブセットが選択されるかを制御し得る。幾つかの例では、スイッチ 405 は、n 型又は p 型の電界効果トランジスタ等のトランジスタであり得、それらに閾値電圧を印加することによって活性化され得る。

【0060】

そのため、回路 400 は、複数の内の各行アクセス線がメモリセルの行と電子通信する複数の行アクセス線と、複数の内の各列アクセス線がメモリセルの列と電子通信する複数の列アクセス線とを含み得る。回路 400 は、複数のセンスコンポーネント 125 をも含み得、ここで、センスコンポーネントの数は、列アクセス線の数よりも少ない。例えば、センスコンポーネント 125 - e は、少なくとも 2 つの列アクセス線と電子通信する。幾つかの例では、メモリコントローラは、複数のページサイズの内の最小のページサイズが

センスコンポーネント 1 2 5 の数に基づく複数のメモリページサイズからメモリページサイズを選択するように構成可能であり得る。例えば、最小のページサイズは、メモリセクション 3 1 0 - c 中に含まれるセンスコンポーネント 1 2 5 の数に等しくてもよい。

【 0 0 6 1 】

回路 4 0 0 は、複数のスイッチを含み得、複数のスイッチの内の各スイッチは、複数のセンスコンポーネントの内のセンスコンポーネントから、複数の列アクセス線の内の列アクセス線を電氣的に分離していてもよい。例えば、スイッチ 4 0 5 - a は、センスコンポーネント 1 2 5 - e から列アクセス線を分離し、スイッチ 4 0 5 - b は、センスコンポーネント 1 2 5 - f から別の列アドレス線を分離する。回路 4 0 0 は、複数のラッチを含み得る行バッファをも含み、複数のラッチの内の各ラッチは、複数のセンスコンポーネントの内のセンスコンポーネントと電子通信する。

【 0 0 6 2 】

メモリセクション 3 1 0 - c は、メモリバンク 3 0 5 内の複数のメモリセクション 3 1 0 の内の 1 つであり得る。すなわち、複数のメモリセクション 3 1 0 はメモリバンク 3 0 5 を含み得、複数のメモリセクションの内の各メモリセクション 3 1 0 は、一組のセンスコンポーネント 1 2 5 と関連付けられる。幾つかの例では、回路 4 0 0 は、メモリページサイズに基づいて論理行アドレスを発行するように構成可能なコマンドジェネレータを含み得る。例えば、コマンドジェネレータは、メモリコントローラ 1 4 0 の一部であり得る。

【 0 0 6 3 】

回路 4 0 0 の動作は、メモリアレイ（例えば、メモリセクション 3 1 0 - c がその一部であるメモリアレイ 1 0 0）がアクセス可能な複数のページサイズからページサイズを識別することと、識別されたページサイズに基づいてメモリアレイの少なくとも 1 つの行にアクセスすることを含み得る。幾つかの例では、ページサイズを識別することは、メモリアレイの 2 つ以上の行を識別することを含み得る。回路 4 0 0 の動作は、行にアクセスすることを更に含み得、それは、該行の各メモリセル 1 0 5 をアクセス線（例えば、デジット線 1 1 5）に電子的に結合することを含み得る。例えば、ワード線 1 1 0 と電子通信する各メモリセル 1 0 5 がデジット線 1 1 5 に電子的に結合される、ワード線 1 1 0 がアクセスされ得る。言い換えれば、メモリアレイの行にアクセスすることは、該行の各メモリセルが複数の選択コンポーネント 2 2 0 の内の選択コンポーネント 2 2 0 と電子通信する複数の選択コンポーネント 2 2 0 を活性化することを含み得る。回路 4 0 0 の動作は、該行のメモリセル 1 0 5 のサブセットをアクセス線のサブセットを介して選択することを更に含み得、メモリセル 1 0 5 のサブセットの各メモリセル 1 0 5 の論理値が判定され得る。

【 0 0 6 4 】

幾つかの例では、行のメモリセル 1 0 5 のサブセットをアクセス線のサブセットを介して選択することは、アクセス線のサブセットの内の各アクセス線を、複数のセンスコンポーネント 1 2 5 の内のセンスコンポーネントに電子的に結合するために複数のスイッチ 4 0 5 を活性化することを含む。例えば、1 つの列アクセス線をセンスコンポーネント 1 2 5 - e 及び 1 2 5 - f に夫々電子的に結合するために、スイッチ 4 0 5 - a 及び 4 0 5 - b が活性化され得る。アクセス線の残部は、第 2 の複数のスイッチ、すなわち、4 0 5 - a 及び 4 0 5 - b 以外のスイッチを介して、複数のセンスコンポーネントから電氣的に絶縁され得る。幾つかの例では、メモリセルのサブセットを識別する論理行アドレスが受信され得、該論理行アドレスに基づいて第 1 の複数のスイッチが活性化され得る。

【 0 0 6 5 】

図 5 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを支持するメモリアレイ 1 0 0 - b のブロック図 5 0 0 を示す。メモリアレイ 1 0 0 - b は、電子メモリ装置と称され得、図 1 ~ 図 4 を参照しながら記述したようなメモリコントローラ 1 4 0 及びメモリセクション 3 1 0 の例示であり得るメモリコントローラ 1 4 0 - b 及びメモリセクション 3 1 0 - d を含む。メモリコントローラ 1 4 0 - b は、バイアスコンポー

ネット510、タイミングコンポーネント515、及びコマンドジェネレータ530を含み得、図1～図4で記述したようにメモリアレイ100-bを動作し得る。メモリコントローラ140-bは、図1又は図2を参照しながら記述したワード線110、デジット線115、センスコンポーネント125、及びプレート線210の例示であり得るワード線110-b、デジット線115-b、センスコンポーネント125-g、及びプレート線210-aと電子通信し得る。メモリアレイ100-bは、図4に関するスイッチ405の一例であり得るスイッチ405-cを含み得る。メモリアレイ100-bは、リファレンスコンポーネント520及びラッチ525をも含む。メモリアレイ100-bのコンポーネントは、相互に電子通信し得、図1～図4を参照しながら記述した機能を実施し得る。幾つかの場合、リファレンスコンポーネント520、センスコンポーネント125-g、及びラッチ525は、メモリコントローラ140-bのコンポーネントであり得る。

【0066】

メモリコントローラ140-bは、ワード線110-b、プレート線210-a、又はデジット線115-bをそれらの様々なノードに電圧を印加することによって活性化するように構成され得る。例えば、バイアスコンポーネント510は、上述したように、メモリセクション310-d内のメモリセル105を読み出す又は書き込むための電圧を印加するように構成され得る。幾つかの場合、メモリコントローラ140-bは、図1又は図3を参照しながら記述したように、行デコーダ、列デコーダ、又はそれら両方を含み得る。このことは、メモリコントローラ140-bが1つ以上のメモリセル105にアクセスすることを可能にし得る。例えば、行デコーダは、論理行アドレスを受信することに基づいて、メモリセルの2つの行にアクセスし得る。バイアスコンポーネント510は、センスコンポーネント125-gに対するリファレンス信号を生成するための電位をリファレンスコンポーネント520に提供もし得る。また、バイアスコンポーネント510は、センスコンポーネント125-gの動作のための電位を提供し得る。メモリコントローラ140-bはまた、メモリセクション310-dの列アクセス線をセンスコンポーネント125-gに接続するためにスイッチ405-cを活性化し得る。

【0067】

幾つかの場合、メモリコントローラ140-bは、その動作をタイミングコンポーネント515を使用して実施し得る。例えば、タイミングコンポーネント515は、読み出し及び書き込み等の本明細書で論じたメモリ機能を実施するためのスイッチング及び電圧印加のタイミングを含む、様々なワード線選択又はプレートバイアスのタイミングを制御し得る。幾つかの場合、タイミングコンポーネント515は、バイアスコンポーネント510の動作を制御し得る。コマンドジェネレータ530は、メモリアレイ100-bを動作するための様々なコマンドを作り出し得る。例えば、コマンドジェネレータ530は、図1及び図3を参照しながら記述したように、論理行アドレスを作り出し得る。

【0068】

リファレンスコンポーネント520は、センスコンポーネント125-gに対するリファレンス信号を生成するための様々なコンポーネントを含み得る。リファレンスコンポーネント520は、リファレンス信号を生み出すように構成された回路を含み得る。幾つかの場合、リファレンスコンポーネント520は、その他のメモリセル105であり得る。幾つかの例では、リファレンスコンポーネント520は、上述したように、2つのセンス電圧間の値を有する電圧を出力するように構成され得る。又は、リファレンスコンポーネント520は、事実上のグランド電圧(すなわち、約0V)を出力するように設計され得る。

【0069】

センスコンポーネント125-gは、(デジット線115-bを介した)メモリセル105からの信号をリファレンスコンポーネント520からのリファレンス信号と比較し得る。論理状態を判定すると、センスコンポーネントは、出力をラッチ525中にその後蓄積し得、ここで、それは、メモリアレイ100-bの一部である電子デバイスの動作に従って使用され得る。例えば、メモリアレイ100-bは、列アドレスを受信し得、ラッチ

5 2 5 中の蓄積された論理状態は、メモリアレイ 1 0 0 b から例えば、バスへ送信され得る。

【 0 0 7 0 】

幾つかの例では、メモリアレイ 1 0 0 - b は、複数のメモリページサイズからメモリページサイズを選択するための手段を含み得る。他の例では、メモリアレイ 1 0 0 - b は、複数のメモリページの内の最小のページサイズがセンスコンポーネント 1 2 5 - g の数に少なくとも部分的に基づき、複数のメモリページサイズからメモリページサイズを選択するための手段を含み得る。

【 0 0 7 1 】

図 6 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリデバイスを支持するシステム 6 0 0 を説明する。システム 6 0 0 は、様々なコンポーネントに接続し又は様々なコンポーネントを物理的に支持するプリント回路基板であり得又は該プリント回路基板を含み得るデバイス 6 0 5 を含む。デバイス 6 0 5 は、図 1、図 3、及び図 5 を参照しながら記述したメモリアレイ 1 0 0 の一例であり得るメモリアレイ 1 0 0 - c を含む。メモリアレイ 1 0 0 - c は、図 1、図 3、及び図 5 を参照しながら記述したメモリコントローラ 1 4 0 と、図 3 を参照しながら記述したメモリバンク 3 0 5 の例示であり得るメモリコントローラ 1 4 0 - c 及びメモリバンク 3 0 5 - a を含む得る。デバイス 6 0 5 は、プロセッサ 6 1 0、BIOS コンポーネント 6 1 5、周辺コンポーネント 6 2 0、及び入出力制御コンポーネント 6 2 5 をも含む得る。デバイス 6 0 5 のコンポーネントは、バス 6 3 0 を通じて相互に電子通信し得る。

【 0 0 7 2 】

プロセッサ 6 1 0 は、メモリコントローラ 1 4 0 - c を通じてメモリアレイ 1 0 0 - c を動作するように構成され得る。幾つかの場合、プロセッサ 6 1 0 は、図 1、図 3、及び図 5 を参照しながら記述したメモリコントローラ 1 4 0 の機能を実施し得る。その他の場合、メモリコントローラ 1 4 0 - c は、プロセッサ 6 1 0 中に統合され得る。プロセッサ 6 1 0 は、汎用プロセッサ、デジタルシグナルプロセッサ (DSP)、特定用途向け集積回路 (ASIC)、フィールドプログラマブルゲートアレイ (FPGA) 若しくはその他のプログラム可能ロジックデバイス、分離したゲート若しくはトランジスタロジック、分離したハードウェアコンポーネント、又はこれらの種類のコンポーネントの組み合わせであり得、プロセッサ 6 1 0 は、活性ページサイズを選択すること、アドレッシングスキームを構成すること、及びメモリページをオープンすることを含む、本明細書に記述する様々な機能を実施し得る。メモリページからのデータは、バス 6 3 0 を通じてプロセッサ 6 1 0 へ送信され得る。例えば、読み出しバーストは、メモリページのサブセットをプロセッサ 6 1 0 へ送信し得る、プロセッサ 6 1 0 は、例えば、様々な機能又はタスクをデバイス 6 0 5 に実施させるためにメモリアレイ 1 0 0 - c 中に蓄積されたコンピュータ可読命令を実行するように構成され得る。

【 0 0 7 3 】

BIOS コンポーネント 6 1 5 は、ファームウェアとして動作するベーシックインプット/アウトプットシステム (BIOS) を含むソフトウェアコンポーネントであり得、それは、システム 6 0 0 の様々なハードウェアコンポーネントを初期化し得、稼働し得る。BIOS コンポーネント 6 1 5 は、プロセッサ 6 1 0 と様々なコンポーネント、例えば、周辺コンポーネント 6 2 0、入出力制御コンポーネント 6 2 5 等との間のデータの流をも管理し得る。BIOS コンポーネント 6 1 5 は、リードオンリーメモリ (ROM)、フラッシュメモリ、又は任意のその他の不揮発性メモリ中に蓄積されたプログラム又はソフトウェアを含み得る。

【 0 0 7 4 】

周辺コンポーネント 6 2 0 は、デバイス 6 0 5 中に統合される入力若しくは出力デバイス、又はそうしたデバイスに対するインタフェースであり得る。例示として、ディスクコントローラ、音声コントローラ、画像コントローラ、イーサネットコントローラ、モデム、ユニバーサルシリアルバス (USB) コントローラ、シリアル若しくはパラレルポート

、又はペリフェラルコンポーネントインタコネクタ（PCI）若しくはアクセラレーテッドグラフィックスポート（AGP）スロット等の周辺カードスロットが挙げられ得る。

【0075】

入出力制御コンポーネント625は、プロセッサ610と周辺コンポーネント620、入力635デバイス、又は出力640デバイスとの間のデータ通信を管理し得る。入出力制御コンポーネント625は、デバイス605中に統合されない周辺装置をも管理し得る。幾つかの場合、入出力制御コンポーネント625は、外部の周辺装置への物理的接続又はポートを表し得る。

【0076】

入力635は、デバイス605又はそのコンポーネントへの入力を提供する、デバイス605の外にあるデバイス又は信号を表し得る。これは、ユーザインタフェース、又はその他のデバイスとのインタフェース若しくはその他のデバイス間のインタフェースを含み得る。幾つかの場合、入力635は、周辺コンポーネント620を介してデバイス605とインタフェースで連結する周辺装置であり得、又は入出力制御コンポーネント625により管理され得る。入力635は、ある一定のページサイズを使用するためのメモリアレイ100-cに対する指標を含み得る。

【0077】

出力640は、デバイス605又はその何れかのコンポーネントからの出力を受信するように構成された、デバイス605の外にあるデバイス又は信号を表し得る。出力640の一例は、表示装置、音声スピーカ、プリントデバイス、別のプロセッサ、又はプリント回路基板等を含み得る。幾つかの場合、出力640は、周辺コンポーネント620を介してデバイス605とインタフェースで連結する周辺装置であり得、又は入出力制御コンポーネント625により管理され得る。

【0078】

メモリコントローラ140-c、デバイス605、及びメモリアレイ100-cのコンポーネントは、それらの機能を実行するように設計された回路で構成され得る。これは、本明細書に記載される機能を実行するように構成された様々な回路素子、例えば、導電線、トランジスタ、コンデンサ、インダクタ、抵抗、アンプ、又はその他の能動素子若しくは非能動素子を含み得る。

【0079】

図7は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法700を説明するフローチャートを示す。方法700の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法700の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

【0080】

ブロック705において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリアレイがアクセス可能なメモリバンクのメモリセルの数と関連付けられるベースページサイズの整数倍である活性ページサイズを選択することを含み得る。幾つかの例では、方法は、ベースページサイズを識別することを含み得る。幾つかの例では、ベースページサイズは、メモリアレイの複数のメモリセクションの内の各メモリセクションに対するページサイズである。幾つかの例では、ブロック705の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る、又は容易にされ得る。

【0081】

ブロック710において、方法は、図1及び図3を参照しながら記述したように、活性

ページサイズに基づいてメモリバンクに対するアドレススキームを構成することを含み得る。幾つかの例では、ブロック710の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0082】

ブロック715において、方法は、図1及び図3を参照しながら記述したように、アドレススキームを使用し且つ活性ページサイズに従って、アクセスコマンドを送信することを含み得る。幾つかの例では、ブロック715の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0083】

方法の幾つかの例では、アドレススキームを構成することは、メモリアレイの複数のメモリセクションの内のメモリセクション、該メモリセクション内の物理行、及び該物理行の物理列セクションを識別するための論理行アドレスを構成することを含む。幾つかの場合、物理列セクションは、ベースページサイズに等しい複数のメモリセルを含む。物理列セクションは、物理行に沿って等間隔にされた複数の物理列をも含み得る。アドレススキームを構成することは、活性ページサイズのセクションを識別するための列アドレスを構成することをも含み得、ここで、活性ページサイズは、複数のセクションを含む。幾つかの例では、活性ページサイズのセクションは、読み出しバースト長を含む。

【0084】

幾つかの例では、アドレススキームを構成することは、活性ページサイズに基づいて論理行アドレスに対するビット数を判定することと、活性ページサイズに基づいて列アドレスに対するビット数を判定することを含む。幾つかの場合、行アドレスに対するビット数と列アドレスに対するビット数との和は、活性ページサイズとは無関係に一定値である。該一定値は、幾つかの例においては、メモリバンクのサイズと読み出しバースト長とに基づき得る。

【0085】

方法は、複数のメモリセクションの内の第1のメモリセクションと、複数のメモリセクションの内の第2のメモリセクションとの間のリンク関係を判定することをも含み得る。幾つかの例では、第1のメモリセクションは、第2のメモリセクションにリンクされ得、活性ページサイズは、ベースページサイズの2倍であり得る。そうした例では、方法は、論理行アドレスが第1のメモリセクションを識別するメモリページをオープンするために、論理行アドレスを行デコーダへ送信することと、論理行アドレスに基づいて第1のメモリセクションの第1のベースメモリページをオープンすることと、第1のメモリセクションと第2のメモリセクションとのリンク関係に基づいて第2のメモリセクションの第2のベースメモリページをオープンすることとを含み得、ここで、メモリページは、第1のベースメモリページ及び第2のベースメモリページを含む。幾つかの例では、第2のベースメモリページは、第1のメモリセクション内の第1のベースメモリページと同じ相対アドレスを第2のメモリセクション内に有する。方法の幾つかの例では、リンク関係は、レジスタ中に蓄積され、構成可能でもあり得る。

【0086】

方法の幾つかの例では、活性ページサイズを選択することは、メモリアレイがデバイスの素子を含む該デバイスを電源オンすると、活性ページサイズを選択することを含み得る。又は、活性ページサイズを選択することは、特定のページサイズを使用するための指標を受信することと、該特定のページサイズに等しい活性ページサイズをセットすることとを含み得る。幾つかの場合、特定のページサイズを使用するための指標は、ソフトウェアアプリケーションから受信される。幾つかの場合、該ページサイズは、ベースページサイズの2の累乗倍であり得る。

【0087】

方法は、活性ページサイズを使用して、メモリバンクの第1の複数のメモリセルをプロ

グラミングすることと、ベースページサイズの異なる正数倍又は約数である別の活性ページサイズを使用して、メモリバンクの第2の複数のメモリセルを読み出すこととをも含み得る。例えば、ベースページサイズの異なる約数である別の活性ページサイズの使用は、書き込み動作中に使用され得、書き込み動作中に使用される該別のページサイズは、読み出し動作に使用される活性ページサイズよりも大きくてもよい。

【0088】

装置が記述される。幾つかの例では、装置は、メモリアレイがアクセス可能なメモリバンクのメモリセルの数と関連付けられるベースページサイズの整数倍である活性ページサイズを選択するための手段と、活性ページサイズに少なくとも部分的に基づいて、メモリバンクに対するアドレススキームを構成するための手段と、アドレススキームを使用し且つ活性ページサイズに従ってアクセスコマンドを送信するための手段とを含み得る。

【0089】

幾つかの例では、アドレススキームを構成するための手段は、メモリアレイの複数のメモリセクションの内のメモリセクション、該メモリセクション内の物理行、及び該物理行の物理列セクションを識別するための論理行アドレスを構成するための手段を含む。幾つかの例では、物理列セクションは、ベースページサイズに等しい複数のメモリセルを含む。幾つかの例では、物理列セクションは、物理行に沿って等間隔にされた複数の物理列を含む。

【0090】

幾つかの例では、アドレススキームを構成するための手段は、活性ページサイズのセクションを識別するための列アドレスを構成するための手段であって、ここで、活性ページサイズは複数のセクションを含む、該手段を含む。幾つかの例では、活性ページサイズのセクションは、読み出しバースト長を含む。幾つかの例では、アドレススキームを構成するための手段は、活性ページサイズに少なくとも部分的に基づいて論理行アドレスに対するビット数を判定するための手段と、活性ページサイズに少なくとも部分的に基づいて列アドレスに対するビット数を判定するための手段とを含む。

【0091】

幾つかの例では、論理行アドレスに対するビット数と列アドレスに対するビット数との和は、活性ページサイズとは無関係に一定値である。幾つかの例では、該一定値は、メモリバンクのサイズ若しくは読み出しバースト長、又はそれら両方に少なくとも部分的に基づく。幾つかの例では、装置は、複数のメモリセクションの内の第1のメモリセクションと複数のメモリセクションの内の第2のメモリセクションとの間のリンク関係を判定するための手段を含み得る。

【0092】

幾つかの例では、第1のメモリセクションは第2のメモリセクションにリンクされ、活性ページサイズはベースページサイズの2倍であり、装置は、メモリページをオープンするための論理行アドレスを行デコーダへ送信するための手段であって、ここで、論理行アドレスは第1のメモリセクションを識別する、該手段と、論理行アドレスに少なくとも部分的に基づいて第1のメモリセクションの第1のベースメモリページをオープンするための手段と、第1のメモリセクションと第2のメモリセクションとの間のリンクに少なくとも部分的に基づいて、第2のメモリセクションの第2のベースメモリページをオープンするための手段であって、ここで、該メモリページは、第1のベースメモリページ及び第2のベースメモリページを含む、該手段とを含み得る。幾つかの例では、第2のベースメモリページは、第1のメモリセクション内の第1のベースメモリページと同じ相対アドレスを第2のメモリセクション内に有する。幾つかの例では、リンク関係はレジスタ中に蓄積される。

【0093】

幾つかの例では、リンク関係は構成可能である。幾つかの例では、活性ページサイズを選択するための手段は、デバイスを電源オンすると活性ページサイズを選択するための手段であって、ここで、メモリアレイは該デバイスの素子を含む、該手段を含む。幾つかの

例では、活性ページサイズを選択するための手段は、特定のページサイズを使用するための指標を受信するための手段と、特定のページサイズに等しい活性ページサイズをセットするための手段とを含む。幾つかの例では、装置は、特定のページサイズを使用するための指標をソフトウェアアプリケーションから受信するための手段を含み得る。

【0094】

幾つかの例では、装置は、活性ページサイズを使用して、メモリバンクの第1の複数のメモリセルをプログラミングするための手段と、ベースページサイズの異なる整数倍又は約数である別の活性ページサイズを使用して、メモリバンクの第2の複数のメモリセルを読み出すための手段とを含み得る。幾つかの例では、ベースページサイズは、メモリアレイの複数のメモリセクションの内の各メモリセクションに対するページサイズである。

【0095】

図8は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法800を説明するフローチャートを示す。方法800の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法800の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

【0096】

ブロック805において、方法は、図1及び図3を参照しながら記述したように、メモリアレイがアクセス可能な複数のページサイズからページサイズを識別することを含み得る。幾つかの例では、ページサイズを識別することは、メモリアレイの2つ以上の行を含むページサイズを識別することを含む。幾つかの例では、ブロック805の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0097】

ブロック810において、方法は、図1、図3、及び図4を参照しながら記述したように、識別されたページサイズに基づいて、メモリアレイの少なくとも1つの行にアクセスすることを含み得、ここで、該アクセスすることは、該行の各メモリセルをアクセス線に電子的に結合することを含む。幾つかの例では、メモリアレイの行にアクセスすることは、該行の各メモリセルが複数の選択コンポーネントの内の選択コンポーネントと電子通信する、複数の選択コンポーネントを活性化することを含む。幾つかの例では、ブロック810の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0098】

ブロック815において、方法は、図1、図3、及び図4を参照しながら記述したように、該行のメモリセルのサブセットをアクセス線のサブセットを介して選択することを含み得る。幾つかの例では、該行のメモリセルのサブセットをアクセス線のサブセットを介して選択することは、アクセス線のサブセットの各アクセス線を複数のセンスコンポーネントの内のセンスコンポーネントに電子的に結合するために、第1の複数のスイッチを活性化することを含み得る。幾つかの場合、アクセス線の残部は、第2の複数のスイッチを介して複数のセンスコンポーネントから電気的に絶縁される。幾つかの例では、ブロック815の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0099】

ブロック820において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリセルのサブセットの各メモリセルの論理値を判定することを含み得る。幾つかの例では、ブロック820の動作は、図1、図3、図5、又は図6を参照しながら記述し

たように、メモリコントローラ 140 により実施され得、又は容易にされ得る。

【0100】

方法の幾つかの例は、メモリセルのサブセットを識別する論理行アドレスを受信することと、該論理行アドレスに基づいて第1の複数のスイッチを活性化することとを含み得る。

【0101】

装置が記述される。幾つかの例では、装置は、メモリアレイがアクセス可能な複数のページサイズからページサイズを識別するための手段と、識別されたページサイズに少なくとも部分的に基づいてメモリアレイの少なくとも1つの行にアクセスするための手段であって、ここで、該アクセスすることは、該行の各メモリセルをアクセス線に電子的に結合することを含む、該手段と、該行のメモリセルのサブセットをアクセス線のサブセットを介して選択するための手段と、メモリセルのサブセットの各メモリセルの論理値を判定するための手段とを含み得る。

【0102】

幾つかの例では、ページサイズを識別するための手段は、メモリアレイの2つ以上の行を含むページサイズを識別するための手段を含む。幾つかの例では、該行のメモリセルのサブセットをアクセス線のサブセットを介して選択するための手段は、アクセス線のサブセットの内の各アクセス線を複数のセンスコンポーネントの内のセンスコンポーネントに電子的に結合するための第1の複数のスイッチを活性化するための手段を含む。

【0103】

幾つかの例では、アクセス線の残部は、第2の複数のスイッチを介して、複数のセンスコンポーネントから電氣的に絶縁される。幾つかの例では、装置は、メモリセルのサブセットを識別する論理行アドレスを受信するための手段と、論理行アドレスに少なくとも部分的に基づいて、第1の複数のスイッチを活性化するための手段とを含み得る。幾つかの例では、メモリアレイの行にアクセスするための手段は、複数の選択コンポーネントを活性化するための手段であって、ここで、該行の各メモリセルは、複数の選択コンポーネントの内の選択コンポーネントと電子通信する、該手段を含む。

【0104】

図9は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法900を説明するフローチャートを示す。方法900の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法900の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

【0105】

ブロック905において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリバンクの第1の行中の第1の複数の論理値を判定することを含み得る。幾つかの例では、第1の行中の第1の複数の論理値を判定することは、第1の行中のメモリセルのサブセットの各メモリセルの論理状態を判定することを含む。幾つかの例では、ブロック905の動作は、図1、図3、図5、若しくは図6を参照しながら記述したようにメモリコントローラ140によって、図1～図5を参照しながら記述したようにセンスコンポーネント125によって、又は図4を参照しながら記述したようにスイッチ405によって実施され得、又は容易にされ得る。

【0106】

ブロック910において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリバンクの第2の行中の第2の複数の論理値を判定することを含み得る。幾つかの例では、第2の行中の第2の複数の論理値を判定することは、第2の行中のメモリセル

のサブセットの各メモリセルの論理状態を判定することを含む。幾つかの例では、ブロック 910 の動作は、図 1、図 3、図 5、若しくは図 6 を参照しながら記述したようにメモリコントローラ 140 によって、図 1 ~ 図 5 を参照しながら記述したようにセンスコンポーネント 125 によって、又は図 4 を参照しながら記述したようにスイッチ 405 によって実施され得、又は容易にされ得る。

【0107】

ブロック 915 において、方法は、図 1、図 3、及び図 4 を参照しながら記述したように、第 1 の複数の論理値及び第 2 の複数の論理値を含むメモリページをバッファリングすることを含み得る。幾つかの例では、メモリページをバッファリングすることは、第 1 の複数の論理値及び第 2 の複数の論理値をラッチすることを含む。幾つかの例では、ブロック 915 の動作は、図 1、図 3、図 5、若しくは図 6 を参照しながら記述したようにメモリコントローラ 140 によって、又は図 4 を参照しながら記述したようにバッファ 410 によって実施され得、又は容易にされ得る。

【0108】

ブロック 920 において、方法は、図 1、図 3、図 4、及び図 6 を参照しながら記述したように、メモリページのサブセットをバスへ送信することを含み得る。幾つかの例では、ブロック 920 の動作は、図 1、図 3、図 5、若しくは図 6 を参照しながら記述したようにメモリコントローラ 140 によって、又は図 6 を参照しながら記述したようにバス 630 によって実施され得、又は容易にされ得る。

【0109】

方法の幾つかの例では、メモリバンクは複数のメモリセクションを含み、第 1 のメモリセクションは第 1 の行を含み、第 2 のメモリセクションは第 2 の行を含む。

【0110】

ベースメモリページサイズが第 1 の複数の論理値又は第 2 の複数の論理値を含む方法の幾つかの例では、該方法は、メモリページのサイズがベースメモリページサイズの 2 倍を含むと判定することと、該メモリページのサイズに基づいて、活性化コマンドを発行するようにコマンドジェネレータを構成することとを含み得る。

【0111】

装置が記述される。幾つかの例では、装置は、メモリバンクの第 1 の行中の第 1 の複数の論理値を判定するための手段と、メモリバンクの第 2 の行中の第 2 の複数の論理値を判定するための手段と、第 1 の複数の論理値及び第 2 の複数の論理値を含むメモリページをバッファリングするための手段と、メモリページのサブセットをバスへ送信するための手段とを含み得る。

【0112】

幾つかの例では、メモリバンクは複数のメモリセクションを含み、ここで、第 1 のメモリセクションは第 1 の行を含み、第 2 のメモリセクションは第 2 の行を含む。幾つかの例では、ベースメモリページサイズは、第 1 の複数の論理値又は第 2 の複数の論理値を含み、装置は、メモリページのサイズがベースメモリページサイズの 2 倍を含むと判定するための手段と、メモリページのサイズに少なくとも部分的に基づいて、活性コマンドを発行するようにコマンドジェネレータを構成するための手段とを含み得る。

【0113】

幾つかの例では、第 1 の行中の第 1 の複数の論理値を判定するための手段は、第 1 の行中のメモリセルのサブセットの各メモリセルの論理状態を判定するための手段を含む。幾つかの例では、メモリページをバッファリングするための手段は、第 1 の複数の論理値及び第 2 の複数の論理値をラッチするための手段を含む。

【0114】

図 10 は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法 1000 を説明するフローチャートを示す。方法 1000 の動作は、図 1、図 3、又は図 5 を参照しながら記述したように、メモリアレイ 100 又はメモリバンク 305 により実装され得る。例えば、方法 1000 の動作は、図 1

、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。

【0115】

ブロック1005において、方法は、図1および図3を参照しながら記述したように、第1のメモリページサイズを使用して、複数のメモリバンクの内の第1のメモリバンクにアクセスすることを含み得る。幾つかの例では、ブロック1005の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0116】

ブロック1010において、方法は、図1及び図3を参照しながら記述したように、第1のメモリページサイズとは異なる第2のメモリページサイズを使用して、複数のメモリバンクの内の第2のメモリバンクにアクセスすることを含み得る。幾つかの例では、ブロック1010の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得、又は容易にされ得る。

【0117】

幾つかの例では、方法は、第1のメモリページサイズに基づく第1のアドレッシングスキームを使用して第1のメモリバンクにアクセスすることと、第2のメモリページサイズに基づく第2のアドレッシングスキームを使用して第2のメモリバンクにアクセスすることを含み得る。

【0118】

装置が記述される。幾つかの例では、装置は、第1のメモリページサイズを使用して、複数のメモリバンクの内の第1のメモリバンクにアクセスするための手段と、第1のメモリページサイズとは異なる第2のメモリページサイズを使用して、複数のメモリバンクの内の第2のメモリバンクにアクセスするための手段とを含み得る。

【0119】

幾つかの例では、装置は、第1のメモリページサイズに少なくとも部分的に基づく第1のアドレッシングスキームを使用して、第1のメモリバンクにアクセスするための手段と、第2のメモリページサイズに少なくとも部分的に基づく第2のアドレッシングスキームを使用して、第2のメモリバンクにアクセスするための手段とを含み得る。

【0120】

図11は、本開示の様々な実施形態に従った可変のページサイズアーキテクチャを有するメモリアレイを動作するための方法1100を説明するフローチャートを示す。方法1100の動作は、図1、図3、又は図5を参照しながら記述したように、メモリアレイ100又はメモリバンク305により実装され得る。例えば、方法1100の動作は、図1、図3、図5、又は図6を参照しながら記述したように、メモリコントローラ140により実施され得る。幾つかの例では、メモリコントローラ140は、後述する機能を実施するために、メモリアレイ100の機能的要素を制御するための一組のコードを実行し得る。付加的に又は代替的に、メモリコントローラ140は、後述する機能の機構を専用ハードウェアを使用して実施し得る。方法1100は、各メモリセクションがメモリセルの複数の物理行を有する、複数のメモリセクションを含むメモリアレイのメモリバンクを動作することを含み得る。

【0121】

ブロック1105において、方法は、図1、図3、及び図4を参照しながら記述したように、メモリバンク中のメモリセルに対するアクセスリクエストを受信することを含み得る。幾つかの例では、ブロック1105の動作は、図1、図3、図5、又は図6を参照しながら記述したようにメモリコントローラ140により実施され得、又は容易にされ得る。

【 0 1 2 2 】

ブロック 1 1 1 0 において、方法は、図 1、図 3、及び図 4 を参照しながら記述したように、該メモリセルが設置されるメモリバンクの複数のメモリセクションの内のメモリセクションを識別することを含み得る。幾つかの例では、ブロック 1 1 1 0 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得、又は容易にされ得る。

【 0 1 2 3 】

ブロック 1 1 1 5 において、方法は、図 1、図 3、及び図 4 を参照しながら記述したように、該メモリセルを含むメモリセルの複数の物理行の内の物理行を該メモリセクション中で識別することを含み得る。幾つかの例では、ブロック 1 1 1 5 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得、又は容易にされ得る。

【 0 1 2 4 】

ブロック 1 1 2 0 において、方法は、図 1、図 3、及び図 4 を参照しながら記述したように、該メモリセルを含むメモリページを該物理行中で識別することを含み得る。幾つかの例では、ブロック 1 1 2 0 の動作は、図 1、図 3、図 5、又は図 6 を参照しながら記述したように、メモリコントローラ 1 4 0 により実施され得、又は容易にされ得る。

【 0 1 2 5 】

ブロック 1 1 2 5 において、方法は、図 1、図 3、及び図 4 を参照しながら記述したように、メモリページをオープンするための論理行アドレスを生成することを含み得る。幾つかの例では、ブロック 1 1 2 5 の動作は、図 1、図 3、図 5、若しくは図 6 を参照しながら記述したようにメモリコントローラ 1 4 0 によって、又は図 5 を参照しながら記述したようにコマンドジェネレータによって実施され得、又は容易にされ得る。

【 0 1 2 6 】

方法の幾つかの例では、該メモリセルは、第 2 のメモリセクション中に設置され得、第 2 のメモリセクションは第 1 のメモリセクションにリンクされる。そうした場合、論理行アドレスを生成することは、第 1 のメモリセクションを識別する論理行アドレスを生成することと、該論理行アドレスを行デコーダへ送信することとを含み得、ここで、第 2 のメモリセクションの物理行は、第 1 のメモリセクションを識別する論理行アドレスと、第 1 のメモリセクションと第 2 のメモリセクションとの間のリンクとに基づいて、行デコーダによってアクセス可能である。

【 0 1 2 7 】

装置が記述される。幾つかの例では、装置は、各メモリセクションがメモリセルの複数の物理行を有する、複数のメモリセクションを含むメモリアレイのメモリバンク中のメモリセルに対するアクセスリクエストを受信するための手段と、該メモリセルが設置されたメモリバンクの複数のメモリセクションの内のメモリセクションを識別するための手段と、該メモリセルを含むメモリセルの複数の物理行の内の物理行をメモリセクション中で識別するための手段と、該メモリセルを含むメモリページを該物理行中で識別するための手段と、メモリページをオープンするための論理行アドレスを生成するための手段とを含み得る。

【 0 1 2 8 】

幾つかの例では、メモリセルは第 2 のメモリセクションに設置され、第 2 のメモリセクションは第 1 のメモリセクションにリンクされ、ここで、論理行アドレスを生成することは、第 1 のメモリセクションを識別する論理行アドレスを生成するための手段と、論理行アドレスを行デコーダへ送信するための手段であって、ここで、第 2 のメモリセクションの物理行は、第 1 のメモリセクションを識別する論理行アドレスと、第 1 のメモリセクションと第 2 のメモリセクションとの間のリンクとに少なくとも基づいて、行デコーダによりアクセス可能である、該手段とを含む。

【 0 1 2 9 】

それ故、方法 7 0 0、8 0 0、9 0 0、1 0 0 0、及び 1 1 0 0 は、可変のページア-

キテクチャを有するメモリアレイを動作するために提供され得る。方法 700、800、900、1000、及び 1100 は可能の実装を記述し、該動作及びステップは、その他の実装が可能であるように組み替えられ、さもなければ修正され得ることに留意すべきである。幾つかの例では、方法 700、800、900、1000、及び 1100 の内の 2 つ以上のからの機構は組み合わせられ得る。

【0130】

装置が記述される。幾つかの例では、装置は、複数の内の各行アクセス線がメモリセルの行と電子通信する、複数の行アクセス線と、複数の内の各列アクセス線がメモリセルの列と電子通信する、複数の列アクセス線と、複数のセンスコンポーネントであって、ここで、センスコンポーネントの数は列アクセス線の数よりも少ない、該複数のセンスコンポーネントと、複数のメモリページサイズからメモリページサイズを選択するための手段であって、ここで、複数のメモリページサイズの内の最小のページサイズはセンスコンポーネントの数に少なくとも部分的に基づき、該手段とを含み得る。

【0131】

幾つかの例では、複数のセンスコンポーネントの内の各センスコンポーネントは、少なくとも 2 つの列アクセス線と電子通信し、装置は、複数のスイッチの内の各スイッチが複数の列アクセス線の内の列アクセス線を複数のセンスコンポーネントの内のセンスコンポーネントから電気的に分離する、複数のスイッチを含み得る。幾つかの例では、装置は、複数のラッチを含む行バッファであって、ここで、複数のラッチの内の各ラッチは、複数のセンスコンポーネントの内のセンスコンポーネントと電子通信する、該行バッファを含み得る。

【0132】

幾つかの例では、複数の行アクセス線及び複数の列アクセス線はメモリセクションを含み、装置は、メモリバンクを含む複数のメモリセクションであって、ここで、複数のメモリセクションの内の各メモリセクションは一組のセンスコンポーネントと関連付けられる、該複数のメモリセクションを含み得る。幾つかの例では、装置は、メモリページサイズに少なくとも部分的に基づいて論理行アドレスを発行するための手段を含み得る。

【0133】

本明細書の説明は、例示を提供し、請求項に記載される範囲、適用性、又は例を制限しない。開示の範囲から逸脱することなく、論じられた要素の機能及び配置の変更がなされ得る。様々な例では、様々な手続又はコンポーネントを適宜省略し得、代替し得、又は追加し得る。また、幾つかの例に関して記述された機構は、その他の例において組み合わせられ得る。

【0134】

添付の図面に関連して本明細書に記載される説明は、例示的構成を記述し、実装され得る又は請求項の範囲内にある全ての例を表さない。本明細書で使用されるように、用語“例”、“模範的”、及び“実施形態”は、“好適”又は“その他の例よりも有利”ではなく“一例、実例、又は説明として役立つこと”を意味する。詳細な説明は、記述される技術の理解を提供する目的のための具体的詳細を含む。これらの技術は、しかしながら、これらの具体的詳細なしに実施され得る。幾つかの実例では、記述される例の内容を不明確にすることを避けるために、周知の構造体及びデバイスはブロック図の形式で示される。

【0135】

添付の図において、同様のコンポーネント又は機構は、同一の参照ラベルを有し得る。更に、同じ種類の様々なコンポーネントは、同様のコンポーネントの中で区別するダッシュ及び第 2 のラベルを参照ラベルに続けることによって区別され得る。第 1 の参照ラベルが明細書に使用される場合、説明は、第 2 の参照ラベルに関係なく、同じ第 1 の参照ラベルを有する同様のコンポーネントの任意の 1 つに適用できる。

【0136】

本明細書に記述される情報及び信号は、様々な異なる科学技術及び技術の何れかを使用

して表され得る。例えば、上述の説明全体通じて言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁界若しくは磁性粒子、光場若しくは光粒子、又はそれらの任意の組み合わせにより表され得る。幾つかの図面は、複数の信号を単一の信号として説明し得るが、バスが様々なビット幅を有し得る場合に、信号は複数の信号のバスを表し得ることを当該技術分野の技術者は理解するであろう。

【0137】

本明細書で用いられるように、用語“事実上のグラウンド(virtual ground)”は、約ゼロボルト(0V)の電圧に保持されるがグラウンドと直接接続されない電気回路のノードを指す。したがって、事実上のグラウンドの電圧は、一時的に変動し得、定常状態で約0Vに戻り得る。事実上のグラウンドは、オペアンプ及び抵抗を含む電圧分圧器等の様々な電子回路素子を使用して実装され得る。その他の実装も可能である。“事実上グラウンドする(virtual grounding)”又は“事実上グラウンドされる(virtually grounded)”は約0Vに接続されることを意味する。

【0138】

用語“電子通信”は、コンポーネント間の電子流動を支持するコンポーネント間の関係を指す。これは、コンポーネント間の直接接続を含み得、又は介在コンポーネントを含み得る。電子通信するコンポーネントは、(例えば、通電された回路中の)電子又は信号を能動的に交換し得、又は(例えば、非通電の回路中の)の電子又は信号を能動的に交換しないことがあるが、回路が通電されると電子又は信号を交換するように構成され得又は動作可能であり得る。例として、スイッチ(例えば、トランジスタ)を介して物理的に接続された2つのコンポーネントは、スイッチの状態(すなわち、開放又は閉鎖)に関わらず電子通信する。

【0139】

用語“絶縁”は、コンポーネント間を電子が現在流ることができないコンポーネント間の関係を指し、コンポーネントは、それらの間に開放スイッチがある場合に相互から絶縁される。例えば、スイッチにより物理的に接続された2つのコンポーネントは、スイッチが開放された場合に相互から絶縁され得る。

【0140】

用語“結合”は、接続されたコンポーネント間の関係を指す。結合されたコンポーネントは、相互に接続され、相互の間で信号を通信又は転送し得る。例えば、コンポーネント間に電流が流れ得るようにスイッチが閉回路を作り出す場合、該スイッチはコンポーネントを結合し得る。

【0141】

本明細書で論じられるメモリデバイスは、強誘電体材料を含み得、該強誘電体材料は、自発的電気分極により特徴付けられ、すなわち、それは、電界がない場合には非ゼロの電気分極を維持する。例示的強誘電体材料は、チタン酸バリウム(BaTiO_3)、チタン酸鉛(PbTiO_3)、チタン酸ジルコン酸鉛(PZT)、及びタンタル酸ストロンチウムビスマス(SBT)を含む。強誘電体コンデンサ内の電気分極は、強誘電体材料の表面に正味電荷をもたらし、コンデンサ端子を通じて反対の電荷を引き付ける。それ故、強誘電体材料とコンデンサ端子との境界に電荷が蓄積される。比較的長時間、無期限にさえ、外部に印加された電界がない場合にも、電気分極は維持され得るので、例えば、DRAMアレイに用いられるコンデンサと比較して、電荷漏洩は顕著に減少し得る。このことは、幾つかのDRAMアーキテクチャに対して上述したようなリフレッシュ動作を実施する必要性を削減し得る。

【0142】

メモリアレイ100を含む本明細書で論じられるデバイスは、シリコン、ゲルマニウム、シリコンゲルマニウム合金、ヒ化ガリウム、窒化ガリウム等の半導体基板上に形成され得る。幾つかの場合、該基板は半導体ウエハである。その他の場合、該基板は、シリコンオンガラス(SOG)若しくはシリコンオンサファイア(SOP)等のシリコンオンイン

シュレータ (SOI) 基板、又は別の基板上の半導体材料のエピタキシャル層であり得る。基板又は基板のサブ領域の導電性は、リン、ホウ素、又はヒ素を含むがそれらに限定されない様々な化学種を用いたドーピングを通じて制御され得る。ドーピングは、イオン注入により、又はその他のドーピング手段により、基板の初期の形成又は成長中に実行され得る。

【0143】

本明細書で論じられる1つ以上のトランジスタは、電界効果トランジスタ (FET) を表し得、ソース、ドレイン、及びゲートを含む3端子デバイスを含み得る。端子は、導電性材料、例えば金属を通じて他の電子素子に接続され得る。ソース及びドレインは、導電性であり得、高濃度にドーピングされた、例えば縮退した、半導体領域を含み得る。ソース及びドレインは、低濃度にドーピングされた半導体領域又はチャネルによって分離され得る。チャネルがn型 (すなわち、主たるキャリアが電子) である場合、該FETはn型FETと称され得る。チャネルがp型 (すなわち、主たるキャリアがホール) である場合、該FETはp型FETと称され得る。チャネルは、絶縁ゲート酸化物によって覆われ得る。チャネルの導電性は、ゲートに電圧を印加することによって制御され得る。例えば、正の電圧をn型FETに、又は負の電圧をp型FETに夫々印加することは、チャネルが導電性になる結果をもたらし得る。トランジスタの閾値電圧以上の電圧がトランジスタのゲートに印加された場合、トランジスタは“オン”又は“活性化”にされ得る。トランジスタの閾値電圧未満の電圧がトランジスタのゲートに印加された場合、トランジスタは“オフ”又は“不活性化”にされ得る。

【0144】

本明細書の開示と関連して記述される様々な説明ブロック、コンポーネント、及びモジュールは、本明細書に記述される機能を実施するように設計された、汎用プロセッサ、DSP、ASIC、FPGA若しくはプログラム可能論理デバイス、分離したゲート若しくはトランジスタ論理回路、分離したハードウェアコンポーネント、又はそれらの任意の組み合わせで実装又は実施され得る。汎用プロセッサは、マイクロプロセッサであり得るが、代わりに、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシーンであり得る。プロセッサはまた、コンピューティングデバイスの組み合わせ (例えば、DSPとマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSPコアと併せた1つ以上のマイクロプロセッサ、又は任意のその他のそうした構成) として実装され得る。

【0145】

本明細書に記述される機能は、ハードウェア、プロセッサにより実行されるソフトウェア、ファームウェア、又はそれらの任意の組み合わせで実装され得る。プロセッサにより実行されるソフトウェアに実装される場合、機能は、コンピュータ可読媒体上の1つ以上の命令又はコードとして蓄積され得、又は送信され得る。その他の例及び実装は、本開示及び添付の請求項の範囲内である。例えば、ソフトウェアの性質に起因して、上述の機能は、プロセッサにより実行されるソフトウェア、ハードウェア、ファームウェア、配線、又はこれらの任意の組み合わせを使用して実装できる。機能を実装する機構はまた、機能の (複数の) 部分が異なる物理的位置に実装されるように分散されることを含む、様々な位置に物理的に配置され得る。また、請求項を含む本明細書で使用されるように、項目のリスト (例えば、“少なくとも1つの”又は“の内の1つ以上”等の句により前置きされる項目のリスト) に使用されるような“又は”は、例えば、A、B、又はCの内の少なくとも1つのリストが、A又はB又はC又はAB又はAC又はBC又はABC (すなわちA及びB及びC) を意味するように包含的リストを示す。

【0146】

コンピュータ可読媒体は、ある場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む非一時的コンピュータ記憶媒体及び通信媒体の両方を含む。非一時的記憶媒体は、汎用又は専用のコンピュータによりアクセスできる任意の利用可能な媒体であり得る。例として、非限定的に、非一時的コンピュータ可読媒体は、RAM、

R O M、電氣的消去可能プログラム可能リードオンリーメモリ（E E P R O M）、コンパクトディスク（C D）R O M若しくはその他の光ディスクストレージ、磁気ディスクストレージ若しくはその他の磁気蓄積デバイス、又は所望のプログラムコード手段を命令若しくはデータ構造の形式で搬送若しくは蓄積するのに使用され得、且つ汎用若しくは専用コンピュータ又は汎用若しくは専用プロセッサによりアクセスできる任意のその他の非一時的媒体を含み得る。

【 0 1 4 7 】

また、任意の接続は、コンピュータ可読媒体と適切に称される。例えば、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（D S L）、又は赤外線、無線、及びマイクロ波等の無線技術を使用してウェブサイト、サーバ、又はその他の遠隔ソースからソフトウェアが送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（D S L）、又は赤外線、無線、及びマイクロ波等の無線技術は媒体の定義に含まれる。本明細書で使用されるように、磁気ディスク（disk）及び光学ディスク（disc）は、C D、レーザディスク、光ディスク、デジタル多目的ディスク（D V D）、フロッピーディスク、ブルーレイディスクを含み、ここで、光学ディスクがレーザでデータを光学的に再生する一方で、磁気ディスクはデータを磁氣的に通常再生する。上記されたものの組み合わせもコンピュータ可読媒体の範囲に含まれる。

【 0 1 4 8 】

本明細書の説明は、当業者が開示を製作又は使用できるように提供される。開示への様々な修正が当業者に容易に分かるであろうし、本明細書で定義される包括的な原理は、開示の範囲を逸脱することなく、その他の変形に適用され得る。それ故、開示は、本明細書に記述された例示及び設計に制限されるべきではなく、本明細書に開示された原理及び新規の機構と一致する最も広い範囲に一致すべきである。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2017/042895
A. CLASSIFICATION OF SUBJECT MATTER G06F 12/02(2006.01)i, G06F 13/16(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 12/02; G11C 16/26; G11C 8/00; G06F 1/04; G11C 16/08; G11C 7/02; G06F 13/00; G06F 13/16		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eCOMPASS(KIPO internal) & Keywords: memory bank, memory cell, memory page, address scheme, row, column		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016-0005469 A1 (CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC.) 07 January 2016 See abstract; paragraphs [0006]-[0016], [0044]-[0053], [0062]-[0075], [0090]-[0099]; claim 2; and figures 1, 4a, 5, 10, 17, 21.	1-19
Y		31-37
Y	US 2007-0280027 A1 (BETH B. SKIDMORE) 06 December 2007 See paragraph [0016]; and claim 50.	31-35
Y	US 2007-0268765 A1 (STEVEN WOO et al.) 22 November 2007 See claim 1.	36-37
A	US 6226754 B1 (FREDERICK A. WARE et al.) 01 May 2001 See column 4, lines 17-36; and figure 10.	1-19, 31-37
A	US 2006-0271748 A1 (SANDEEP JAIN et al.) 30 November 2006 See paragraphs [0016]-[0017]; and figure 1.	1-19, 31-37
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 25 January 2018 (25.01.2018)		Date of mailing of the international search report 25 January 2018 (25.01.2018)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer CHIN, Sang Bum Telephone No. +82-42-481-8398

INTERNATIONAL SEARCH REPORT

International application No. PCT/US2017/042895

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Group I, Claims 1-19 and 31-37 relate to select an active page size and send an access command using a memory page size.

Group II, Claims 20-37 relate to determine a plurality of logic values in a row of the memory bank and determine logic value of each memory cell of the sunset of memory cells.

Group III, Claims 38-39 relate to receive an access request in a memory bank and identify a memory section and a memory page.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of any additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-19 and 31-37

Remark on Protest

The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2017/042895

Patent document cited in search report	Publication date	Patent family member(s)	Publication date		
US 2016-0005469 A1	07/01/2016	CN 101933095 A	29/12/2010		
		CN 101933095 B	06/11/2013		
		EP 2248129 A1	10/11/2010		
		EP 2248129 A4	18/05/2011		
		JP 2011-511391 A	07/04/2011		
		JP 2014-160489 A	04/09/2014		
		JP 5579621 B2	27/08/2014		
		KR 10-2010-0117560 A	03/11/2010		
		TW 200945359 A	01/11/2009		
		TW 200947444 A	16/11/2009		
		TW 201521035 A	01/06/2015		
		TW I469154 B	11/01/2015		
		US 2009-0196102 A1	06/08/2009		
		US 2009-0196103 A1	06/08/2009		
		US 2012-0033497 A1	09/02/2012		
		US 2012-0113721 A1	10/05/2012		
		US 2013-0128668 A1	23/05/2013		
		US 2014-0133235 A1	15/05/2014		
		US 8068365 B2	29/11/2011		
		US 8120990 B2	21/02/2012		
		US 8379450 B2	19/02/2013		
		US 8619493 B2	31/12/2013		
		US 8675408 B2	18/03/2014		
		US 9117527 B2	25/08/2015		
		US 9330765 B2	03/05/2016		
		WO 2009-097677 A1	13/08/2009		
		WO 2009-097677 A8	14/01/2010		
		WO 2009-097681 A1	13/08/2009		
		WO 2009-097681 A8	22/10/2009		
		US 2007-0280027 A1	06/12/2007	US 2005-0207257 A1	22/09/2005
				US 2005-0219917 A1	06/10/2005
				US 2005-0219918 A1	06/10/2005
				US 7082075 B2	25/07/2006
US 7177223 B2	13/02/2007				
US 7193927 B2	20/03/2007				
US 7483333 B2	27/01/2009				
US 2007-0268765 A1	22/11/2007	US 2006-0067146 A1	30/03/2006		
		US 7254075 B2	07/08/2007		
		US 7755968 B2	13/07/2010		
US 6226754 B1	01/05/2001	AT 245303 T	15/08/2003		
		AU 9604598 A	03/05/1999		
		DE 29825213 U1	21/06/2007		
		DE 69816464 T2	15/04/2004		
		EP 1019911 A1	19/07/2000		
		EP 1019911 B1	16/07/2003		
		JP 2001-520431 A	30/10/2001		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2017/042895

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		JP 2008-210502 A	11/09/2008
		JP 2008-305537 A	18/12/2008
		JP 4578676 B2	10/11/2010
		JP 4579304 B2	10/11/2010
		JP 4870122 B2	08/02/2012
		KR 10-0618242 B1	04/09/2006
		KR 10-2001-0031040 A	16/04/2001
		WO 99-19876 A1	22/04/1999
US 2006-0271748 A1	30/11/2006	CN 101185140 A	21/05/2008
		CN 101185140 B	19/09/2012
		EP 1891642 A2	27/02/2008
		EP 1891642 B1	11/07/2012
		JP 2008-541334 A	20/11/2008
		TW 200707190 A	16/02/2007
		TW I350452 B	11/10/2011
		US 7793037 B2	07/09/2010
		WO 2006-130763 A2	07/12/2006
		WO 2006-130763 A3	08/02/2007

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(特許庁注：以下のものは登録商標)

1 . R R A M