

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5859181号  
(P5859181)

(45) 発行日 平成28年2月10日 (2016. 2. 10)

(24) 登録日 平成27年12月25日 (2015. 12. 25)

(51) Int. Cl. F I  
 HO 1 L 25/10 (2006. 01) HO 1 L 25/14 Z  
 HO 1 L 25/11 (2006. 01)  
 HO 1 L 25/18 (2006. 01)

請求項の数 30 (全 27 頁)

<p>(21) 出願番号 特願2008-548872 (P2008-548872)                  (86) (22) 出願日 平成18年12月29日 (2006. 12. 29)                  (65) 公表番号 特表2009-522791 (P2009-522791A)                  (43) 公表日 平成21年6月11日 (2009. 6. 11)                  (86) 国際出願番号 PCT/US2006/062747                  (87) 国際公開番号 W02007/076546                  (87) 国際公開日 平成19年7月5日 (2007. 7. 5)                  審査請求日 平成21年12月31日 (2009. 12. 31)                  (31) 優先権主張番号 11/322, 442                  (32) 優先日 平成17年12月29日 (2005. 12. 29)                  (33) 優先権主張国 米国 (US)</p> <p>前置審査</p>	<p>(73) 特許権者 508197044                  ビットマイクロ ネットワークス、インク                  .                  アメリカ合衆国、94538 カリフォル                  ニア州、フレモント、47929 フレモ                  ント ブールバード                  (74) 代理人 100104411                  弁理士 矢口 太郎                  (72) 発明者 ブルース、レイ、エイチ.                  アメリカ合衆国、95110 カリフォル                  ニア州、サン ホゼ、175 クレイトン                  アベニュー</p>
--	--

最終頁に続く

(54) 【発明の名称】 記憶装置用の複数チップモジュールおよびパッケージの積層方法

(57) 【特許請求の範囲】

【請求項 1】

積層モジュールを製造する方法であって、前記積層モジュールは複数のモジュールを有するものであり、各モジュールは、

1 若しくはそれ以上のアクティブな信号を伝える 1 若しくはそれ以上のアクティブポートと、

前記 1 若しくはそれ以上のアクティブな信号を通過させる 1 若しくはそれ以上のパッシブポートと、

少なくとも第 1 の直列チェーン信号経路と第 2 の直列チェーン信号経路を含む複数の直列チェーン信号経路であって、前記直列チェーン経路の各々は、前記 1 若しくはそれ以上のアクティブな信号のための少なくとも 1 つの直列チェーン接続を含むものであり、前記直列チェーン接続は直列チェーン回路と直列チェーン入力と直列チェーン出力とを含むものであり、前記直列チェーン入力は前記直列チェーン回路を介して前記直列チェーン出力と接続されるものである、前記直列チェーン信号経路と、

信号伝送経路と、該信号伝送経路を選択可能なバッファを含む終端モジュールであって、前記複数のモジュールの中で該終端モジュールが他のモジュールに連結可能な終端モジュールと

を有し、

この方法は、前記アクティブポートおよびパッシブポートを形成した後に前記複数のモジュールを積層する工程を有し、

前記バッファは、前記終端モジュールが他のモジュールに連結された時に前記バッファの制御線がローに落とされて前記終端モジュールから前記他のモジュールへの信号を伝送する信号伝送経路を選択し、前記終端モジュールが他のモジュールに連結されない時に前記バッファの制御線がハイに引き上げられて前記第 1 の直列チェーン信号経路と前記第 2 の直列チェーン信号経路とを接続する信号伝送経路を選択するものである、

方法。

【請求項 2】

請求項 1 記載の方法において、前記 1 若しくはそれ以上のパッシブポートは梯子状の信号伝送経路を形成するものであり、

この方法は、前記パッシブポートをあるモジュールのある一面に設けられたパッシブボールと前記モジュールの他の面に設けられたパッシブパッドとに接続する工程をさらに有する。

10

【請求項 3】

請求項 1 記載の方法において、この方法は 1 若しくはそれ以上の前記複数のモジュールを積層する前に回転配置する工程を有し、これにより、前記 1 若しくはそれ以上のパッシブポートは回転信号伝送経路を形成するものである。

【請求項 4】

請求項 1 記載の方法において、この方法は、さらに、

第 1 のデジチェーン接続を形成する、1 若しくはそれ以上の対のデジチェーン入力ポートおよびデジチェーン出力ポートを提供する工程を有し、前記デジチェーン入力ポートおよび前記デジチェーン出力ポートの各対はデジチェーン回路により接続されるものである。

20

【請求項 5】

請求項 4 記載の方法において、この方法は、さらに、

前記終端モジュール内の前記第 1 のデジチェーン接続を延伸する信号伝送経路を動作可能にする、1 若しくはそれ以上の制御ポートを提供する工程を有するものである。

【請求項 6】

請求項 5 記載の方法において、この方法は、前記終端モジュール内の前記信号伝送経路を第 2 のデジチェーン接続に接続する工程をさらに有する。

【請求項 7】

請求項 1 記載の方法において、1 若しくはそれ以上の前記複数のモジュールは主基板を有するものである。

30

【請求項 8】

請求項 7 記載の方法において、この方法は、垂直方向に積層された前記 1 若しくはそれ以上のモジュールを前記主基板に接続する工程をさらに有する。

【請求項 9】

請求項 2 記載の方法において、

前記複数のモジュールの各々は第 1 の側部と第 2 の側部を有し、

前記 1 若しくはそれ以上のアクティブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のアクティブボールに接続され、

40

前記 1 若しくはそれ以上のパッシブポートは、対応する 1 若しくはそれ以上の前記第 1 の側部の 1 若しくはそれ以上のパッシブボールおよび前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

同一のパッシブポートに接続された前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、反復パターンで相互に所定の距離を置いて位置し、前記所定の距離は、前記反復パターンの周期的距離の倍数に等しく、

基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記梯子状信号伝送経路を介して 1 若しくはそれ以上のモジュールの所定位置に配線され、

前記梯子状信号伝送経路は、1 若しくはそれ以上のパッシブボールおよび 1 若しくはそれ以上のパッシブパッドを有するものである。

50

## 【請求項 10】

請求項 3 記載の方法において、

前記複数のモジュールの各々は、第 1 の側部と第 2 の側部を有し、

前記 1 若しくはそれ以上のアクティブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のアクティブボールに接続され、

前記 1 若しくはそれ以上のパッシブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のパッシブボールおよびその前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

同一のパッシブポートに接続された前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、反復パターンで向かい合って位置し、

基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記回転信号伝送経路を介して 1 若しくはそれ以上のモジュール上の同一の位置に配線され、

前記回転信号伝送経路は、1 若しくはそれ以上のパッシブボールと 1 若しくはそれ以上のパッシブパッドとを有するものである。

10

## 【請求項 11】

請求項 4 記載の方法において、

前記複数のモジュールの各々は、第 1 の側部と第 2 の側部とを有し、

前記 1 若しくはそれ以上のデジチェーン入力ポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のパッシブボールに接続され、前記 1 若しくはそれ以上のデジチェーン出力ポートは、前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

20

同一のデジチェーン用ポートに対応する前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、向かい合って位置し、基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記デジチェーン接続を介して 1 若しくはそれ以上のモジュールの同一の位置に配線され、

前記デジチェーン接続は、1 若しくはそれ以上のデジチェーン回路と、1 若しくはそれ以上のパッシブボールと、1 若しくはそれ以上のパッシブパッドとを有する。

## 【請求項 12】

請求項 5 記載の方法において、

前記複数のモジュールの各々は、第 1 の側部と第 2 の側部とを有し、

前記 1 若しくはそれ以上のデジチェーン入力ポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のパッシブボールに接続され、前記 1 若しくはそれ以上のデジチェーン出力ポートは、前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

30

同一のデジチェーン用ポートに対応する前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、向かい合って位置し、

基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記デジチェーン接続を介して 1 若しくはそれ以上のモジュール上の同一の位置に配線され、

前記デジチェーン接続は、1 若しくはそれ以上のデジチェーン回路と、1 若しくはそれ以上のパッシブボールと、1 若しくはそれ以上のパッシブパッドとを有し、

40

前記信号伝送経路は、前記 1 若しくはそれ以上の制御ポートにより制御される 1 若しくはそれ以上の 3 ステートドライバを有するものである。

## 【請求項 13】

請求項 6 記載の方法において、

前記複数のモジュールの各々は、第 1 の側部と第 2 の側部とを有し、

前記 1 若しくはそれ以上のデジチェーン入力ポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のパッシブボールに接続され、前記 1 若しくはそれ以上のデジチェーン出力ポートは、前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

50

同一のデイジーチェーン用ポートに対応する前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、向かい合って位置し、基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記デイジーチェーン接続を介して 1 若しくはそれ以上のモジュール上の同一の位置に配線され、

前記デイジーチェーン接続は、1 若しくはそれ以上のデイジーチェーン回路と、1 若しくはそれ以上のパッシブボールと、1 若しくはそれ以上のパッシブパッドとを有し、

前記信号伝送経路は、前記 1 若しくはそれ以上の制御ポートにより制御される 1 若しくはそれ以上の 3 ステートドライバを有し、

1 若しくはそれ以上のデイジーチェーン接続は、主基板に接続された 1 若しくはそれ以上の垂直積層モジュールを介して延伸するものである。

10

【請求項 1 4】

複数のモジュールを有する積層モジュールであって、各モジュールが、

1 若しくはそれ以上のアクティブな信号を伝える 1 若しくはそれ以上のアクティブポートと、

前記 1 若しくはそれ以上のアクティブな信号を通過させる 1 若しくはそれ以上のパッシブポートと

少なくとも第 1 の直列チェーン信号経路と第 2 の直列チェーン信号経路を含む複数の直列チェーン信号経路であって、前記直列チェーン信号経路の各々は、前記 1 若しくはそれ以上のアクティブな信号のための少なくとも 1 つの直列チェーン接続を含むものであり、前記直列チェーン接続は直列チェーン回路と直列チェーン入力と直列チェーン出力とを含むものであり、前記直列チェーン入力は前記直列チェーン回路を介して前記直列チェーン出力と接続されているものである、前記複数のチェーン信号経路と、

20

信号伝送経路と、該信号伝送経路を選択可能なバッファを含む終端モジュールであって、前記複数のモジュールの中で該終端モジュールが他のモジュールに連結可能な終端モジュールと

を有し、

前記バッファは、前記終端モジュールが他のモジュールに連結された時に前記バッファの制御線がローに落とされて前記終端モジュールから前記他のモジュールへの信号を伝送する信号伝送経路を選択し、前記終端モジュールが他のモジュールに連結されない時に前記バッファの制御線がハイに引き上げられて前記第 1 の直列チェーン信号経路と前記第 2

30

の直列チェーン信号経路とを接続する信号伝送経路を選択するものである、

積層モジュール。

【請求項 1 5】

請求項 1 4 記載の積層モジュールにおいて、前記 1 若しくはそれ以上のパッシブポートは梯子状の信号伝送経路を形成するものであり、

前記パッシブポートは、あるモジュールのある一面に設けられたパッシブボールを前記モジュールの他の面に設けられたパッシブパッドに接続させ、

この積層モジュールは第 1 の外表面と第 2 の外表面とをさらに有し、前記第 1 の外表面と第 2 の外表面とは互いに対向して配置されているものであり、

前記複数のモジュールのうち少なくとも 1 つは第 1 のモジュールを有し、第 1 のモジュールは前記第 1 の外表面と第 2 の外表面との間で終端する第 1 のターゲット位置を有するものである。

40

【請求項 1 6】

請求項 1 4 記載の積層モジュールにおいて、1 若しくはそれ以上の前記複数のモジュールは積層する前に回転され、前記 1 若しくはそれ以上のパッシブポートは回転信号伝送経路を含む信号伝送経路を形成するものである。

【請求項 1 7】

請求項 1 4 記載の積層モジュールにおいて、この積層モジュールは、さらに、第 1 のデイジーチェーン接続を形成する 1 若しくはそれ以上の対のデイジーチェーン入力ポートおよびデイジーチェーン出力ポートを有し、前記デイジーチェーン入力ポートおよ

50

び前記デイジーチェーン出力ポートの各対は、デイジーチェーン回路により接続されるものである。

【請求項 18】

請求項 17 記載の積層モジュールにおいて、この積層モジュールは、さらに、  
 端末モジュール内で前記第 1 のデイジーチェーン接続を延伸する信号伝送経路を動作可能にする 1 若しくはそれ以上の制御ポートを有するものである。

【請求項 19】

請求項 18 記載の積層モジュールにおいて、前記端末モジュール内の前記信号伝送経路は、第 2 のデイジーチェーン接続に接続されるものである。

【請求項 20】

請求項 14 記載の積層モジュールにおいて、1 若しくはそれ以上の前記複数のモジュールは、入力信号を提供するための主基板を有するものである。

【請求項 21】

請求項 20 記載の積層モジュールにおいて、1 若しくはそれ以上のモジュールの前記複数のモジュールは、垂直方向に積層され前記主基板に接続されるものである。

【請求項 22】

請求項 15 記載の積層モジュールにおいて、前記複数のモジュールの各々は、第 1 の側部と第 2 の側部とを有し、

前記 1 若しくはそれ以上のアクティブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のボールに接続され、

前記 1 若しくはそれ以上のパッシブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のパッシブボールおよび前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

同一のパッシブポートに接続された前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、反復パターンで相互に所定の距離をおいて位置し、前記所定の距離は、前記反復パターンの周期的距離の倍数に等しく、

基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記梯子状信号伝送経路を介して 1 若しくはそれ以上のモジュールの同一の位置に配線され、

1 若しくはそれ以上のパッシブボールと 1 若しくはそれ以上のパッシブパッドは梯子状の信号伝送経路を形成するものである。

【請求項 23】

請求項 16 記載の積層モジュールにおいて、

前記複数のモジュールの各々は、第 1 の側部と第 2 の側部とを有し、

前記 1 若しくはそれ以上のアクティブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のアクティブボールに接続され、

前記 1 若しくはそれ以上のパッシブポートは、対応する 1 若しくはそれ以上のモジュールの前記第 1 の側部の 1 若しくはそれ以上のパッシブボールおよび前記第 2 の側部の 1 若しくはそれ以上のパッシブパッドに接続され、

同一のパッシブポートに接続された前記 1 若しくはそれ以上のパッシブボールの各々および前記 1 若しくはそれ以上のパッシブパッドの各々は、反復パターンで向かい合って位置し、

基底モジュールの 1 若しくはそれ以上のアクティブポートは、前記回転信号伝送経路を介して 1 若しくはそれ以上のモジュール上の同一の位置に配線され、

1 若しくはそれ以上のパッシブボールと 1 若しくはそれ以上のパッシブパッドは回転信号伝送経路を形成するものである。

【請求項 24】

請求項 14 記載の積層モジュールにおいて、

前記複数のモジュールの各々は、第 1 の側部と、第 2 の側部と、1 若しくはそれ以上のパッシブポートとを有し、前記 1 若しくはそれ以上のパッシブポートは第 1 のパッシブポートを含み、当該第 1 のパッシブポートは、前記第 1 の側部に配置されたパッシブボール

10

20

30

40

50

に接続されていると共に、前記複数のモジュールのうちあるモジュールの前記第 2 の側部に配置されたパッシブパッドに接続されているものであり、

前記 1 若しくはそれ以上の直列チェーン入力は前記パッシブボールを有し、前記直列チェーン出力は前記パッシブパッドを有し、

前記パッシブボールとパッシブパッドは対向して配置され、

この積層モジュールは、アクティブポートを有する基底モジュールをさらに有し、当該アクティブポートは前記第 1 直列チェーン信号経路に沿って案内されるシグナルを提供するものである。

【請求項 2 5】

請求項 1 4 記載の積層モジュールにおいて、

前記信号伝送経路は、前記コントロール回路により制御される 1 若しくはそれ以上の 3 ステートドライバを有するものである。

【請求項 2 6】

請求項 2 5 記載の積層モジュールにおいて、

第 3 の直列チェーン信号経路を有する他の積層モジュールに接続された入力信号を提供するための主基板と、

前記第 2 の直列チェーン信号経路と前記第 3 の直列チェーン信号経路とを接続する他の信号伝送経路を可能とする他のコントロール回路と

を有する。

【請求項 2 7】

請求項 1 5 記載の積層モジュールにおいて、前記複数のモジュールは第 2 のモジュールおよび第 3 のモジュールをさらに有し、当該第 2 のモジュールは前記第 1 の外側表面を含む第 2 のモジュール表面を有し、当該第 3 のモジュールは前記第 2 の外側表面を含む第 3 のモジュール表面を有するものである。

【請求項 2 8】

請求項 1 5 記載の積層モジュールにおいて、この積層モジュールは、さらに、

第 2 の梯子状の信号伝送経路を含み、

前記複数のモジュールは第 1 のモジュールおよび第 2 のモジュールを有し、当該第 1 および第 2 のモジュールは第 1 のターゲット位置および第 2 のターゲット位置をそれぞれ含み、当該第 2 のターゲット位置は前記積層モジュール内に位置しているものであり、

前記梯子状信号伝送経路は前記アクティブポートの 1 つを前記第 1 のターゲット位置に配線し、前記第 2 の梯子状信号伝送経路は前記アクティブパスの別の 1 つを前記第 2 のターゲット位置に配線するものである。

【請求項 2 9】

請求項 2 8 記載の積層モジュールにおいて、この積層モジュールは、さらに、

第 2 の梯子状信号伝送経路を有し、

前記積層モジュールは第 1 の外側表面および第 2 の外側表面を有し、この第 1 および第 2 の外側表面は互いに対向するように配置され、

前記梯子状信号伝送経路は前記第 1 のターゲット位置で終端し、

前記第 2 の梯子状信号伝送経路は前記第 2 のターゲット位置で終端し、前記第 2 のターゲットは前記積層モジュール内で終端し、前記第 1 の外側表面と第 2 の外側表面の間に位置しているものである。

【請求項 3 0】

請求項 2 8 の積層モジュールにおいて、前記第 2 のターゲット位置は前記第 1 の外側表面と前記第 2 の外側表面の間に位置しているものである。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2005年12月29日付けで出願された「Multiple Chip Module and Package Stacking Method for S

10

20

30

40

50

torage Devices」と題する米国特許非仮出願第 11 / 322, 442 号に対して優先権を主張するものである。

【背景技術】

【0002】

分野

本発明はコンピュータシステムに関する。特に、本発明は、フラッシュメモリ型半導体ディスクドライブ、および小型化およびメモリ拡張性を支持するための複数チップモジュール (multiple chip module: MCM) およびパッケージ積層技術の使用方法に関する。

【0003】

関連技術の説明

フラッシュメモリ型半導体ディスクドライブは一般に、そのインターフェースコントローラ、そのDMAコントローラ、およびそのプロセッサのための別個のパッケージと、そのフラッシュ素子、そのFPROM、およびそのRAMのための別個のパッケージとを使用する。この現行の方法では、前記記憶装置全体の小型化に限界がある。前記小型化を達成するためには、チップモジュールおよびパッケージを積層する必要がある。チップモジュールおよびパッケージのレベルでの積層により限られた面積における容量が最大化され、前記記憶装置全体の小型化が実現される。従って、チップモジュールおよびパッケージを戦略的に積層して垂直および水平方向の両方における小型化およびメモリ拡張性を支持する技術を提案する。

この出願の発明に関連する先行技術文献情報としては、以下のものがある（国際出願日以降国際段階で引用された文献及び他国に国内移行した際に引用された文献を含む）。

【特許文献1】米国特許第6,172,874号明細書

【特許文献2】米国特許第6,900,528号明細書

【特許文献3】国際公開第1994/006210号パンフレット

【発明の開示】

【課題を解決するための手段】

【0004】

本発明の実施例に図示される積層技術において、半導体ダイはモジュール内に搭載され、その基本構成要素としての役割を果たすMCMとなる。基板内にこれらモジュールおよびダイを組み合わせることで、特定の機能または様々なメモリ容量を有するパッケージが作られる。これらパッケージが積層されて容量を増加し、または機能を追加する。フリップチップ、ワイヤーボンド、MCM、モジュール積層、先進パッケージングなどの異なる既存技術の組み合わせを使用して、高信頼性のモジュール間およびパッケージ間の相互接続および拡張性が達成される。使用される前記ダイのメモリ容量および前記パッケージ内で積層されるモジュールの数により、単一のパッケージが様々な容量を有することができる。前記提案のパッケージ積層技術において、パッケージ内で積層されたモジュールが前記パッケージレベルの積層の構成要素としての役割を果たす。複数のパッケージを積層して所望のメモリ容量が作られ、異なるパッケージを積層して所望の機能が作られる。前記水平および垂直方向の両方への拡張が可能である。前記技術はピンの割り当てにある。容量の小さな小型記憶装置には前記垂直拡張を使用でき、より大きな形状の大容量装置には垂直および水平拡張の両方を使用して容量を最大化することができる。この技術を使用することにより、小さなパッケージ装置内に大容量記憶装置が実施され、より大きな形状でより大きなメモリ容量が達成される。

【0005】

本発明は、前記モジュールおよびパッケージレベルの両方において前記既存の積層技術を活用する。これにより、小面積における容量が最大化され、前記小型化が実現される。最終パッケージングの前に個別に試験でき容易に交換できる基本構成要素の製作にモジュール方式を使用することで、前記技術の信頼性が高まりかつ経済的となる。ダイ容量を変え、モジュールおよび/またはパッケージを積層することにより様々な容量を構成できる

10

20

30

40

50

。基板面積および所望の容量に応じて、垂直および水平双方向への拡張が実施される。

【発明を実施するための最良の形態】

【0006】

図1aは、本発明の第1の実施例によるフラッシュ記憶システムのブロック図である。前記ブロック図は、前記技術の所望の機能を達成するためにモジュール化し、積層し、パッケージングしたハイエンドのシステムの全体を示す。前記システムの中心は、そのフラッシュメモリー、そのフラッシュPROM、およびそのSDRAMメモリーの各ブロックとインターフェースするその主コントローラプロセッサ101である。前記SDRAMは、その所望の容量により単一バンク102から最大4バンクまでで構成される。102などの各バンクが3個のSDRAMを含む。107などの前記フラッシュ装置は、105のような、そのフラッシュ用インターフェースコントローラにより制御される。各コントローラはフラッシュバスA11、106などの4個のフラッシュバスを支持し、各フラッシュバスは最大8個のフラッシュ装置を支持する。前記主コントローラプロセッサは、バス104などの4個の異なるバスを通じて4個のフラッシュ用インターフェースコントローラを支持する。前記4個のフラッシュ用インターフェースコントローラとそれらに対応するフラッシュ装置はそのメモリー群108を有する。前記主コントローラプロセッサは、1個のメモリー群から最大15個のメモリー群までを支持できる。これは最大1,920個のフラッシュ装置を支持することになる。

10

【0007】

図1bは、本発明の第2の実施例によるフラッシュ記憶システムのブロック図である。前記ブロック図は、前記技術の所望の機能を達成するためにモジュール化し、積層し、パッケージングしたローエンドのシステムの全体を示す。ローエンドのシステムは大きなメモリー容量を必要としないので、SDRAMは1個のバンク109であってよく、または一切なくてもよく、前記支持されたフラッシュ装置もまた最小限から2組のフラッシュ用バスのみである。1組のフラッシュ用バス110は、フラッシュ用バス当たり8個のフラッシュ装置が支持された4個のフラッシュ用バスで構成される。

20

【0008】

前記基本ダイから、本発明において提示される前記積層技術の基本構成要素となるSDRAMと、FPROMと、フラッシュメモリーと、フラッシュ用インターフェースコントローラと、前記主コントローラプロセッサと、単一および複数チップモジュールが作られる。SDRAMモジュールの上面図である図2aを参照して、単一の基板203内に、前記基本構成要素の1つである前記SDRAMモジュールとなる3個のSDRAMダイ201が配置されている。前記SDRAMモジュールは、前記SDRAMインターフェース103に接続されたSDRAM00と、SDRAM01と、SDRAM02とからなる単一のバンク102として図1内に表示されている。前記コントローラモジュールおよびその他SDRAMモジュールとインターフェースするために必要な全ての信号は、底部ボール204および上部パッド202の両方にそれぞれ割り当てられる。底部ボール204は前記SDRAMモジュールの底面図である図2bに示され、前記SDRAMのダイのパッド取り付け部位の下に底部ワイヤーボンディングを収容するための3個のスロット205が作られている。図2cは前記積層モジュールの断面表示である。上部パッド202および底部ボール204は、全てのSDRAMモジュール間の、および前記コントローラモジュールとの垂直相互接続の役割を果たす。前記製品用途に応じて、前記SDRAMのダイ容量および前記積層数を変えることにより、SDRAMの全体容量が大きく変わる。前記SDRAM装置の構成、容量、およびバンク制限は、前記主コントローラプロセッサのSDRAMインターフェース仕様により定義される。本発明のこの実施例に使用する目的の前記主コントローラプロセッサは、32ビット幅、最大4バンクのSDRAM構成を支持する。

30

40

【0009】

図3aは、これもまた基本構成要素である前記フラッシュモジュールとなる単一基板303内の4個のフラッシュダイ301を示す上面図である。前記メモリーモジュールおよ

50

びその他のフラッシュモジュールとインターフェースする必要のある全ての信号は、前記底部ボール304および前記上部パッド302の両方にそれぞれ割り当てられる。図3cにおいて、前記フラッシュモジュールが積層されている。最大積層数は、前記フラッシュ用インターフェースコントローラの仕様による。上部パッド302および底部ボール304は、積層フラッシュモジュール間の、および前記メモリーモジュールへの垂直相互接続子の役割を果たす。前記製品用途および必要容量に応じて、前記フラッシュのダイ容量および前記積層数を変えることにより、フラッシュの全体容量が大きく変わる。前記フラッシュ装置の構成および容量制限は、前記フラッシュ用インターフェースコントローラの仕様により定義される。本発明のこの実施例に使用する目的の前記フラッシュ用インターフェースコントローラは、フラッシュ用バス当たり8個のフラッシュ装置を支持するので、最大8個のフラッシュモジュールの積層が可能である。

10

#### 【0010】

図4aは、第1のハイエンドのコントローラモジュールの構成に図示された本発明の第1の実施例の上面図を示す。単一のFPRoMのダイ401が前記基板404の中央に配置されている。パッドは、1つは402として示された前記SDRAMモジュール用インターフェース、もう1つは403として示された前記メモリーモジュール用インターフェースである、2つの部分からなる。この技術は、単一パッケージ内でのSDRAMモジュールおよびメモリーモジュールの両方の複数の積層を可能とする。図4bは、前記コントローラモジュールの底面図を示す。単一の主コントローラプロセッサのダイ406がその基板の中央に配置されている。前記コントローラモジュールがそのパッケージの基本モジュールとなる。一般にプリント回路基板(printed circuit board: PCB)である前記主基板との接続のために、前記ボール405が使用される。

20

#### 【0011】

図5aは、これもまた基本構成要素である前記メモリーモジュールの上面図を示す。前記基板504の中央に単一のフラッシュ用インターフェースコントローラのダイ501が配置されている。パッドは、1つは502として示された前記フラッシュモジュール用インターフェースであり、もう1つは503として示された前記その他のメモリーモジュール用インターフェースである、2つの部分からなる。この技術は、単一のパッケージ内でのフラッシュモジュールおよびメモリーモジュールの複数積層を可能にする。前記メモリーモジュールは前記パッケージの基本モジュールとなる。図5bは、前記メモリーモジュールの底面図を示す。所望の構成の種類に応じて、前記主基板PCB、前記コントローラモジュール、または前記その他のメモリーモジュールに接続するために、前記メモリーモジュール用ボール505が使用される。

30

#### 【0012】

図6aは、第1のローエンドのコントローラモジュールの構成に図示された本発明の第2の実施例の上面図を示す。前記モジュールの2個のSDRAM601と単一のFPRoM602とが配置されている。この構成には自由度がある。前記SDRAMは、低性能用途においては実装しなくてもよい。前記主コントローラプロセッサ内の内部SRAMが前記SDRAMの機能を肩代わりする。前記主コントローラプロセッサ605は前記モジュールの底部に配置されている。この構成では、低容量用途には必要のない前記SDRAMの積層ができない。フラッシュモジュールは上部に積層され、前記パッド603とインターフェースする。前記基板604は前記フラッシュモジュールと同じ大きさであり、その最終パッケージをより小さくする。前記主PCBとインターフェースするために前記底部ボール606が使用される。

40

#### 【0013】

図7aは、4個のメモリーモジュール701を別個の位置に相互に隣接して搭載できる、第2のハイエンドのコントローラモジュールの構成に図示された、本発明の第1の実施例の上面図を示す。メモリーモジュール用インターフェースパッド704が、複数積層構成のために割り当てられている。前記メモリーモジュール用インターフェースパッドの中央に、3個のSDRAMダイ702が搭載されている。各部位が1個のSDRAMバンク

50

703に相当し、前記パッケージ内には合計で最大4個のSDRAMバンクとなる。図7bには、前記主コントローラプロセッサのダイ705と前記FPROMのダイ706とが隣接して搭載された底面図が提示されている。前記主PCBとの外部インターフェースのために、前記モジュールのボール707が使用される。

【0014】

図8aは、2個のメモリーモジュール801のみが隣接して搭載可能な第2のローエンドのコントローラモジュールの構成に図示された本発明の第2の実施例の上面図を示す。メモリーモジュール用インターフェースパッド802が複数積層構成のために割り当てられている。前記メモリーモジュール用インターフェースパッドの中央に、3個のSDRAMダイ803が搭載されている。各部位が1個のSDRAMバンク804に対応し、パッケージ内に合計で最大2個のSDRAMバンクのみとなる。その用途次第で、前記SDRAMは搭載してもしなくてもよい。また、前記SDRAMの代わりに、内部SRAMを使用してもよい。前記積層メモリーモジュールは、内部および外部両方のフラッシュ用インターフェースコントローラの用途を支持するように構成することもできる。図8bには、前記主コントローラプロセッサのダイ805と前記FPROMのダイ806とが隣接して搭載された底面図が提示されている。前記主PCBとの外部インターフェースのために、前記モジュール用ボール807が使用されている。

【0015】

図9は、SDRAMモジュール901とコントローラモジュール902との積層を示す。単一の、または積層されたSDRAMモジュールをコントローラモジュールの上に配置することができる。前記SDRAMモジュール用インターフェースのパッド903は前記SDRAMモジュール用ボール904と位置合わせされなければならない。最下層のSDRAMモジュール905がバンク0としての役割を果たし、最上層のモジュール906がバンク3としての役割を果たす。低容量SDRAMの要求に対しては、単一または2連のバンクで十分である。大容量装置は前記最大SDRAM容量を有する必要があるため、最大4個のモジュールを積層する。前記外側パッド907は前記メモリーモジュール用インターフェース用である。

【0016】

図10は、フラッシュモジュール1001とメモリーモジュール1002との積層を示す。メモリーモジュールの上に、4層または8層フラッシュモジュールが配置されている。前記フラッシュモジュール用インターフェースのパッド1003が前記フラッシュモジュール用ボール1004と位置合わせされなければならない。前記外側パッド1005はその他のメモリーモジュール用インターフェース用である。本発明のこの実施例に使用する目的の前記フラッシュ用インターフェースコントローラは、最大4個のフラッシュ用バスを支持し、各フラッシュ用バスは最大8個のフラッシュ装置を支持する。最下層のフラッシュモジュール1006は前記4個のフラッシュ用バスのフラッシュ00装置を含み、最上層モジュール1007は前記4個のフラッシュ用バスのフラッシュ07装置を含む。

【0017】

図11は、水平方向、垂直方向、またはその組み合わせの拡張により構成できる最大化された積層技術のサンプルを示す。複数積層により前記モジュールの全体高さが増加するので、2個の積層モジュールを物理的に相互接続するためのフィラー1101が必要である。適用される積層数に依存する前記モジュール間の高さの差によってはより薄いフィラー1102を使用できる。前記積層SDRAMモジュールを有するコントローラモジュールが前記コントローラパッケージ1103の役割を果たす。積層フラッシュモジュールを有するメモリーモジュールが前記メモリーパッケージ1104の役割を果たす。互いに積層された4個のメモリーパッケージが前記メモリー群1105を形成する。前記コントローラパッケージが単一または複数のメモリー群と積層されているとき、垂直拡張が起こる。前記図は、前記コントローラパッケージに積層されるべき単一のメモリー群を示す。前記コントローラパッケージが前記メモリー群に対して前記PCB上の異なる場所に位置しているとき、水平拡張が起こる。また、複数のメモリー群がPCB上の異なる場所に位置

10

20

30

40

50

することもできる。垂直および水平両方の拡張技術が同時に実施されているとき、組み合わせ拡張が起こる。前記所望のメモリー容量、主PCBのサイズ制限、さらに高さ制限に応じて、前記拡張技術は大きな自由度を有する。

【0018】

図12は、前記第1のハイエンドのコントローラの構成のための前記積層技術の等角投影分解図を示す。ピンが戦略的に割り当てられ、パッケージ内のシステム全体の小型化を可能とするように、モジュールが積層されている。

【0019】

- 1201 - フラッシュモジュール
- 1202 - フラッシュダイ 10
- 1203 - その他のフラッシュモジュールとのフラッシュモジュール用パッドインターフェース
- 1204 - フラッシュモジュール用半田ボール
- 1205 - メモリーモジュール
- 1206 - フラッシュ用インターフェースコントローラのダイ
- 1207 - フラッシュモジュール用のメモリーモジュール用パッドインターフェース
- 1208 - その他のメモリーモジュール用のメモリーモジュール用パッドインターフェース
- 1209 - メモリーモジュール用半田ボール
- 1210 - SDRAMモジュール 20
- 1211 - SDRAMダイ
- 1212 - その他のSDRAMモジュールとのSDRAMモジュール用パッドインターフェース
- 1213 - SDRAMモジュール用半田ボール
- 1214 - コントローラモジュール
- 1215 - 上側のFPROMダイおよび底側の主コントローラプロセッサのダイ
- 1216 - SDRAMモジュールとのコントローラモジュール用パッドインターフェース
- 1217 - メモリーモジュールとのコントローラモジュール用パッドインターフェース
- 1218 - コントローラモジュール用半田ボール 30

【0020】

図12は、この発明に使用される、交換を容易にし、拡張を容易にする別の技術である。ボール・グリッド・アレイ(ball grid array: BGA)の代わりにピン・グリッド・アレイ(pin grid array: PGA)1219が使用される。この方法は、一切の組立工程を必要とせずに交換を迅速に終える、この技術に固有の特徴故に、より自由度が高い。この技術は水平拡張においてもまた有利である。前記図は、例としてその積層メモリーモジュールを示す。前記メモリーモジュールは前記PGA技術を使用してパッケージングされ、前記パッケージの上部がそのソケット1220となり、その底部がそのピンアレイ1219となる。そのフィラー1221が前記パッケージの上部ソケットとなり、前記BGA1223を介してその基底モジュール1222内部とインターフェースする。前記基底モジュールは、PGAを使用して前記底部パッケージまたはその主基板1224とインターフェースする。また、フィラー1225も前記主基板内に搭載され、前記積層メモリーモジュールとインターフェースする。

【0021】

図13は、そのフラッシュモジュール1301の積層と、その第1のローエンドのコントローラモジュール1302とを示す。前記コントローラモジュールの上には単一または積層されたフラッシュモジュールを配置することができる。前記フラッシュモジュール用インターフェースのパッド1303は、前記フラッシュモジュール用ボール1304と位置合わせされなければならない。この構成は低容量、低性能用途向けである。積層されるべきフラッシュモジュールの数はその所望の容量に依存し、その主コントローラプロセッ 50

サの支持された機能に制限される。前記主コントローラプロセッサのフラッシュ用インターフェースは、最大 8 個のバスおよびバス当たり最大 8 個のフラッシュ装置を支持できる。

【 0 0 2 2 】

図 1 4 は、前記第 1 のローエンドのコントローラの構成のための積層技術の等角投影分解図を示す。ピンが戦略的に割り当てられ、モジュールがパッケージ内のシステム全体の小型化を可能にするように積層されている。

【 0 0 2 3 】

- 1 4 0 1 - フラッシュモジュール
- 1 4 0 2 - フラッシュダイ
- 1 4 0 3 - その他のフラッシュモジュールとのフラッシュモジュール用パッドインターフェース
- 1 4 0 4 - フラッシュモジュール用半田ボール
- 1 4 0 5 - コントローラモジュール
- 1 4 0 6 - 底部の F P R O M ダイおよび主コントローラプロセッサのダイ
- 1 4 0 7 - S D R A M ダイ
- 1 4 0 8 - フラッシュモジュールとのコントローラモジュール用パッドインターフェース
- 1 4 0 9 - コントローラモジュール用半田ボール

10

【 0 0 2 4 】

図 1 5 a は、前記第 2 のハイエンドのコントローラの構成のための積層技術を示す。前記積層フラッシュモジュール 1 5 0 1 は、前記メモリーモジュール 1 5 0 2 の上にさらに積層され、次にそれらが前記コントローラモジュール 1 5 0 3 の異なる 4 箇所に搭載される。4 個のメモリーモジュールを前記コントローラモジュール上の異なる 4 箇所に搭載してメモリー群を作ることができる。より多くのメモリー群を積層することによりその総容量が増加する。図 1 5 b には前記積層技術の断面表示が示されている。前記メモリーモジュール用ボール 1 5 0 4 は、前記コントローラモジュール上の前記パッドインターフェース 1 5 0 5 と位置合わせされなければならない。図 1 1 において前述したように、2 個の連続して積層されたモジュールを物理的に接続するためにフィラーが使用される。前記コントローラ用ボール 1 5 0 6 が前記主基板の外部インターフェースとなる。その最終パッケージは前記第 1 のハイエンドのオプションよりも 4 倍大きくなる。

20

30

【 0 0 2 5 】

図 1 6 は、図 1 5 において説明した前記積層技術の等角投影分解図を示す。ピンが戦略的に割り当てられ、前記最大積層数およびモジュール間の相互接続を可能とするようにモジュールが積層されている。図 1 1 において前述したように、2 個の連続して積層されたモジュールを物理的に接続するためにフィラーが使用される。

【 0 0 2 6 】

- 1 6 0 1 - フラッシュモジュール
- 1 6 0 2 - フラッシュダイ
- 1 6 0 3 - その他のフラッシュモジュールとのフラッシュモジュール用パッドインターフェース
- 1 6 0 4 - フラッシュモジュール用半田ボール
- 1 6 0 5 - メモリーモジュール
- 1 6 0 6 - フラッシュ用インターフェースコントローラのダイ
- 1 6 0 7 - フラッシュモジュールとのメモリーモジュール用パッドインターフェース
- 1 6 0 8 - その他のメモリーモジュールとのメモリーモジュール用パッドインターフェース
- 1 6 0 9 - メモリーモジュール用半田ボール
- 1 6 1 0 - コントローラモジュール
- 1 6 1 1 - 上側の S D R A M ダイおよび底側の F P R O M および主コントローラプロセ

40

50

ッサ

1 6 1 2 - メモリーモジュールとのコントローラモジュール用パッドインターフェース

1 6 1 3 - コントローラモジュール用半田ボール

【 0 0 2 7 】

図 1 7 a は前記第 2 のローエンドの構成のための積層技術を示す。前記積層フラッシュモジュール 1 7 0 1 は、前記メモリーモジュール 1 7 0 2 の上にさらに積層され、次にこれらが前記コントローラモジュール 1 7 0 3 上の異なる 2 箇所に搭載される。この技術は、内部および外部両方のフラッシュ用インターフェースコントローラの構成を使用することで、この技術に自由度を持たせることができる。図 1 7 b にその断面図を示す。前記メモリーモジュール用ボール 1 7 0 4 は、前記コントローラモジュール上の前記パッドインターフェース 1 7 0 5 と位置合わせされなければならない。前記コントローラ用ボール 1 7 0 6 が前記主基板との外部インターフェースとなる。その最終パッケージは前記第 1 のハイエンドの選択肢の 2 倍のサイズとなる。

10

【 0 0 2 8 】

図 1 8 は、図 1 7 において説明した前記積層技術の等角投影分解図を示す。ピンが戦略的に割り当てられ、前記最大積層数およびモジュール間の相互接続を可能とするようにモジュールが積層されている。図 1 1 において前述したように、2 個の連続的に積層されたモジュールを物理的に接続するためにフィラーが使用される。

【 0 0 2 9 】

1 8 0 1 - フラッシュモジュール

20

1 8 0 2 - フラッシュダイ

1 8 0 3 - その他のフラッシュモジュールとのフラッシュモジュール用パッドインターフェース

1 8 0 4 - フラッシュモジュール用半田ボール

1 8 0 5 - メモリーモジュール

1 8 0 6 - フラッシュ用インターフェースコントローラのダイ

1 8 0 7 - フラッシュモジュールとのメモリーモジュール用パッドインターフェース

1 8 0 8 - その他のメモリーモジュールとのメモリーモジュール用パッドインターフェース

1 8 0 9 - メモリーモジュール用半田ボール

30

1 8 1 0 - コントローラモジュール

1 8 1 1 - 上側の S D R A M ダイおよび底側の F P R O M および主コントローラプロセッサ

1 8 1 2 - メモリーモジュールとのコントローラモジュール用パッドインターフェース

1 8 1 3 - コントローラモジュール用半田ボール

【 0 0 3 0 】

以下の段落では、前記積層において、ピンの割り当て方および異なる方向へのモジュールの配置の仕方に関するより詳細な技術を説明する。

【 0 0 3 1 】

図 1 9 は、複数のモジュール積層内の特定のモジュールの選択を可能とする第 1 のピン割り当ておよび接続技術を示す。前記図は一例としてそのコントローラと S D R A M モジュールとを図示している。1 9 0 7 のような前記 S D R A M モジュールのボールは大きな長円形によって表示されており、1 9 0 8 のようなパッドは小さな長円形によって表示されている。パッドとボール間の接続は 1 9 0 6 のような長方形によって表示されている。前記コントローラモジュールは、1 9 0 1 のような 4 個の前記 S D R A M モジュールに各々 1 個ずつ、1 9 0 4 のような 4 個のアクティブパッドを有する。アクティブパッドは本明細書では以下「アクティブポート」といいます。前記コントローラモジュールのアクティブパッド 0 0 ( 1 9 0 4 ) は最終的に S D R A M モジュール 0 の X 0 ボール ( 1 9 0 3 ) に接続され、アクティブパッド 0 1 が S D R A M モジュール 1 のボール ( 1 9 0 2 ) に接続され、というように続く。前記 X 0 ボールは前記 S D R A M モジュールのアクティブ

40

50

ボールである。このように、図19に示すように、X0のようにアクティブボール毎に1つのアクティブボールがあり、最終的にモジュール毎に1つのアクティブパッドに結合している。

全てのSDRAMモジュールは同一であり、図19に示してある実施例にあるように、X1パッシブボールがX1パッシブパッドに接続され、X2パッシブボールがX2パッシブパッドに接続され、というように続く接続を含む。図19のX1パッシブボールとX1パッシブボールの接続のような、SDRAMモジュールの1つの表面にあるパッシブボールと同一のSDRAMモジュールの別の表面にあるパッシブボールとの間の接続は「パッシブポート」と呼ばれ、これは例えば図19に示したパッシブポート1909です。前記技術は、前記積層モジュール上に1905のような梯子状の配線パスの使用を含む。この技術により、前記コントローラモジュールのアクティブパッドを前記積層内の所望の特定モジュールに配線することが可能となる。コントローラモジュール1910の参照番号1904と共に示された例えばアクティブパッド02のようなアクティブパッドに適用されるアクティブ信号は、例えばパッシブボールX2をパッシブパッドX2に接続し、パッシブボールX1をパッシブパッドX2にそれぞれ接続するパッシブポートのように、パッシブボールとパッシブパッドに接続する少なくとも1つのパッシブポートを介して配線され、これにより、当該アクティブ信号は最終的に図19に示すX0ボールSDRAMモジュール2のようなアクティブボールに到達する。図19に図示された実施例は、前記ボールおよびパッド用の反復パターンを有する。パッシブボールは、各モジュール内で前記反復パターンの1周期の距離に等しいズレ量を伴ってパッシブパッドに接続される。例えば、図19において、X1パッシブボールはX1パッシブパッドに、X2パッシブボールはX2パッシブパッドというように接続される。反復パターンを使用し、各モジュール内のパッシブパッドまで前記パッシブボールをずらす手法により、他のズレ量が本発明の別の実施形態において使用できる。例えば、別の実施形態は前記反復パターンの周期的距離の2または任意の倍数のズレ量を使用している。この別の実施形態は、決して本発明の範囲を限定することを意味するものではない。

#### 【0032】

この発明において紹介されるピン割り当て、接続、および積層の組み合わせのもう1つの方法が、回転積層法である。図20aは、一定の基底モジュールのためのパッド相互接続を示し、戦略的番号付けが割り当てられている。番号1~4を付けられたパッドはその異なる4群の信号を表す。5番を付けられたパッドは、その垂直積層IOのために使用される(さらなる詳細は図21aに図示されている)。6番を付けられたパッドは、前記積層内の全てのモジュールに共通の電源およびグラウンド用に確保されている。前記積層されたモジュールは同一であるので、回転積層を使用して1モジュールを1群の信号に接続し、次の回転した積層モジュールを別の群の信号に接続し、というように続けることができる。このようにして、4個の同一のモジュールを一般的にはコントローラである前記基底モジュールからの異なる4群の信号に確実に積層して接続することができる。前記基板が時計方向に90度回転した時に、パッド1、2001は、一般的にコントローラである前記基底基板のような回転していない基板に対してパッド2、2002の位置を占める。同様に、前記基板が時計方向にそれぞれ180度および270度回転した時に、パッド1、2001は、パッド3、2003の位置に位置することができ、次にパッド4、2004の位置に位置することができる。

図20bは、前記基底モジュール上に積層された4個のこのようなモジュールの断面図を示す。例としてメモリーおよびコントローラモジュールを使用する。2005のような、前記積層モジュール上のピン1のみが前記モジュールのアクティブ信号ピンである。残り(2番~4番)のピン2006はそれらの下のボールに直接接続されているが、それ以外の接続は一切ない。こうすることで、底部から上部まで接続が続く。前記第1のモジュール2008のアクティブピン2007が前記基底モジュール上のピン1のパッド2009と位置合わせされ、前記第2のモジュールのアクティブピン2010が第2のモジュールが時計方向に90度回転している前記基底モジュールの要素番号2011として示され

10

20

30

40

50

たピン 2 上に位置合わせされる。前記第 1 のモジュール上に要素番号 2 0 1 2 として示されたピン 2 がその下のボールに直接接続されるので、前記第 2 のモジュール上のピン 1、2 0 1 3 を前記基底モジュールのピン 2、2 0 1 1 に接続することが可能となる。次の積層モジュールをさらに 9 0 度回転させることにより、そのアクティブピンが前記基底モジュールのピン 3 に位置合わせされ、第 4 の回転までこれが継続する。

### 【 0 0 3 3 】

前記積層内の全てのモジュールの直列配線のために最後の接続法を使用して、それらを主基板のような P C B 上での水平拡張のために外部アクセス可能とする。図 2 1 a は、前記積層方法にこの技術が実施された様子を示す。前記主基板 2 1 0 1 はその入力信号 2 1 0 2 を含み、次にその基底モジュール 2 1 0 3 の I N ボール 2 1 0 4 に接続される。基底モジュール 2 1 0 3、積層モジュール 2 1 0 6 および 2 1 3 0、および上部モジュール 2 1 0 8 のような終端モジュールを含む前記モジュールは、それぞれが直列チェーン回路により結合されたボールおよびパッドを有する。例えば、基底モジュール 2 1 0 3 は、I N ボール 2 1 0 4 を O U T パッド 2 1 0 5 と結合する直列チェーン回路 2 1 2 7、および O U T パッド 2 1 3 7 を O U T ボール 2 1 3 8 と結合する直列チェーン回路 2 1 3 6 を有し、モジュール 2 1 0 6 は I N ボール 2 1 0 7 を O U T パッド 2 1 2 9 と結合する直列チェーン回路 2 1 2 8、および O U T パッド 2 1 4 0 を O U T ボール 2 1 4 1 と結合する直列チェーン回路 2 1 3 9 を有し、モジュール 2 1 3 0 は I N ボール 2 1 3 2 を O U T パッド 2 1 3 3 と結合する直列チェーン回路 2 1 3 1、および O U T パッド 2 1 4 3 を O U T ボール 2 1 4 4 と結合する直列チェーン回路 2 1 4 2 を有し、上部モジュール 2 1 0 8 は I N ボール 2 1 3 5 を O U T パッド 2 1 0 9 と結合する直列チェーン回路 2 1 3 4、および O U T パッド 2 1 1 0 を O U T ボール 2 1 1 3 と結合する直列チェーン回路 2 1 4 5 を有する。このように、前記基底モジュールの O U T パッド 2 1 0 5 はその第 1 の積層モジュール 2 1 0 6 の I N ボール 2 1 0 7 に接続され、以下同様に続く。

ボールとパッドを結合する直列チェーン回路を含む信号ルートは本明細書では以下「直列チェーン接続」と言い、少なくとも 2 つの直列チェーン接続が直列で接続されているものは「直接チェーン配線」と言う（例えば、直列チェーン配線 2 1 4 6 または 2 1 1 1 など）。その上部モジュール 2 1 0 8 は前記上部パッド 2 1 0 9 への信号を終端し、接続 2 1 1 2 によって前記信号をその下の O U T ボール 2 1 1 3 のようなボールに直接接続された別のパッド 2 1 1 0 に内部的に配線する。前記モジュールは同一であるので、この配線された信号は、前記主基板の外部アクセス用の O U T パッド 2 1 1 4 に達するまで例えば前記積層の直列チェーン配線 2 1 1 1 のような別の直列チェーン配線を有する一組の直列チェーン接続を通る。直列チェーン接続は直列チェーン入力および直列チェーン出力を有する。直列チェーン入力は、直列チェーン出力が信号を提供するように配置されているとき当該信号を受け取るように配置される。例えば、図 2 1 a では、I N ボール 2 1 0 4、2 1 0 7、2 1 3 2、および 2 1 3 5、および O U T パッド 2 1 1 0、2 1 4 3、および 2 1 4 0 はそれぞれ直列チェーン入力である。O U T パッド 2 1 0 5、2 1 2 9、2 1 3 3、および 2 1 0 9、および O U T ボール 2 1 1 3、2 1 4 4、2 1 4 1、および 2 1 3 8 はそれぞれ直列チェーン出力である。アクティブパッド 2 1 0 1 に適用された信号 2 1 0 2 のようなアクティブ信号は個々のボールおよびパッドに結合する一連の直列チェーン回路を通して配線できるので、それぞれのチェーン回路に結合するボールおよびパッドの少なくとも 1 つは、それぞれパッシブボールおよびパッシブパッドの形式である。実際、これらの直列チェーン回路はパッシブポートとして機能します。しかしながら、直列チェーン回路は、直列チェーン配線 2 1 4 6 のような直列チェーン配線を終端することもでき、この直列チェーン配線を以下で更に説明するように例えば直列チェーン配線 2 1 1 1 のような別の直列チェーン配線の直列チェーン入力として機能する別のパッドに分岐する又は配線することもできる。

図 2 1 b には、前記上部モジュールにおいて前記直列チェーンを終端し、その他のパッドに分岐する様子が示されている。全てのモジュールは、ロー ( l o w ) に落とされたときに前記入力を 3 値状態とする、選択可能なバッファ 2 1 1 5 を含む制御回路を有する

10

20

30

40

50

。前記 I N ボール 2 1 1 6 からの信号がその内部回路 2 1 1 7 に入り、その O U T パッド 2 1 1 8 に接続された回路から出る。そのバッファの 2 1 1 5 制御線が内部的に弱く引き上げられる。その「 S t k L o w 」用ボールは G N D 2 1 1 9 に内部的に接続されているので、モジュールがその上に積層されているときは前記バッファ制御線をローに落とし、その真上にモジュールが積層されていないときはハイ ( h i g h ) に引き上げる。前記バッファ制御線がハイに引き上げられると、前記入力信号がその他のパッドに分岐 2 1 2 0 し、このようにして前記基底モジュールの半田ボールに折り返す接続配線またはトレースを生成する。上述したような方法で選択可能バッファ 2 1 1 5 と共に配置されたモジュールの上にモジュールが積層されると、前記バッファ制御信号がローに落とされ、前記入力信号を 3 値状態にして前記分岐効果を阻止する。この技術により、前記信号が前記基底モジュールの外部ボールにアクセス可能となり、従って直列信号のための水平拡張が達成可能となる。次に、前記ボールは、接続 2 1 2 1 によってその他の位置のその他のモジュール 2 1 2 2 に配線される。前記「 S t k L o w 」上にパッケージが検出されないとき、前記主基板 2 1 2 3 について同一の技術が使用され、前記バッファは、前記入力が前記その他の位置の指定されたパッドに接続することを可能とする。前記 3 値状態のバッファ技術は、全ての位置において同様である。例として J T A G T D I - T D O 信号がある。その駆動回路 2 1 2 5 は前記パッドに T D I 信号を送り、その閉鎖 T D O 信号 2 1 2 4 が前記駆動回路に折り返す。

【 0 0 3 4 】

これら積層、ピン割り当て、および接続技術の組み合わせにより、並列および直列信号の両方を有するモジュール間の相互接続の垂直および水平拡張が可能となる。前記技術は前記特定の用途、容量、基板サイズおよび高さ制限に応じて、自由度が非常に高い。

【 図面の簡単な説明 】

【 0 0 3 5 】

上述した本発明の特徴、利点、および目的が達成され、詳細に理解できるように、付属の図面に図示された本発明の実施形態の参照により、上記に簡単に要約したそのより具体的な説明を得ることができる。

但し、本発明はその他の等しく効果的な実施形態を認めることから、前記付属の図面はこの発明の一般的な実施形態のみを図示し、従ってその範囲を制限すると考えるべきものではないことに留意すべきである。

【 図 1 a 】 図 1 a は、本発明の実施例に従った高性能、大容量装置のための積層可能なシステムのブロック図を示す。

【 図 1 b 】 図 1 b は、本発明の実施例に従ったより低性能、より小容量装置の積層可能なシステムのブロック図を示す。

【 図 2 a 】 図 2 a ~ 図 2 c は、本発明の実施例に従った、 S D R A M モジュールの上面図および底面図、および積層された複数の S D R A M モジュールの断面表示を示す。

【 図 2 b 】 図 2 a ~ 図 2 c は、本発明の実施例に従った、 S D R A M モジュールの上面図および底面図、および積層された複数の S D R A M モジュールの断面表示を示す。

【 図 2 c 】 図 2 a ~ 図 2 c は、本発明の実施例に従った、 S D R A M モジュールの上面図および底面図、および積層された複数の S D R A M モジュールの断面表示を示す。

【 図 3 a 】 図 3 a ~ 図 3 c は、本発明の実施例に従った、フラッシュモジュールの上面図および底面図、および積層された複数のフラッシュモジュールの断面表示を示す。

【 図 3 b 】 図 3 a ~ 図 3 c は、本発明の実施例に従った、フラッシュモジュールの上面図および底面図、および積層された複数のフラッシュモジュールの断面表示を示す。

【 図 3 c 】 図 3 a ~ 図 3 c は、本発明の実施例に従った、フラッシュモジュールの上面図および底面図、および積層された複数のフラッシュモジュールの断面表示を示す。

【 図 4 a 】 図 4 a および図 4 b は、本発明の実施例に従った第 1 のハイエンドのコントローラモジュールの上面図および底面図を示す。

【 図 4 b 】 図 4 a および図 4 b は、本発明の実施例に従った第 1 のハイエンドのコントローラモジュールの上面図および底面図を示す。

【図 5 a】図 5 a および図 5 b は、本発明の実施例に従ったメモリーモジュールの上面図および底面図を示す。

【図 5 b】図 5 a および図 5 b は、本発明の実施例に従ったメモリーモジュールの上面図および底面図を示す。

【図 6 a】図 6 a および図 6 b は、本発明の実施例に従った第 1 のローエンドのコントローラモジュールの上面図および底面図を示す。

【図 6 b】図 6 a および図 6 b は、本発明の実施例に従った第 1 のローエンドのコントローラモジュールの上面図および底面図を示す。

【図 7 a】図 7 a および図 7 b は、本発明の実施例に従った第 2 のハイエンドのコントローラモジュールの上面図および底面図を示す。

10

【図 7 b】図 7 a および図 7 b は、本発明の実施例に従った第 2 のハイエンドのコントローラモジュールの上面図および底面図を示す。

【図 8 a】図 8 a および図 8 b は、本発明の実施例に従った第 2 のローエンドのコントローラモジュールの上面図および底面図を示す。

【図 8 b】図 8 a および図 8 b は、本発明の実施例に従った第 2 のローエンドのコントローラモジュールの上面図および底面図を示す。

【図 9】図 9 は、本発明の実施例に従ったコントローラモジュール上にさらに積層された積層 S D R A M モジュールを示す。この構成はハイエンド用途に使用される。図はまた、ボールがそれらに対応するモジュール間接続用のパッドを有する様子を示す。

【図 1 0】図 1 0 は、本発明の実施例に従ったメモリーモジュール上にさらに積層された積層フラッシュモジュールを示す。図はまた、ボールがそれらに対応するモジュール間接続用のパッドを有する様子を示す。

20

【図 1 1】図 1 1 は、本発明の実施例に従った第 1 の高性能コントローラモジュールおよびメモリーモジュールのために考え得る積層の選択肢を示す。基板インターフェースは、1 群の積層モジュールを別の群の積層モジュールに結合させるために使用される。

【図 1 2 a】図 1 2 a は、図 1 1 に提示された、本発明の実施例に従った積層技術の等角投影分解図である。この図面には、複数の同一の積層は含まれていない。

【図 1 2 b】図 1 2 b は、ボール・グリッド・アレイ (ball grid array : B G A ) ではなくピン・グリッド・アレイ (pin grid array : P G A ) を使用した、本発明の実施例に従った別のパッケージ積層技術である。これは、容易な交換および拡張のために使用される。

30

【図 1 3】図 1 3 は、本発明の実施例に従った積層フラッシュモジュールを有するローエンドのコントローラモジュールの構成を示す。また、図はボールがそれらに対応するモジュール間接続用パッドを有する様子をも示す。

【図 1 4】図 1 4 は、図 1 1 に提示した本発明の実施例に従った積層技術の等角投影分解版である。

【図 1 5 a】図 1 5 a および図 1 5 b は、本発明の実施例に従った積層メモリーモジュールを有する第 2 のハイエンドのコントローラモジュールの構成を示す。また、図はボールがそれらに対応するモジュール間接続用パッドを有する様子をも示す。

【図 1 5 b】図 1 5 a および図 1 5 b は、本発明の実施例に従った積層メモリーモジュールを有する第 2 のハイエンドのコントローラモジュールの構成を示す。また、図はボールがそれらに対応するモジュール間接続用パッドを有する様子をも示す。

40

【図 1 6】図 1 6 は、図 1 4 に提示した本発明の実施例に従った積層技術の等角投影分解版である。

【図 1 7 a】図 1 7 a および図 1 7 b は、本発明の実施例に従った積層メモリーモジュールを有する第 2 のローエンドのコントローラモジュールの構成を示す。また、図はボールがそれらに対応するモジュール間接続用パッドを有する様子をも示す。

【図 1 7 b】図 1 7 a および図 1 7 b は、本発明の実施例に従った積層メモリーモジュールを有する第 2 のローエンドのコントローラモジュールの構成を示す。また、図はボールがそれらに対応するモジュール間接続用パッドを有する様子をも示す。

50

【図18】図18は、図17に提示した本発明の実施例に従った積層技術の等角投影分解版である。

【図19】図19は、本発明の実施例に従った複数積層モジュール内の特定の層を選択可能なピン割り当ておよび接続技術を示す。

【図20a】図20aは、回転積層配置を使用して異なるバスインターフェースに相当する4個の同一のモジュールの積層を可能とする、本発明の実施例に従った別のピン割り当て技術を示す。

【図20b】図20bは、本発明の実施例により、回転積層技術による4個の積層モジュールの断面表示、およびそれらピンの結合の様子を示す。

【図21a】図21aは、本発明の別の実施例により、一組の直列チェーン接続により積層内の複数モジュールを介して直列チェーン配線を生成する別のピン割り当ておよび接続技術を示す。

【図21b】図21bは、本発明の実施例により、直列チェーン接続が1つの積層位置から別の積層位置まで配線され、垂直および水平両方の拡張の適用を独立して、または同時に可能とする様子を示す。

10

【図1a】

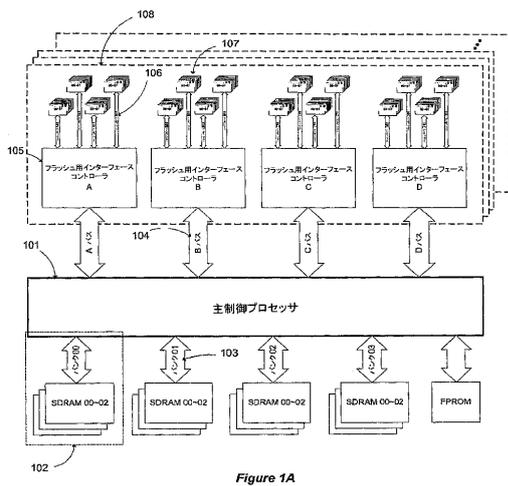


Figure 1A

【図1b】

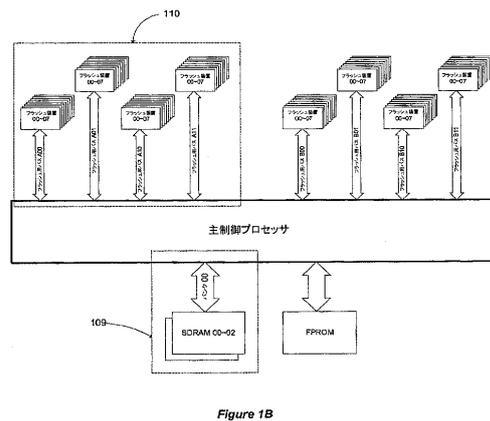


Figure 1B

【図 2 a】

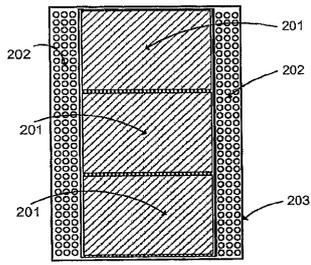


Figure 2A

【図 2 b】

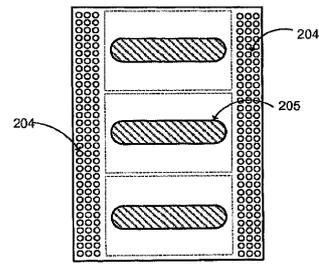


Figure 2B

【図 2 c】

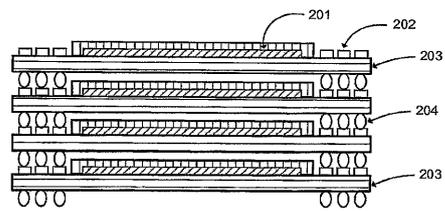


Figure 2C

【図 3 a】

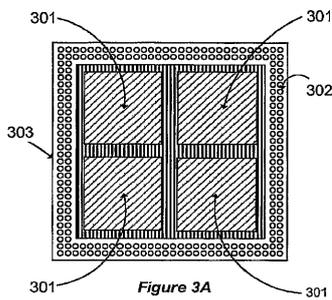


Figure 3A

【図 3 b】

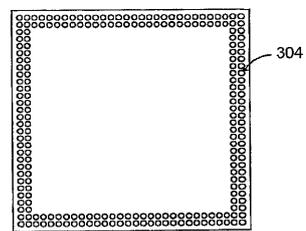


Figure 3B

【図 3 c】

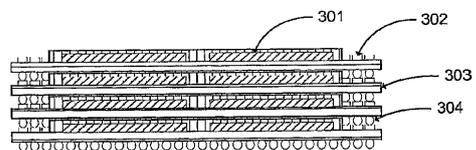


Figure 3c

【 4 a 】

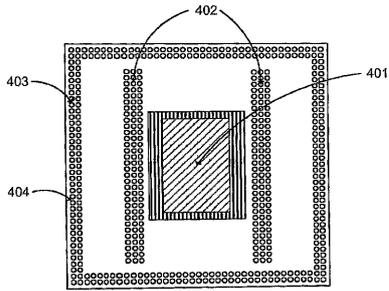


Figure 4A

【 4 b 】

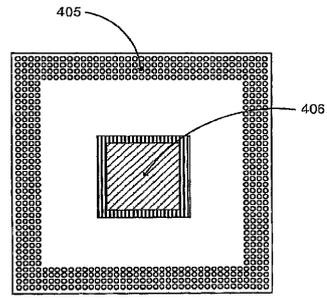


Figure 4B

【 5 a 】

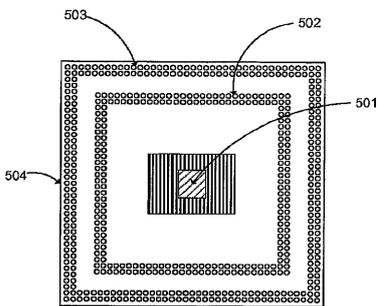


Figure 5A

【 5 b 】

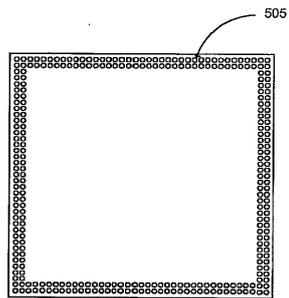


Figure 5B

【 6 a 】

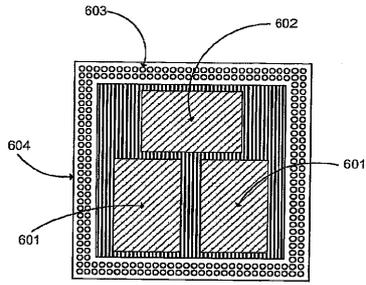


Figure 6A

【 6 b 】

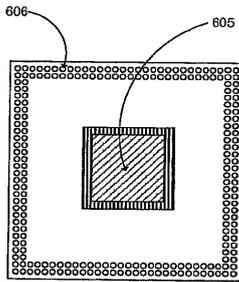


Figure 6B

【 7 b 】

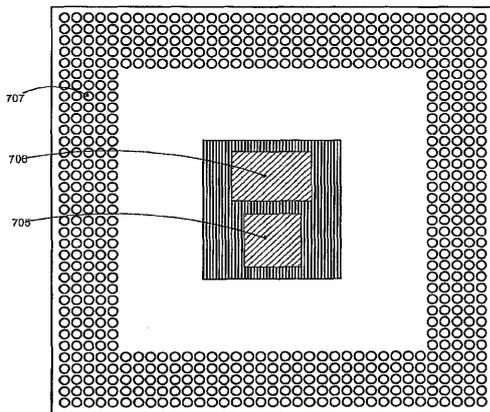


Figure 7B

【 7 a 】

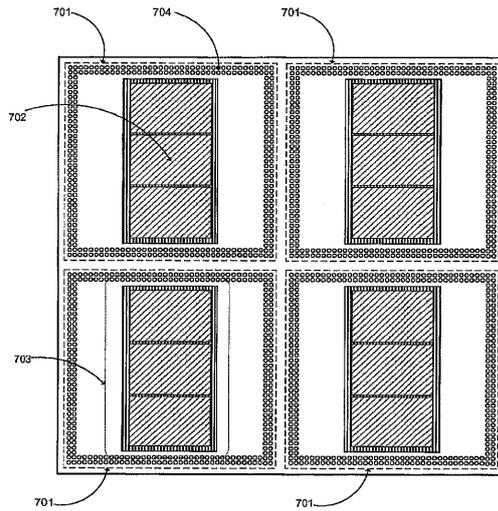


Figure 7A

【 8 a 】

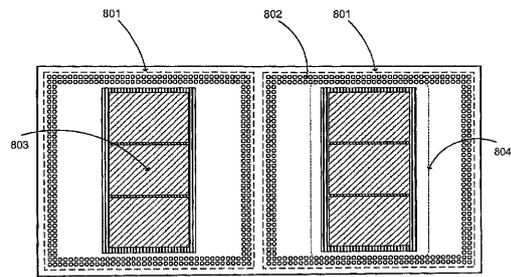


Figure 8A

【 8 b 】

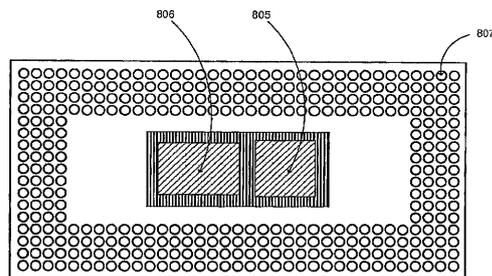


Figure 8B

【 図 9 】

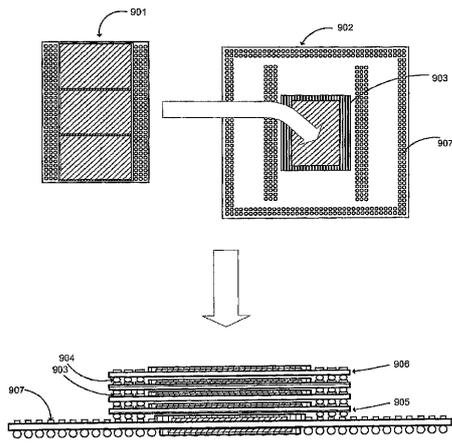


Figure 9

【 図 10 】

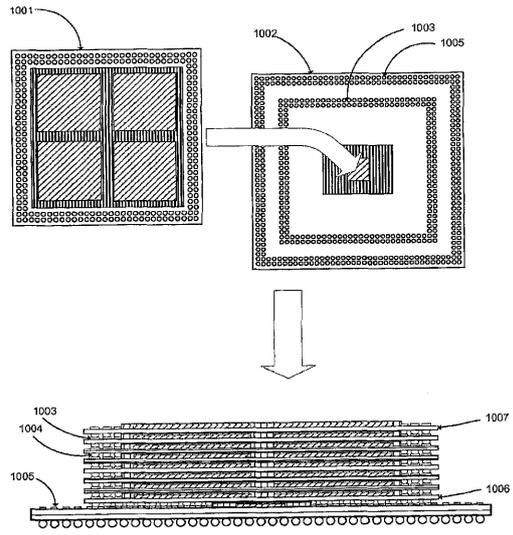


Figure 10

【 図 11 】

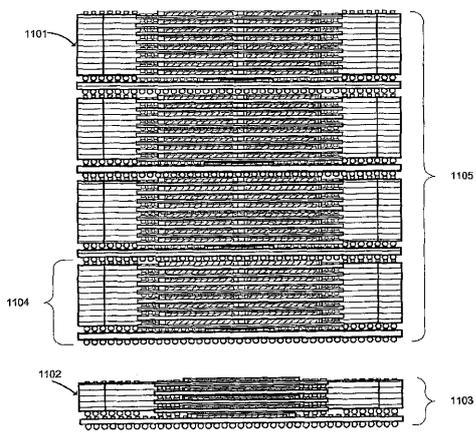


Figure 11

【 図 12 a 】

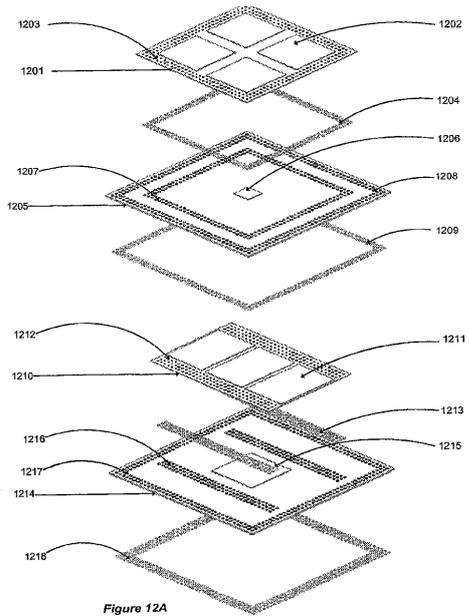


Figure 12A

【 1 2 b 】

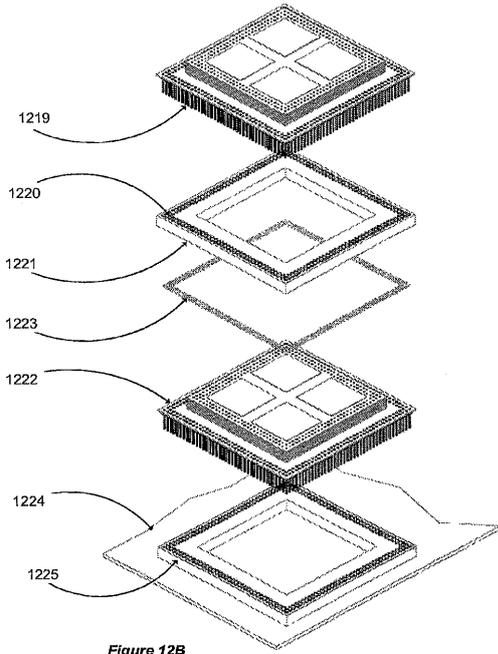


Figure 12B

【 1 3 】

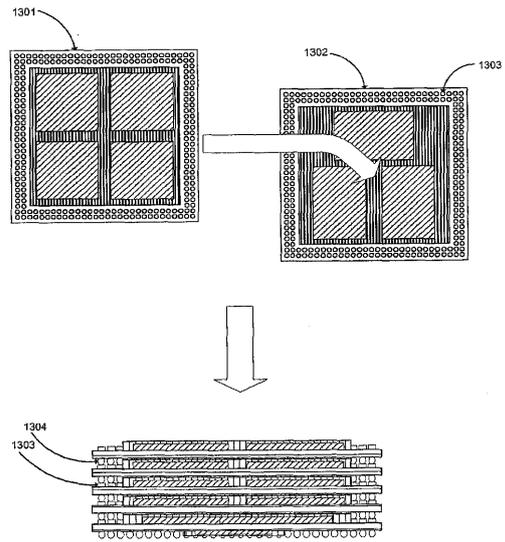


Figure 13

【 1 4 】

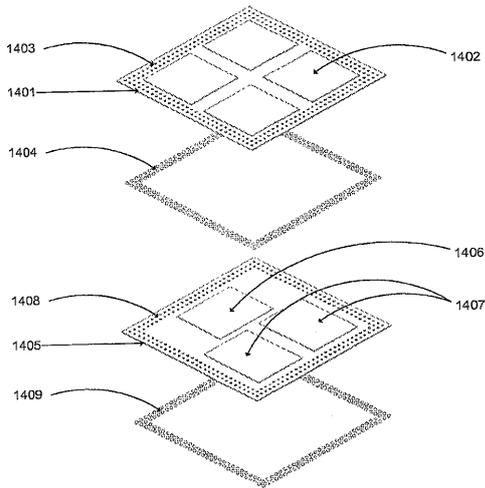


Figure 14

【 1 5 a 】

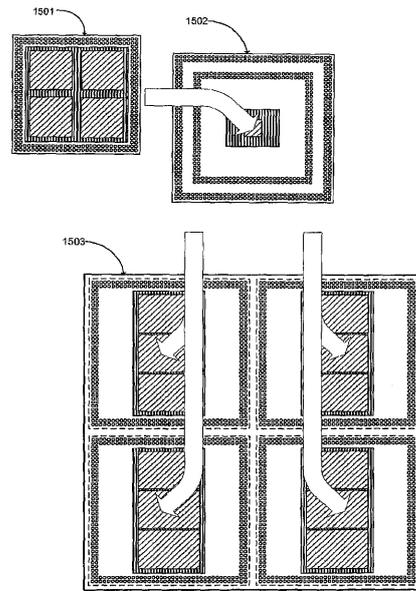
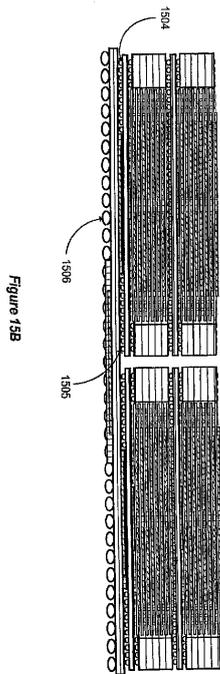
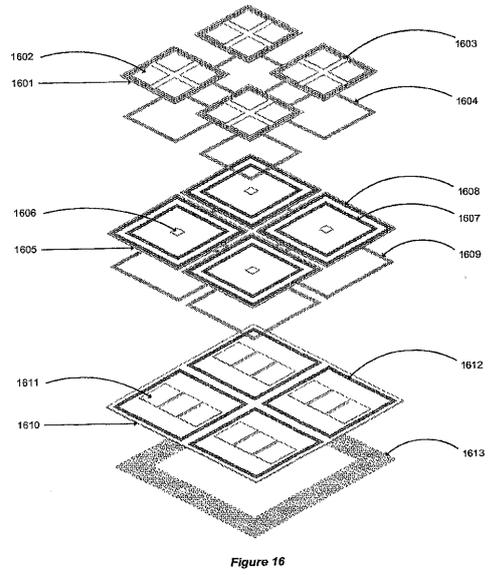


Figure 15A

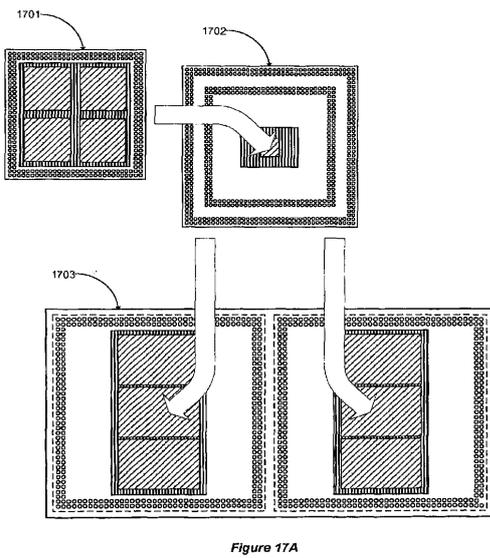
【 15 b 】



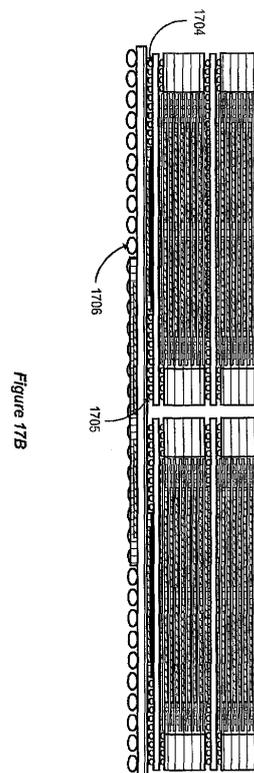
【 16 】



【 17 a 】



【 17 b 】



【図18】

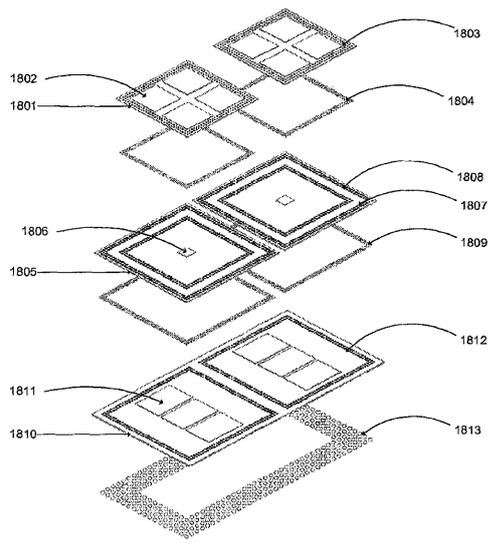


Figure 18

【図19】

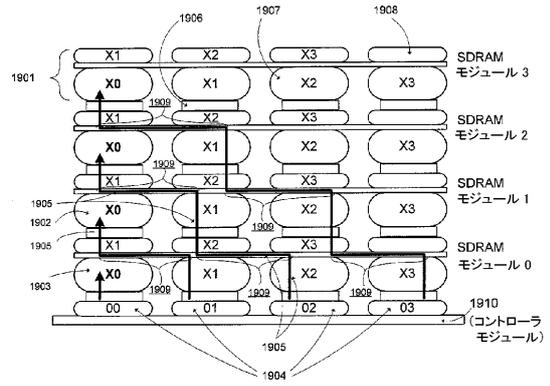


Figure 19

【図20a】

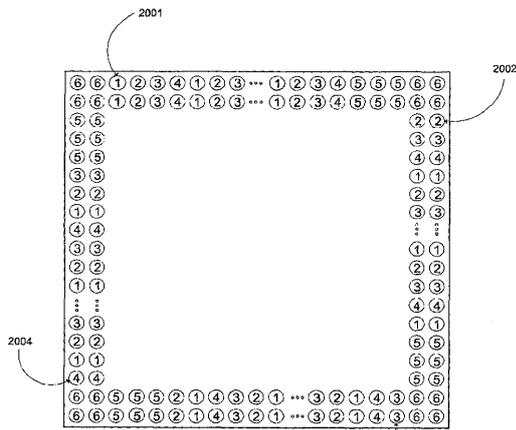


Figure 20A

【図20b】

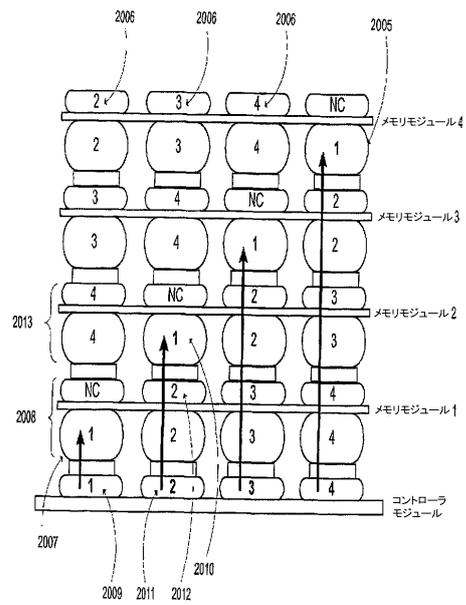
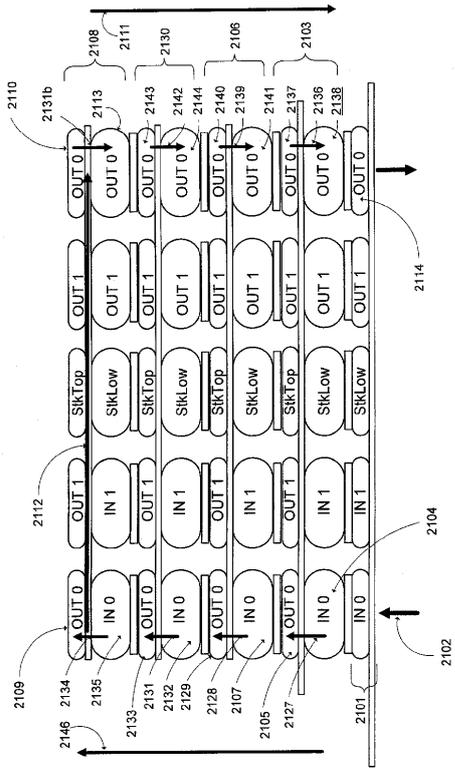


Figure 20B

【 2 1 a 】



【 2 1 b 】

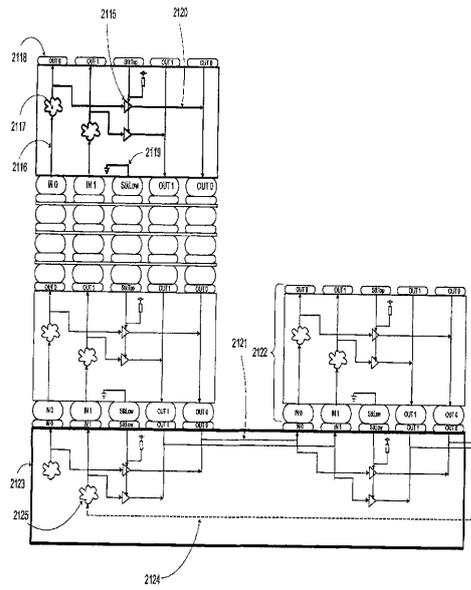


Figure 21a

Figure 21b

## フロントページの続き

- (72)発明者 ブルース、リカルド、エイチ。  
アメリカ合衆国、94587 カリフォルニア州、ユニオン シティ、33041 リージェンツ  
ブルバード
- (72)発明者 ブガヨン、パトリック、ディガモン  
フィリピン国、1550 マンダリヨン シティ、リライアンス ストリーツ、コンドミニウム  
ズ エドサ シーオーアール、2301 ザ パラゴン プラザ
- (72)発明者 ベイロン、ジョエル、アロンゾ  
フィリピン国、4108 キャピテ、タンザ、ピワズ、82 ヒューゴ アーカ ストリート

審査官 小山 和俊

- (56)参考文献 特開2003-100947(JP,A)  
特開2003-264260(JP,A)  
特開平11-135711(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 25/10  
H01L 25/11  
H01L 25/18  
H01L 25/065