

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0106747
(43) 공개일자 2020년09월15일

(51) 국제특허분류(Int. Cl.)

G05F 1/59 (2006.01)

(52) CPC특허분류

G05F 1/59 (2013.01)

(21) 출원번호 10-2019-0025344

(22) 출원일자 2019년03월05일

심사청구일자 2019년03월05일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡테크아파트)

김은희

인천광역시 계양구 양지로 7, 106동 507호 (동양동, 주공아파트)

(74) 대리인

이기성

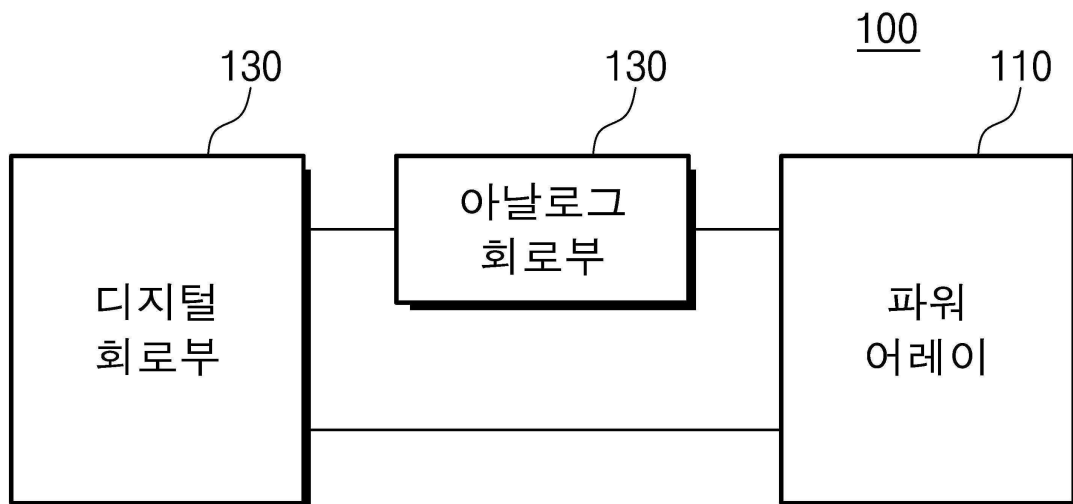
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 SAR 기반의 디지털 LDO 레귤레이터

(57) 요약

본 출원의 일 실시예에 따르는 SAR 기반의 디지털 LDO 레귤레이터는, 출력전압을 출력하는 파워 어레이, 상기 출력전압에 기초하여, 제어전압을 생성하는 디지털 회로부; 및 상기 출력전압의 트랜지션 상태에 따라 결정된 동작 상태에 기초하여, 상기 파워 어레이에 흐르는 보상전류를 생성하기 위한 소스 팔로워로 동작하는 아날로그 회로부를 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711077024
부처명	미래창조과학부
과제관리(전문)기관명	한국연구재단
연구사업명	전략공모_전략과제
연구과제명	해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2018.10.01 ~ 2019.07.31

명세서

청구범위

청구항 1

출력전압을 출력하는 파워 어레이;

상기 출력전압에 기초하여, 제어전압을 생성하는 디지털 회로부; 및

상기 출력전압의 트랜지션 상태에 따라 결정된 동작상태에 기초하여, 상기 파워 어레이에 흐르는 보상전류를 생성하기 위한 소스 팔로워로 동작하는 아날로그 회로부를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 2

제1항에 있어서,

상기 아날로그 회로부는, 상기 보상전류에 기초하여, 상기 제어전압을 소스팔로워전압으로 조절하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 3

제1항에 있어서,

상기 아날로그 회로부는, 상기 파워 어레이와 상기 디지털 회로부 사이에서, 상기 제어전압의 스트랩스를 증가시키는 게이트 버퍼로서 동작하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 4

제1항에 있어서,

상기 디지털 회로부는, 상기 트랜지션 상태와 상기 제어전압에 기초하여, 상기 동작 상태를 파인상태 및 코스상태 중 어느 하나로 결정하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 5

제4항에 있어서,

상기 아날로그 회로부는, 상기 파인상태에서, 상기 파워 어레이를 따라 흐르는 보상전류를 생성하는 소스팔로워 루프; 및

상기 보상전류를 증가시켜 상기 보상전류로 조절하는 부스트 루프를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 6

제5항에 있어서,

상기 소스팔로워루프는, 상기 파워 어레이의 온오프상태에 따라, 상기 제어전압을 동작전압 또는 접지전압으로 출력하는 인버터부; 및

상기 파워 어레이가 오프상태이고, 상기 동작상태가 파인상태인 경우, 입력 바이어스 전류를 생성하는 소스팔로워부를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 7

제6항에 있어서,

상기 인버터부는, 상기 동작전압을 드레인측으로 입력받는 제1 PMOS 트랜지스터;

상기 접지전압을 소스측으로 입력받는 제1 NMOS 트랜지스터; 및

상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 사이에 위치한 제2 PMOS 트랜지스터를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 8

제7항에 있어서,

상기 인버터부는, 상기 제1 NMOS 트랜지스터와 상기 제2 PMOS 트랜지스터 사이에, 상기 파워 어레이와 연결되는 제1 노드가 위치하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 9

제6항에 있어서,

상기 소스팔로워부는, 상기 동작전압을 드레인측으로 입력받는 제2 NMOS 트랜지스터;

상기 접지전압을 소스측으로 입력받는 제3 NMOS 트랜지스터; 및

상기 제2 및 제3 NMOS 트랜지스터 사이에 위치한 제4 및 제5 NMOS 트랜지스터를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 10

제9항에 있어서,

상기 소스팔로워부는, 상기 제4 및 제5 NMOS 트랜지스터 사이에서 상기 파워 어레이와 연결되는 제2 노드가 위치하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 11

제10항에 있어서,

상기 제2 노드는 상기 제1 노드와 전기적으로 연결되는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 12

제5항에 있어서,

상기 부스트 루프는, 상기 출력전압에 기초하여, 상기 출력전압의 변화를 나타내는 감지신호를 생성하는 제1 부스트 인버터부;

상기 감지신호를 인버팅하여 인버팅신호를 생성하는 제2 부스트 인버터부; 및

상기 감지신호와 상기 인버팅 신호에 기초하여, 상기 제어전압을 접지전압으로 조절하는 감지증폭부를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 13

제1항에 있어서,

상기 디지털 회로부를 통해 생성된 상기 제어전압을 딜레이시키는 복수의 게이트 버퍼들을 더 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 14

제13항에 있어서,

상기 아날로그 회로부는, 상기 복수의 게이트 버퍼들 중 어느 하나와 상기 파워 어레이 사이에 전기적으로 연결되는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 15

제1항에 있어서,

상기 디지털 회로부는, 상기 동작상태와 상기 트랜지션 상태에 기초하여, 상기 아날로그 회로부를 제어하기 위

한 제1 및 제2 선택신호를 생성하는 선택신호 생성기를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 16

제1항에 있어서,

상기 상기 디지털 회로부는, 상기 출력전압과 기준전압을 비교하고, 업-다운 신호를 출력하는 동적 비교기;

상기 트랜지션 상태를 검출하는 트랜지션 상태 검출기;

상기 제어전압을 생성하는 메인 컨트롤러;

상기 동작상태를 결정하는 유한상태머신; 및

동작을 위한 클럭을 제공하는 클럭생성기를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 17

제16항에 있어서,

상기 메인 컨트롤러는, 상기 동작상태가 파인상태인 경우, SAR 알고리즘을 통해 상기 제어전압을 생성하는 SAR 컨트롤러; 및

상기 동작상태가 코스상태인 경우, BS 알고리즘을 통해 상기 제어전압을 생성하는 BS 컨트롤러를 포함하는, SAR 기반의 디지털 LDO 레귤레이터.

청구항 18

SAR 기반의 디지털 LDO 레귤레이터의 동작 방법으로서,

파워 어레이가 디지털 회로부로부터 입력받는 제1 제어전압에 응답하여, 출력전압을 출력하는 단계; 및

아날로그 회로부가 상기 출력전압의 트랜지션 상태에 따라 결정된 동작상태에 기초하여, 상기 파워 어레이에 흐르는 보상전류를 생성하기 위한 소스팔로워로 동작하는 단계를 포함하는, SAR 기반의 디지털 LDO 레귤레이터의 동작 방법.

청구항 19

제18항에 있어서,

상기 소스팔로워로 동작하는 단계는, 상기 동작상태에 기초하여, 입력 바이어스 전류를 생성하는 단계;

상기 소스팔로워로 동작함에 따라, 상기 입력 바이어스 전류에 대한 상기 보상전류를 생성하는 단계; 및

상기 보상전류를 증가시켜, 상기 제1 제어전압을 접지전압(VSS)로 조절하는 단계를 포함하는, SAR 기반의 디지털 LDO 레귤레이터의 동작 방법.

청구항 20

제18항에 있어서,

상기 동작상태가 코스상태로 결정된 경우, 상기 디지털 회로부가 상기 동작상태에 기초하여, SAR 알고리즘을 통해 제2 제어전압을 생성하는 단계; 및

상기 동작상태가 파인상태로 결정된 경우, 상기 아날로그 회로부가 상기 보상전류에 기초하여, 상기 제2 제어전압을 상기 제1 제어전압으로 조절하는 단계를 더 포함하는, SAR 기반의 디지털 LDO 레귤레이터의 동작 방법.

발명의 설명

기술 분야

본 출원은 SAR 기반의 디지털 LDO 레귤레이터에 관한 것으로, 특히, 소스팔로워 루프와 부스트 루프를 이용하여, 전압 강화를 완화시킬 수 있는 SAR 기반의 디지털 LDO 레귤레이터에 관한 것이다.

[0001]

배경 기술

- [0002] 최근, System-On-a-Chip(SOC) 기술의 향상에 따라 SOC의 코어 당 동적 전압 및 주파수 스케일링 체계는 Near-threshold 또는 Sub-threshold 범위까지의 광범위한 전원 전압을 제공하는 레귤레이터를 요구하고 있다.
- [0003] 그렇기에, 낮은 전압에서 사용 가능하도록 공급전압에 민감한 증폭기와 같은 아날로그 회로를 사용하지 않고, 디지털 회로로 동작하는 디지털 LDO 레귤레이터(Digital Low-Dropout)가 활발히 연구되고 있다.
- [0004] 이에 따라, 본 출원에서는 빠른 과도 응답을 얻는 동시에, 출력전압이 전압강하(Voltage Drop)되는 시간과 전압 강하(Voltage Drop)되는 크기를 보다 더 감소시킬 수 있는 SAR 기반의 디지털 LDO 레귤레이터를 제공하고자 한다.

발명의 내용

해결하려는 과제

- [0005] 본 출원의 목적은, 출력전압에 대한 레귤레이션을 수행할 때, 출력전압이 전압강하(Voltage Drop)되는 시간과 전압강하(Voltage Drop)되는 크기를 감소시킬 수 있는 SAR 기반의 디지털 LDO 레귤레이터를 제공하기 위한 것이다.

과제의 해결 수단

- [0006] 본 출원의 일 실시예에 따르는 SAR 기반의 디지털 LDO 레귤레이터는, 출력전압을 출력하는 파워 어레이, 상기 출력전압에 기초하여, 제어전압을 생성하는 디지털 회로부; 및 상기 출력전압의 트랜지션 상태에 따라 결정된 동작상태에 기초하여, 상기 파워 어레이에 흐르는 보상전류를 생성하기 위한 소스 팔로워로 동작하는 아날로그 회로부를 포함한다.
- [0007] 실시예에 있어서, 상기 아날로그 회로부는, 상기 보상전류에 기초하여, 상기 제어전압을 소스팔로워전압으로 조절한다.
- [0008] 실시예에 있어서, 상기 아날로그 회로부는, 상기 파워 어레이와 상기 디지털 회로부 사이에서, 상기 제어전압의 스트랩스를 증가시키는 게이트 버퍼로서 동작한다.
- [0009] 실시예에 있어서, 상기 디지털 회로부는, 상기 트랜지션 상태와 상기 제어전압에 기초하여, 상기 동작 상태를 파인상태 및 코스상태 중 어느 하나로 결정한다.
- [0010] 실시예에 있어서, 상기 아날로그 회로부는, 상기 파인상태에서, 상기 파워 어레이를 따라 흐르는 보상전류를 생성하는 소스팔로워루프, 상기 보상전류를 증가시켜 상기 보상전류로 조절하는 부스트 루프를 포함한다.
- [0011] 실시예에 있어서, 상기 소스팔로워루프는, 상기 파워 어레이의 온오프상태에 따라, 상기 제어전압을 동작전압 또는 접지전압으로 출력하는 인버터부 및 상기 파워 어레이가 오프상태이고, 상기 동작상태가 상기 파인상태인 경우, 입력 바이어스 전류를 생성하는 소스팔로워부를 포함한다.
- [0012] 실시예에 있어서, 상기 인버터부는, 상기 동작전압을 드레인측으로 입력받는 제1 PMOS 트랜지스터, 상기 접지전압을 소스측으로 입력받는 제1 NMOS 트랜지스터 및 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 사이에 위치한 제2 PMOS 트랜지스터를 포함한다.
- [0013] 실시예에 있어서, 상기 인버터부는, 상기 제1 NMOS 트랜지스터와 상기 제2 PMOS 트랜지스터 사이에, 상기 파워 어레이와 연결되는 제1 노드가 위치한다.
- [0014] 실시예에 있어서, 상기 소스팔로워부는, 상기 동작전압을 드레인측으로 입력받는 제2 NMOS 트랜지스터, 상기 접지전압을 소스측으로 입력받는 제3 NMOS 트랜지스터 및 상기 제2 및 제3 NMOS 트랜지스터 사이에 위치한 제4 및 제5 NMOS 트랜지스터를 포함한다.
- [0015] 실시예에 있어서, 상기 소스팔로워부는, 상기 제4 및 제5 NMOS 트랜지스터 사이에서 상기 파워 어레이와 연결되는 제2 노드가 위치한다.
- [0016] 실시예에 있어서, 상기 제2 노드는 상기 제1 노드와 전기적으로 연결된다.
- [0017] 실시예에 있어서, 상기 부스트 루프는, 상기 출력전압에 기초하여, 상기 출력전압의 변화를 나타내는 감지신호

를 생성하는 제1 부스트 인버터부, 상기 감지신호를 인버팅하여 인버팅신호를 생성하는 제2 부스트 인버터부 및 상기 감지신호와 상기 인버팅 신호에 기초하여, 상기 제어전압을 접지전압으로 조절하는 감지증폭부를 포함한다.

- [0018] 실시예에 있어서, 상기 디지털 회로부를 통해 생성된 상기 제어전압을 딜레이시키는 복수의 게이트 버퍼들을 더 포함한다.
- [0019] 실시예에 있어서, 상기 아날로그 회로부는, 상기 복수의 게이트 버퍼들 중 어느 하나와 상기 파워 어레이 사이에 전기적으로 연결된다.
- [0020] 실시예에 있어서, 상기 디지털 회로부는, 상기 동작상태와 상기 트랜지션 상태에 기초하여, 상기 아날로그 회로부를 제어하기 위한 제1 및 제2 선택신호를 생성하는 선택신호 생성기를 포함한다.
- [0021] 실시예에 있어서, 상기 상기 디지털 회로부는, 상기 출력전압과 기준전압을 비교하고, 업-다운 신호를 출력하는 동적 비교기, 상기 트랜지션 상태를 검출하는 트랜지션 상태 검출기, 상기 제어전압을 생성하는 메인 컨트롤러, 상기 동작상태를 결정하는 유한상태머신 및 클럭을 제공하는 클럭생성기를 포함한다.
- [0022] 실시예에 있어서, 상기 메인 컨트롤러는, 상기 동작상태가 파인상태인 경우, SAR 알고리즘을 통해 상기 제어전압을 생성하는 SAR 컨트롤러 및 상기 동작상태가 코스상태인 경우, BS 알고리즘을 통해 상기 제어전압을 생성하는 BS 컨트롤러를 포함한다.
- [0023] 본 출원의 일 실시예에 따르는 SAR 기반의 디지털 LDO 레귤레이터의 동작 방법으로서, 파워 어레이가 디지털 회로로부터 입력받는 제1 제어전압에 응답하여, 출력전압을 출력하는 단계 및 아날로그 회로부가 상기 출력전압의 트랜지션 상태에 따라 결정된 동작상태에 기초하여, 상기 파워 어레이에 흐르는 보상전류를 생성하기 위한 소스팔로워로 동작하는 단계를 포함한다.
- [0024] 실시예에 있어서, 상기 소스팔로워로 동작하는 단계는, 상기 동작상태에 기초하여, 입력 바이어스 전류를 생성하는 단계, 상기 소스팔로워로 동작함에 따라, 상기 입력 바이어스 전류에 대한 상기 보상전류를 생성하는 단계 및 상기 보상전류를 증가시켜, 상기 제1 제어전압을 접지전압(VSS)로 조절하는 단계를 포함한다.
- [0025] 실시예에 있어서, 상기 동작상태가 코스상태로 결정된 경우, 상기 디지털 회로부가 상기 동작상태에 기초하여, SAR 알고리즘을 통해 제2 제어전압을 생성하는 단계 및 상기 동작상태가 파인상태로 결정된 경우, 상기 아날로그 회로부가 상기 보상전류에 기초하여, 상기 제2 제어전압을 상기 제1 제어전압으로 조절하는 단계를 더 포함한다.

발명의 효과

- [0026] 본 출원의 실시예에 따른 SAR 기반의 디지털 LDO 레귤레이터는, 출력전압에 대한 레귤레이션을 수행할 때, 출력전압이 전압강하(Voltage Drop)되는 시간과 전압강하(Voltage Drop)되는 크기를 감소시킬 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 출원의 일 실시예에 따른 SAR 기반의 디지털 LDO 레귤레이터의 블록도이다.
- 도 2는 도 1의 아날로그 회로부의 블록도이다.
- 도 3은 도 2의 소스팔로워 루프에 대한 실시 예이다.
- 도 4는 도 2의 부스트 루프에 대한 실시 예이다.
- 도 5는 도 3의 소스팔로워 루프에 대한 동작 타이밍 도이다.
- 도 6은 도 5의 소스팔로워 루프의 동작에 대한 일 실시예이다.
- 도 7은 도 5의 소스팔로워 루프의 동작에 대한 다른 실시예이다.
- 도 8은 도 5의 소스팔로워 루프의 동작에 대한 또 다른 실시예이다.
- 도 9는 도 1의 SAR 기반의 디지털 LDO 레귤레이터에 대한 실시 예이다.
- 도 10은 도 1의 SAR 기반의 디지털 LDO 레귤레이터에 대한 동작 타이밍 도이다.
- 도 11은 도 1의 SAR 기반의 디지털 LDO 레귤레이터 동작 프로세스이다.

도 12는 도 2의 아날로그 회로부의 동작 프로세스이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0029] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0030] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0032] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0034] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.
- [0035] 도 1은 본 출원의 일 실시예에 따른 SAR 기반의 디지털 LDO 레귤레이터(100)의 블록도이다.
- [0036] 도 1을 참조하면, SAR 기반의 디지털 LDO 레귤레이터(100)는 파워 어레이(110), 디지털 회로부(120) 및 아날로그 회로부(130)를 포함할 수 있다.
- [0037] 먼저, 파워 어레이(110)는 출력전압(V_0)을 출력할 수 있다. 구체적으로, 파워 어레이(110)는 디지털 회로부(120)로부터 출력받는 제어전압(V_C)에 응답하여, 제어전압(V_C)에 대응되는 출력전압(V_0)을 출력할 수 있다.
- [0038] 다음으로, 디지털 회로부(120)는 출력전압(V_0)에 기초하여, 제어전압(V_C)을 생성할 수 있다. 구체적으로, 디지털 회로부(120)는 파워 어레이(110)로부터 출력받는 출력전압(V_0)과 목표전압(V_T)을 비교하고, 출력전압(V_0)과 목표전압(V_T) 사이의 전압차에 기초하여, 제어전압(V_C)을 생성할 수 있다.
- [0039] 다음으로, 아날로그 회로부(130)는 출력전압(V_0)의 트랜지션 상태(Transient Statue)에 따라 결정된 동작상태(STD)에 기초하여, 파워 어레이(110)에 흐르는 보상전류(I_{PMOS})를 생성하는 소스 팔로워(Source Follower)로 동작할 수 있다.
- [0040] 여기서, 출력전압(V_0)의 트랜지션 상태(Transient Statue)는 출력전압이 기설정된 기준전압 구간을 벗어나는 지

여부를 나타내는 정보일 수 있다. 또한, 동작상태(STD)는 출력전압(V_0)의 트랜지션 상태(Transient Statue)와 제어전압(V_c)에 따라 디지털 회로부(120)로부터 결정될 수 있다.

[0041] 일 실시예에 따라, 출력전압(V_0)의 트랜지션 상태(Transient Statue)에 따라 결정된 동작상태가 파인상태(Fine State)인 경우, 아날로그 회로부(130)는 파워 어레이(110)에 흐르는 보상전류(I_{PMOS})를 생성하는 소스 팔로워(Source Follower)로 동작할 수 있다.

[0042] 다른 실시예에 따라, 출력전압(V_0)의 트랜지션 상태(Transient Statue)에 따라 결정된 동작상태가 코스상태(Coarse State)인 경우, 아날로그 회로부(130)는 디지털 회로부(120)를 통해 생성된 제어전압(V_c)에 대한 스트랭스(strength)를 증가시키는 게이트 버퍼로서 동작할 수 있다.

[0043] 본 출원의 기술적 사상에 따른 아날로그 회로부(130)는 보상전류(I_{PMOS})에 기초하여, 제어전압(V_c)을 소스팔로워 전압(V_{SF})으로 조절할 수 있다. 여기서, 소스팔로워 전압(V_{SF})은 보상전류(I_{PMOS})에 대응되는 전압일 수 있다. 이에 따라, 아날로그 회로부(130)는 파인상태(Fine State)에서, 소스팔로워 전압(V_{SF})을 기준으로 제어전압(V_c)을 조절함으로써, 출력전압(V_0)이 전압강하(Voltage Drop)되는 시간과 전압강하(Voltage Drop)되는 크기를 감소시킬 수 있다. 나아가, 출력전압(V_0)이 전압강하(Voltage Drop)되는 시간이 감소되기 때문에, 작은 커패시턴스 크기를 가지는 출력 커패시터를 통해 빠른 과도 응답 특성을 가질 수 있게 하는 효과가 있다.

[0044] 이하, 도 2 내지 도 4를 참조하여, 도 1의 아날로그 회로부(130)에 대해 보다 구체적으로 설명한다.

[0045] 도 2는 도 1의 아날로그 회로부(130)의 블록도이고, 도 3은 도 2의 소스팔로워 루프(131)에 대한 실시 예이고, 도 4는 도 2의 부스트 루프(135)에 대한 실시 예이다.

[0046] 도 1 내지 도 4를 참조하면, 아날로그 회로부(130)는 소스팔로워 루프(131)와 부스트 루프(135)를 포함할 수 있다.

[0047] 또한, 소스팔로워 루프(131)는 인버터부(132)와 소스팔로워부(133)를 포함할 수 있다.

[0048] 먼저, 인버터부(132)는 제1 및 제2 PMOS 트랜지스터(132_1, 132_2)와 제1 NMOS 트랜지스터(132_3)를 포함할 수 있다.

[0049] 여기서, 제1 PMOS 트랜지스터(132_1)는 드레인측으로 동작전압(VDD)을 입력받고, 제1 NMOS 트랜지스터(132_3)는 소스측으로 접지전압(VSS)을 입력받으며, 제2 PMOS 트랜지스터(132_2)는 제1 PMOS 트랜지스터(132_1)와 제1 NMOS 트랜지스터(132_3) 사이에 위치할 수 있다.

[0050] 이때, 제2 PMOS 트랜지스터(132_2)와 제1 NMOS 트랜지스터(132_3) 사이에는 제1 노드(N1)가 위치할 수 있다. 여기서, 제1 노드(N1)는 파워 어레이(110)에 전기적으로 연결될 수 있다.

[0051] 실시예에 따른 인버터부(132)는 파워 어레이(110)의 온오프상태에 따라, 제1 및 제2 PMOS 트랜지스터(132_1, 132_2)와 제1 NMOS 트랜지스터(132_3)를 스위칭하여, 제어전압(V_c)을 동작전압(VDD) 또는 접지전압(VSS)으로 파워 어레이(110)에 출력할 수 있다.

[0052] 구체적으로, 제1 PMOS 트랜지스터(132_1)는 디지털 회로부(120)로부터 전송받는 DIG 신호에 기초하여, 동작전압(VDD)을 제2 PMOS 트랜지스터(132_2)로 스위칭할 수 있다. 또한, 제1 NMOS 트랜지스터(132_3)는 DIG 신호에 기초하여, 접지전압(VSS)을 제2 PMOS 트랜지스터(132_2)로 스위칭할 수 있다.

[0053] 여기서, DIG 신호는 파워 어레이(110)의 온오프 상태에 따라 디지털 회로부(120)로부터 전송받는 신호일 수 있다. 예를 들면, 파워 어레이(110)가 오프상태인 경우, DIG 신호는 LOW이고, 파워 어레이(110)가 온상태인 경우, DIG 신호는 HIGH일 수 있다.

[0054] 또한, 제2 PMOS 트랜지스터(132_2)는 디지털 회로부(120)로부터 전송받는 제1 선택신호(SEL1)에 기초하여, 제1 PMOS 트랜지스터(132_1)와 제1 NMOS 트랜지스터(132_3)를 전기적으로 연결할 수 있다.

[0055] 여기서, 제1 선택신호(SEL1)는 동작상태에 따라 디지털 회로부(120)로부터 전송받는 신호일 수 있다. 예를 들면, 동작상태가 파인상태(Fine State)인 경우, 제1 선택신호(SEL1)는 1의 값이고, 동작상태가 코스상태(Coarse State)인 경우, 제1 선택신호(SEL1)는 0의 값일 수 있다.

- [0056] 즉, 파워 어레이(110)가 오프상태이고, 동작상태가 파인상태(Fine State)인 경우, 제1 및 제2 PMOS 트랜지스터(132_1, 132_2)와 제1 NMOS 트랜지스터(132_3)는 동작전압(VDD)을 제1 노드(N1)를 통해 파워 어레이(110)로 출력할 수 있다. 또한, 파워 어레이(110)가 온상태인 경우, 제1 및 제2 PMOS 트랜지스터(132_1, 132_2)와 제1 NMOS 트랜지스터(132_3)는 동작상태에 관계없이, 접지전압(VSS)을 제1 노드(N1)를 통해 파워 어레이(110)로 출력할 수 있다.
- [0057] 다음으로, 소스팔로워부(133)는 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)를 포함할 수 있다.
- [0058] 여기서, 제2 NMOS 트랜지스터(133_2)는 드레인측으로 동작전압(VDD)을 입력받고, 제3 NMOS 트랜지스터(133_3)는 소스측으로 접지전압(VSS)을 입력받으며, 제4 NMOS 트랜지스터(133_4)와 제5 NMOS 트랜지스터(133_5)는 제2 NMOS 트랜지스터(133_2)와 제3 NMOS 트랜지스터(133_3) 사이에 위치할 수 있다.
- [0059] 이때, 제4 NMOS 트랜지스터(133_4)와 제5 NMOS 트랜지스터(133_5) 사이에는 제2 노드(N2)가 위치할 수 있다. 여기서, 제2 노드(N2)는 일측으로, 파워 어레이(110)와 전기적으로 연결되고, 타측으로, 제1 노드와 전기적으로 연결될 수 있다.
- [0060] 실시예에 따라, 소스팔로워부(133)는 파워 어레이(110)가 오프상태이고, 동작상태가 파인상태(Fine State)인 경우, 입력 바이어스 전류(Ibias)를 생성할 수 있다.
- [0061] 구체적으로, 제2 NMOS 트랜지스터(133_2)는 파워 어레이(110)로부터 출력받는 출력전압(V_0)에 기초하여, 동작전압(VDD)을 제4 NMOS 트랜지스터(133_4)로 스위칭할 수 있다. 또한, 제3 NMOS 트랜지스터(133_3)는 디지털 회로부(120)로부터 전송받는 제1 선택신호(SEL1)에 기초하여, 접지전압(VSS)을 제5 NMOS 트랜지스터(133_5)로 스위칭할 수 있다. 이때, 제4 NMOS 트랜지스터(133_4)는 디지털 회로부(120)로부터 전송받는 제1 선택신호(SEL1)에 기초하여, 동작전압(VDD)을 제5 NMOS 트랜지스터(133_5)로 스위칭할 수 있다.
- [0062] 한편, 제5 NMOS 트랜지스터(133_5)는 디지털 회로부(120)로부터 전송받는 기설정된 전압(V_B)에 기초하여, 제3 NMOS 트랜지스터(133_3)와 제4 NMOS 트랜지스터(133_4)를 전기적으로 연결할 수 있다.
- [0063] 즉, 파워 어레이(110)가 오프상태이고, 동작상태가 파인상태(Fine State)인 경우, 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)는 동작전압(VDD)과 접지전압(VSS)을 연결하여, 입력 바이어스 전류(Ibias)를 생성할 수 있다.
- [0064] 다음으로, 부스트 루프(135)는 제1 및 제2 부스트 인버터부(136, 137)와 감지증폭부(138)를 포함할 수 있다.
- [0065] 먼저, 제1 부스트 인버터부(136)는 2개의 PMOS 트랜지스터와 1개의 NMOS 트랜지스터를 포함하고, 제2 선택신호(SEL2)와 출력전압(V_0)에 기초하여, 감지신호(INV)를 생성할 수 있다. 여기서, 감지신호(INV)는 출력전압(V_0)의 변화를 나타낼 수 있다.
- [0066] 다음으로, 제2 부스트 인버터부(137)는 1개의 PMOS 트랜지스터와 1개의 NMOS 트랜지스터를 포함하고, 감지신호(INV)에 기초하여, 인버팅신호(INVB)를 생성할 수 있다.
- [0067] 다음으로, 감지증폭부(138)는 한쌍의 래치(138_1, 138_2)를 포함하고, 한쌍의 래치(138_1, 138_2) 중 어느 하나(예컨대, 138_1)를 통해 소스팔로워 루프(131)에 전기적으로 연결될 수 있다. 이때, 감지증폭부(138)는 감지신호(INV) 및 인버팅신호(INVB)에 기초하여, 제어전압(V_c)을 접지전압(VSS)으로 조절할 수 있다.
- [0068] 이에 따라, 부스트 루프(135)는 제1 및 제2 부스트 인버터부(136, 137)와 감지증폭부(138)를 통해, 파워 어레이(110)의 사이즈에 따라 변화되는 소스 팔로워(Source Follower)의 동작 속도를 증가시킬 수 있다.
- [0069] 도 5는 도 3의 소스팔로워 루프(131)에 대한 동작 타이밍 도이고, 도 6은 도 5의 소스팔로워 루프(131)의 동작에 대한 일 실시예이며, 도 7은 도 5의 소스팔로워 루프(131)의 동작에 대한 다른 실시예이고, 도 8은 도 5의 소스팔로워 루프(131)의 동작에 대한 다른 실시예이다.
- [0070] 도 1 내지 도 8을 참조하면, 소스팔로워 루프(131)는 디지털 회로부(120)로부터 DIG 신호 및 제1 선택신호(SEL1)를 전송받을 수 있다.
- [0071] 구체적으로, 제1 PMOS 트랜지스터(132_1)와 제1 NMOS 트랜지스터(132_3)는 디지털 회로부(120)로부터 DIG 신호를 전송받고, 제2 PMOS 트랜지스터(132_2), 제3 NMOS 트랜지스터(133_3) 및 제5 NMOS 트랜지스터(133_5)는 디지털 회로부(120)로부터 제1 선택신호(SEL1)를 전송받을 수 있다.
- [0072] 일 실시예에 따라, DIG 신호가 LOW이고, 제1 선택신호(SEL1)가 0인 경우, 소스팔로워 루프(131)는 제1 및 제2

노드(N1, N2)를 통해 동작전압(VDD)를 제어전압(V_C)으로 출력할 수 있다.

- [0073] 여기서, DIG 신호가 LOW인 경우, 제1 선택신호(SEL1)는 동작상태(Std)에 대응될 수 있다. 예를 들면, DIG 신호가 LOW 이고, 제1 선택신호(SEL1)가 0인 경우, 동작상태(Std)는 코스상태(Coarse State)에 해당하는 LOW일 수 있다. 또한, DIG 신호가 LOW 이고, 제1 선택신호(SEL1)가 1인 경우, 동작상태(Std)는 파인상태(Fine State)에 해당하는 HIGH일 수 있다.
- [0074] 도 5(A) 및 도 6에 도시된 바와 같이, DIG 신호가 LOW 이고, 제1 선택신호(SEL1)가 0이며, 동작상태(Std)가 LOW인 경우, 제1 PMOS 트랜지스터(132_1)와 제2 PMOS 트랜지스터(132_2)는 서로 전기적으로 연결되고, 동작전압(VDD)을 제1 및 제2 노드(N1, N2)를 통해 파워 어레이(110)로 출력할 수 있다. 즉, DIG 신호가 LOW 이고, 제1 선택신호(SEL1)가 0이며, 동작상태(Std)가 코스상태(Coarse State)인 경우, 소스팔로워 루프(131)는 제어전압(V_C)을 동작전압(VDD)으로 조절할 수 있다.
- [0075] 다른 실시예에 따라, DIG 신호가 LOW이고, 제1 선택신호(SEL1)가 1인 경우, 소스팔로워 루프(131)는 제어전압(V_C)을 소스팔로워전압(V_{SF})으로 조절할 수 있다.
- [0076] 도 5(B) 및 도 7에 도시된 바와 같이, DIG 신호가 LOW이고, 제1 선택신호(SEL1)가 1이며, 동작상태(Std)가 HIGH인 경우, 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)는 서로 전기적으로 연결되고, 입력 바이어스 전류(Ibias)를 생성할 수 있다. 여기서, 입력 바이어스 전류(Ibias)는 동작전압(VDD)과 동작전압(VSS)에 의하여 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)를 따라 흐르는 전류일 수 있다.
- [0077] 이때, 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)는 파워 어레이(110)와 연결되어, 소스팔로워 동작을 수행할 수 있다. 구체적으로, 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)는 파워 어레이(110)를 따라 흐르는 보상전류(I_{PMOS})에 기초하여, 제어전압(V_C)을 소스팔로워전압(V_{SF})으로 조절할 수 있다.
- [0078] 예를 들면, 소스 팔로워(Source Follower)는 입력과 출력이 서로 비례관계를 가지는 회로로서, 제2 내지 제5 NMOS 트랜지스터(133_2~133_5)와 파워 어레이(110)는 소스 팔로워(Source Follower)를 형성하는 동시에, 출력전압(V_O)을 입력받을 수 있다. 이에 따라, 보상전류(I_{PMOS})가 생성됨에 따라, 출력전압(V_O)은 감소되고, 출력전압(V_O)과 비례관계인 제어전압(V_C)은 보상전류(I_{PMOS})에 대응되는 소스팔로워전압(V_{SF})으로 감소될 수 있다.
- [0079] 또 다른 실시예에 따라, DIG 신호가 HIGH인 경우, 소스팔로워 루프(131)는 동작상태(Std)와 관계없이, 제1 및 제2 노드(134_1, 134_2)를 통해 제어전압(V_C)을 접지전압(VSS)로 조절할 수 있다. 도 5(C), 도 5(D) 및 도 8에 도시된 바와 같이, DIG 신호가 HIGH이고, 제1 선택신호(SEL1)가 0 또는 1인 경우, 제1 NMOS 트랜지스터(132_3)는 접지전압(VSS)을 제1 및 제2 노드(134_1, 134_2)를 통해 파워 어레이(110)로 출력할 수 있다.
- [0080] 이하, 도 9를 참조하여, 파워 어레이(110)와 디지털 회로부(120)에 대해 보다 구체적으로 설명될 것이다.
- [0081] 도 9는 도 1의 SAR 기반의 디지털 LDO 레귤레이터(100)에 대한 실시 예이다.
- [0082] 도 1 내지 도 9를 참조하면, SAR 기반의 디지털 LDO 레귤레이터(100)는 파워 어레이(110), 디지털 회로부(120), 아날로그 회로부(130), 복수의 게이트 버퍼들(140_1~140_N) 및 출력커패시터(150)를 포함할 수 있다. 이하, 도 1 내지 도 4에서 설명된 동일한 부재번호의 파워 어레이(110), 디지털 회로부(120) 및 아날로그 회로부(130)에 대한 중복된 설명은 생략될 것이다.
- [0083] 먼저, 파워 어레이(110)는 제1 파워 트랜지스터부(111_1~111_N)와 제2 파워 트랜지스터부(112_1~112_N)를 포함할 수 있다.
- [0084] 구체적으로, 제1 파워 트랜지스터부(111_1~111_N)는 제어전압(V_C)의 기설정된 상위 비트들에 따라 동작하는 복수의 파워 트랜지스터들을 포함할 수 있다. 또한, 제2 파워 트랜지스터부(112_1~112_N)는 제어전압(V_C)의 기설정된 하위 비트들에 따라 동작하는 복수의 파워 트랜지스터들을 포함할 수 있다. 즉, 제어전압(V_C)은 제1 파워 트랜지스터부(111_1~111_N)와 제2 파워 트랜지스터부(112_1~112_N)의 비트트들을 동작시키기 위한 제어코드일 수 있다.
- [0085] 예를 들면, 제1 파워 트랜지스터부(111_1~111_N)는 10-BIT Binary Array로서, 제어전압(V_C)의 기설정된 상위코드를 전송받고, 제2 파워 트랜지스터부(112_1~112_N)는 4-Bit Unary Array로서, 제어전압(V_C)의 기설정된 하위

코드를 전송받을 수 있다.

- [0086] 다음으로, 디지털 회로부(120)는 동적 비교기(121), 트랜지션 검출기(122), 메인 컨트롤러(123), 유한상태머신(124), 선택신호 생성기(125) 및 클럭생성기(126)를 포함할 수 있다.
- [0087] 먼저, 동적 비교기(121)는 파워 어레이(110)를 통해 출력받는 출력전압(V_0)과 기설정된 목표전압(V_T)을 비교할 수 있다. 그런 다음, 동적 비교기(121)는 출력전압(V_0)과 목표전압(V_T) 간의 비교 결과에 따라, 업 신호(UP) 또는 다운 신호(DN)를 생성하여, 메인 컨트롤러(123)에 전송할 수 있다.
- [0088] 다음으로, 트랜지션 검출기(122)는 출력전압(V_0)과 기준전압 구간(VREFH1, VREFL1)을 비교하여 출력전압(V_0)에 대한 트랜지션 상태(Transient Statue)를 검출할 수 있다. 즉, 트랜지션 검출기(122)는 출력전압(V_0)에 대한 트랜지션 상태(Transient Statue)를 나타내는 트랜지션 신호(TRSTB)를 유한상태머신(124)과 클럭생성기(125)로 출력할 수 있다.
- [0089] 여기서, 트랜지션 상태는 마일드 트랜지션(Mild Transient)과 헤비 트랜지션(Heavy Transient)을 포함할 수 있다. 예를 들면, 마일드 트랜지션(Mild Transient)은 출력전압(V_0)이 기준전압 구간 내에 위치한 상태를 의미하고, 헤비 트랜지션(Heavy Transient)은 출력전압(V_0)이 기준전압 구간을 벗어난 상태를 의미할 수 있다.
- [0090] 다음으로, 메인컨트롤러(123)는 SAR 컨트롤러(123_1)와 BS 컨트롤러(123_2)를 포함할 수 있다.
- [0091] 구체적으로, SAR 컨트롤러(123_1)는 동적 비교기(121)로부터 출력받는 업 신호(UP) 또는 다운 신호(DN)에 기초하여, SAR 알고리즘을 통해 제1 파워 트랜지스터부(111_1~111_N)를 제어하기 위한 제어전압(V_c)을 생성할 수 있다. 또한, BS 컨트롤러(123_2)는 동적 비교기(121)로부터 출력받는 업 신호(UP) 또는 다운 신호(DN)에 기초하여, BS 알고리즘을 통해 제2 파워 트랜지스터부(112_1~112_N)를 제어하기 위한 제어전압(V_c)을 생성할 수 있다.
- [0092] 즉, 메인컨트롤러(123)는 동적 비교기(121)로부터 출력받는 업 신호(UP) 또는 다운 신호(DN)에 기초하여, 제어전압(V_c)을 생성할 수 있다.
- [0093] 다음으로, 유한상태머신(124)은 출력전압(V_0)에 대한 트랜지션 상태(Transient Statue)와 메인컨트롤러(123)를 통해 생성된 제어전압(V_c)에 기초하여, 파인상태(Fine State) 및 코스상태(Coarse State) 중 어느 하나의 동작 상태를 결정할 수 있다. 즉, 유한상태머신(124)은 코스상태(Coarse State)를 나타내는 동작신호 또는 파인상태(Fine State)를 나타내는 동작상태 신호를 출력할 수 있다.
- [0094] 다음으로, 선택신호 생성기(125)는 메인컨트롤러(123)를 통해 생성된 제어전압(V_c)과 유한상태머신(124)를 통해 출력받는 동작상태 신호에 기초하여, 제1 및 제2 선택신호(SEL1, SEL2)를 생성할 수 있다.
- [0095] 이때, 선택신호 생성기(125)는 제1 선택신호(SEL1)를 아날로그 회로부(130)의 소스팔로워 루프(131)로 출력하고, 제2 선택신호(SEL2)를 아날로그 회로부(130)의 제1 부스트 인버터부(136)로 출력할 수 있다.
- [0096] 다음으로, 클럭생성기(126)는 디지털 회로부(120)를 동작시키기 위한 클럭(CLK)을 생성하여, 동적 비교기(121), 트랜지션 검출기(122), 메인 컨트롤러(123), 유한상태머신(124) 및 선택신호 생성기(125)에 제공할 수 있다.
- [0097] 다음으로, 복수의 게이트 버퍼들(140_1~140_N)은 디지털 회로부(120)로부터 출력받는 제어전압(V_c)을 딜레이시키고, 딜레이된 제어전압(V_c)을 파워 어레이(110)에 출력하거나, 아날로그 회로부(130)로 출력할 수 있다.
- [0098] 다음으로, 출력 커패시터(150)는 출력전압(V_0)을 지연시키고, 시간에 따른 출력전압(V_0)의 전위차를 제공할 수 있다.
- [0099] 도 10은 도 1의 SAR 기반의 디지털 LDO 레귤레이터(100)에 대한 동작 타이밍 도이다.
- [0100] 도 1 내지 도 10을 참조하면, T1 시간에서, 출력전압(V_0)에 대한 트랜지션이 발생한 경우, 아날로그 회로부(130)는 T1~T2 시간동안, 파워 어레이(110)와의 소스팔로워 동작을 통해 보상전류(I_{PMOS1})를 생성할 수 있다.
- [0101] 구체적으로, 아날로그 회로부(130)는 T1~T2 시간동안, 디지털 회로부(120)에서 생성된 제어전압(V_c)을 제1 제어

전압(V_{C1})으로 조절할 수 있다. 여기서, 제1 제어전압(V_{C1})은 보상전류(I_{PMOS})에 따라 제어전압(V_C)으로부터 전압 강하(Voltage Drop)된 전압일 수 있다. 예를 들면, 아날로그 회로부(130)는 소스팔로워 루프(131)를 통해 생성된 보상전류(I_{PMOS})에 기초하여, 제어전압(V_C)을 제1 제어전압(V_{C1})으로 감소시킬 수 있다.

[0102] 다음으로, 출력전압(V_0)이 레귤레이션되는 T2 시간에서, 트랜지션 검출기(122)는 LOW 상태에 해당하는 트랜지션 신호(TRSTB)를 유한상태머신(124)으로 출력할 수 있다. 이때, 유한상태머신(124)은 T2 시간에서, LOW 상태에 해당하는 트랜지션 신호(TRSTB)와 제1 제어전압(V_{C1})에 기초하여, 동작상태를 코스상태(Coarse State)로 결정할 수 있다.

[0103] 다음으로, 아날로그 회로부(130)는 T2~T3 시간동안, 부스트 루프(135)를 통해 제어전압(V_C)을 접지전압(VSS)으로 조절할 수 있다. 구체적으로, 아날로그 회로부(130)는 T2~T3 시간동안, 부스트 루프(135)를 통해 보상전류(I_{PMOS})를 증가시켜, 제어전압(V_C)과 제1 제어전압(V_{C1}) 사이의 전압차를 증가시키기 위하여, 제어전압(V_C)을 접지전압(VSS)으로 조절할 수 있다.

[0104] 다음으로, 디지털 회로부(120)는 T3 시간에서, 유한상태머신(124)을 통해 결정된 코스상태(Coarse State) 및 트랜지션 검출기(122)로부터 전송받는 HIGH 상태의 트랜지션 신호(TRSTB)에 기초하여, 제2 제어전압(V_{C2})을 생성할 수 있다. 여기서, 제2 제어전압(V_{C2})은 SAR 알고리즘을 통해 생성된 전압일 수 있다.

[0105] 다음으로, 유한상태머신(124)은 T4 시간에서, HIGH 상태에 해당하는 트랜지션 신호(TRSTB)와 제2 제어전압(V_{C2})에 기초하여, 동작상태(STD)를 파인상태(Fine State)로 결정할 수 있다. 이때, 선택신호 생성기(125)는 유한상태머신(124)을 통해 파인상태(Fine State)에 기초하여, 제1 및 제2 선택신호(SEL1, SEL2)를 아날로그 회로부(130)로 전송할 수 있다.

[0106] 그런 다음, 아날로그 회로부(130)는 T4~T5 시간동안, 제1 및 제2 선택신호(SEL1, SEL2)와 파인상태(Fine State)에 기초하여, 제2 제어전압(V_{C2})을 소스팔로워전압(V_{SF})으로 조절할 수 있다. 여기서, 소스팔로워전압(V_{SF})은 T1~T3 시간동안 생성되고, 증가된 보상전류(I_{PMOS})에 대응될 수 있다.

[0107] 이후, 파워 어레이(110)는 T5 시간 이후, 소스팔로워전압(V_{SF})에 기초하여, 안정화된 출력전압(V_0)을 출력할 수 있다.

[0108] 도 11은 도 1의 SAR 기반의 디지털 LDO 레귤레이터(100)의 동작 프로세스이다.

[0109] 도 1 내지 도 11을 참조하면, S110 단계에서, 파워 어레이(110)는 디지털 회로부(120)로부터 입력받는 제1 제어전압(V_{C1})에 응답하여, 출력전압(V_0)을 출력할 수 있다.

[0110] 다음으로, S120 단계에서, 아날로그 회로부(130)는 출력전압(V_0)의 트랜지션 상태(Transient Statue)에 따라 결정된 동작상태(STD)에 기초하여, 파워 어레이(110)에 흐르는 보상전류(I_{PMOS})를 생성하는 소스팔로워로 동작할 수 있다.

[0111] 이때, S130 단계에서, 동작상태(STD)가 코스상태(Coarse State)로 결정된 경우, 디지털 회로부(120)는 SAR 알고리즘을 통해 제2 제어전압(V_{C2})을 생성할 수 있다.

[0112] 이후, S140 단계에서, 동작상태(STD)가 파인상태(Fine State)로 변환된 경우, 아날로그 회로부(130)는 보상전류(I_{PMOS})에 대응되는 소스팔로워전압(V_{SF})을 기준으로, 제2 제어전압(V_{C2})을 제1 제어전압(V_{C1})으로 조절할 수 있다. 여기서, 제1 제어전압(V_{C1})은 소스팔로워전압(V_{SF})일 수 있다. 즉, 동작상태(STD)가 파인상태(Fine State)로 변환된 경우, 도 1에서 설명된 바와 같이, 아날로그 회로부(130)는 보상전류(I_{PMOS})에 기초하여, 디지털 회로부(120)를 통해 생성된 제어전압(V_C)을 소스팔로워전압(V_{SF})으로 조절할 수 있다.

[0113] 도 12는 도 2의 아날로그 회로부(130)의 동작 프로세스이다.

[0114] 도 2 내지 도 8, 도 11 및 도 12를 참조하면, S121 단계에서, 아날로그 회로부(130)는 동작상태(STD)에 기초하여, 입력 바이어스 전류(I_{bias})를 생성할 수 있다.

[0115] 그런 다음, S122 단계에서, 아날로그 회로부(130)는 소스팔로워로 동작함에 따라, 입력 바이어스 전류(I_{bias})에 대한 보상전류(I_{PMOS})를 파워 어레이(110)에 생성할 수 있다.

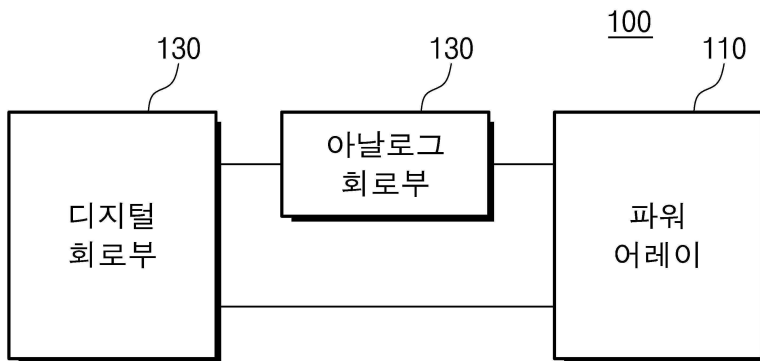
[0116] 이후, S123 단계에서, 아날로그 회로부(130)는 보상전류(I_{PMOS})를 증가시켜, 제1 제어전압(V_{cl})을 접지전압(VSS)로 조절할 수 있다.

부호의 설명

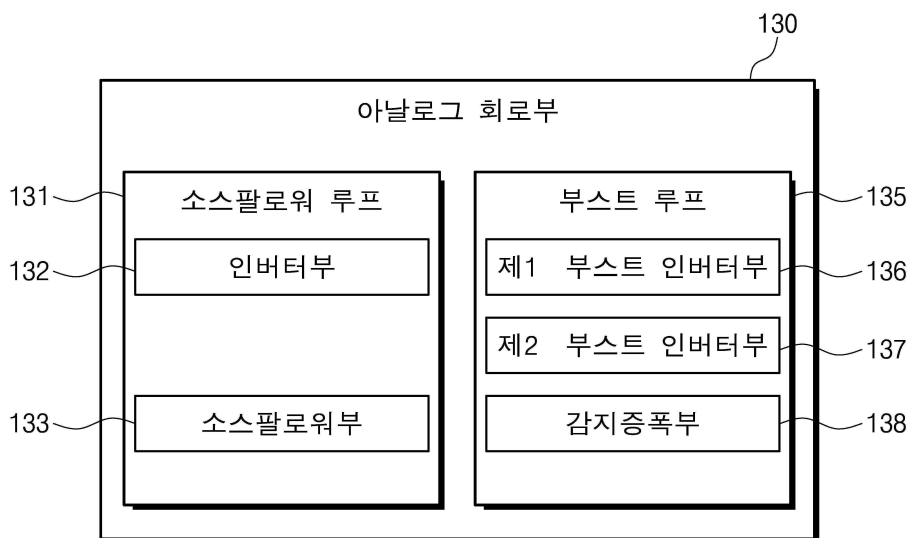
[0117] 100: SAR 기반의 디지털 LDO 레귤레이터
110: 파워 어레이
120: 디지털 회로부
130: 아날로그 회로부

도면

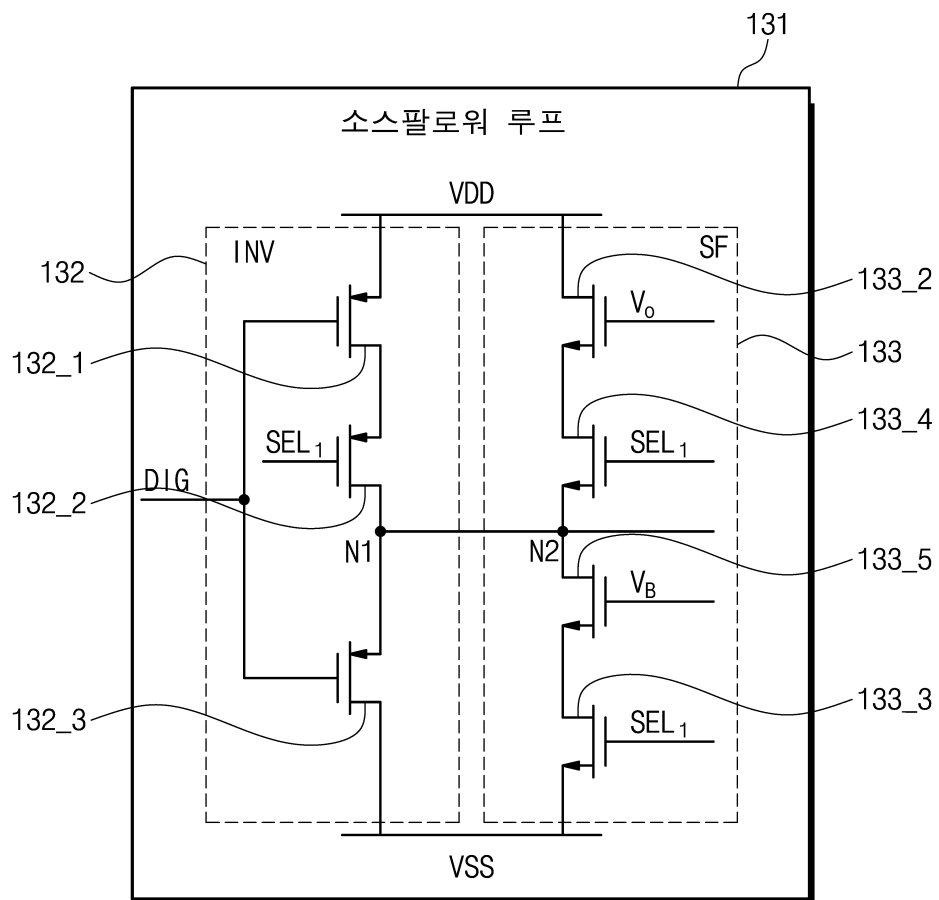
도면1



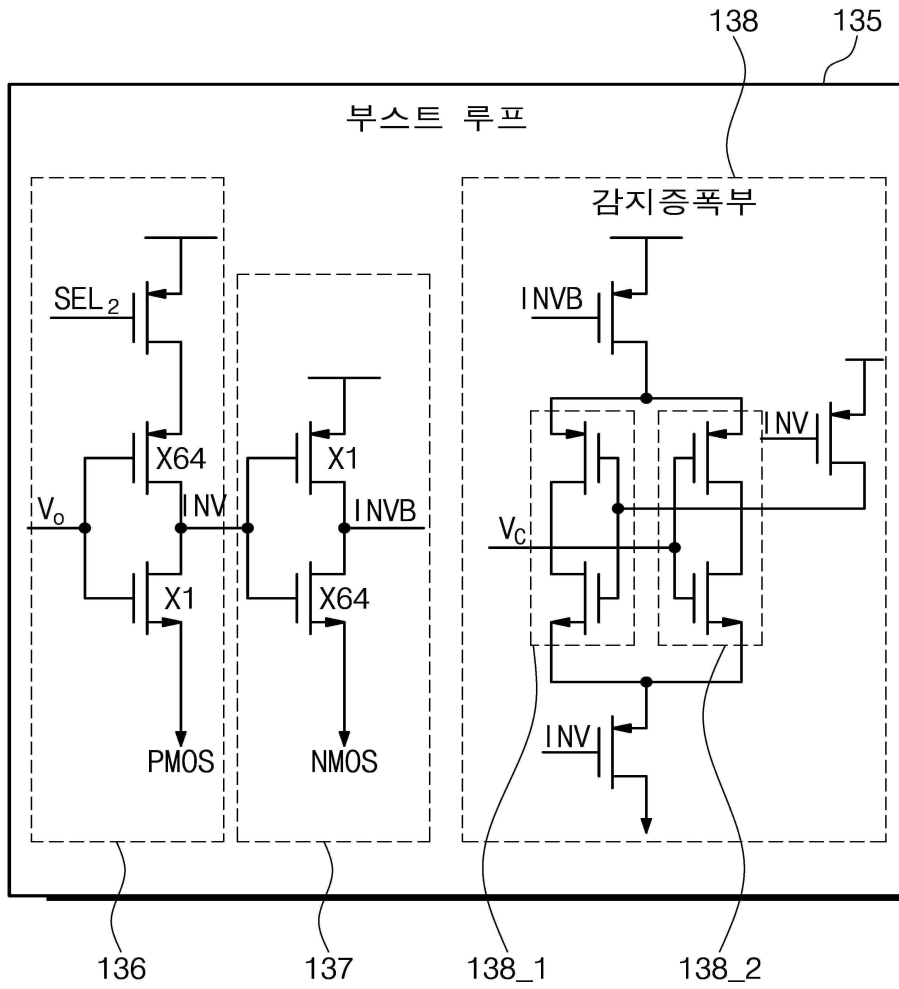
도면2



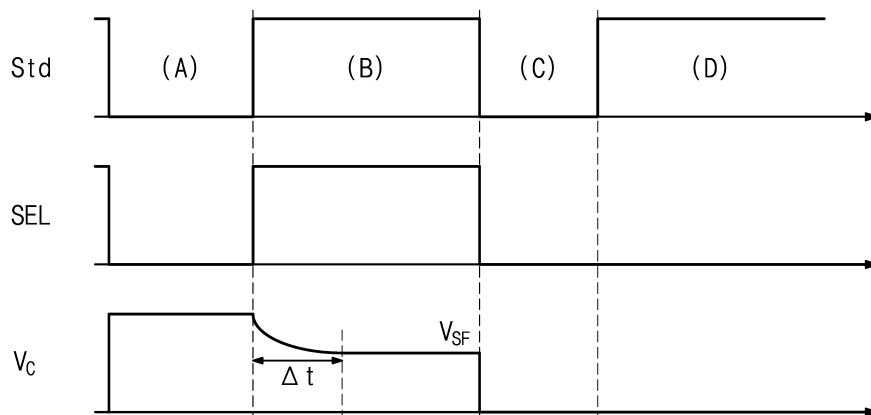
도면3



도면4

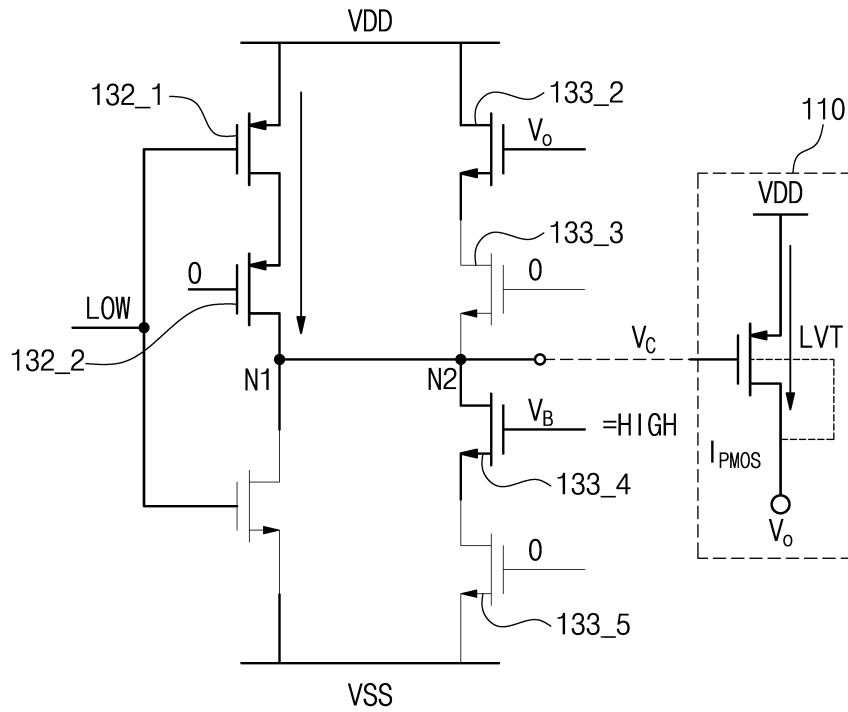


도면5



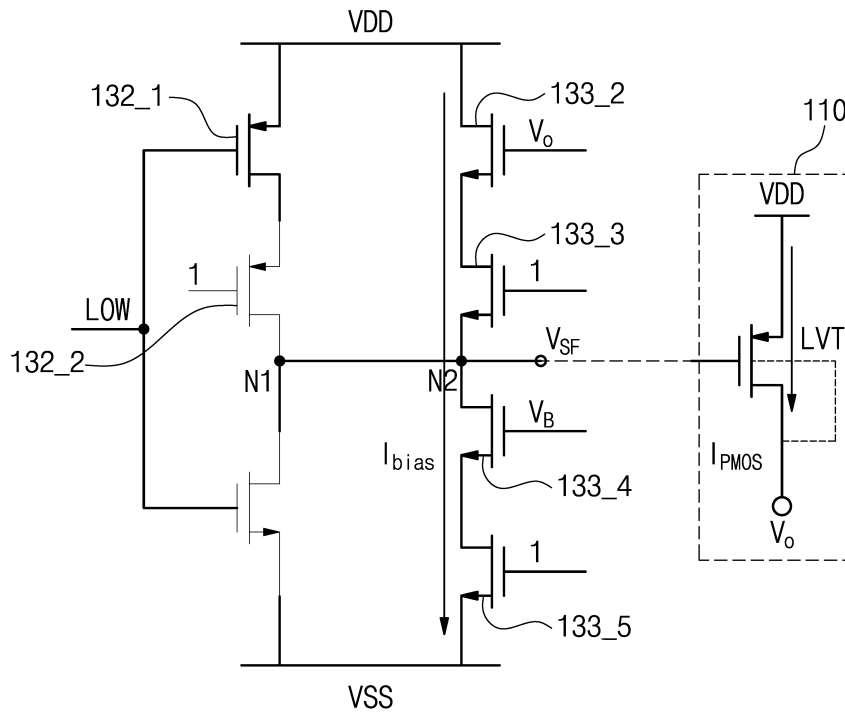
도면6

133

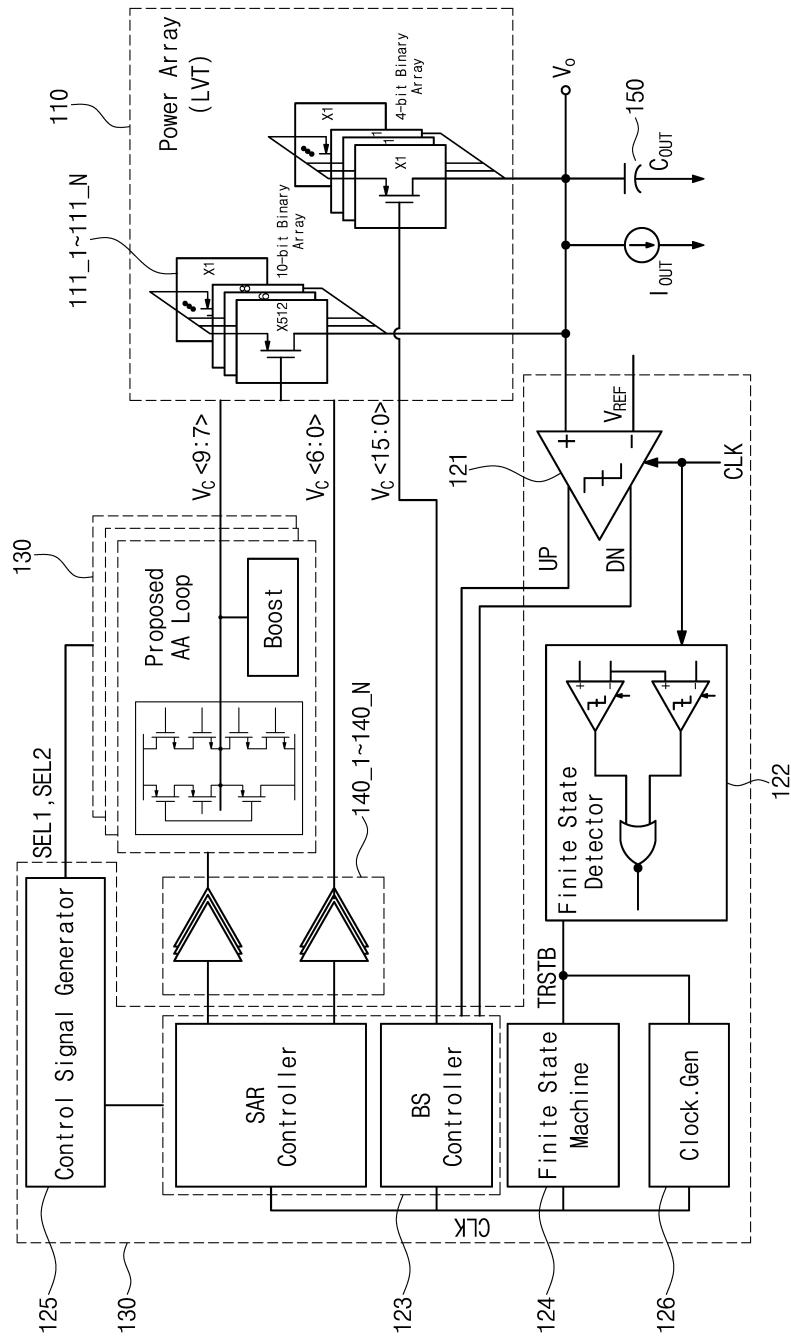


도면7

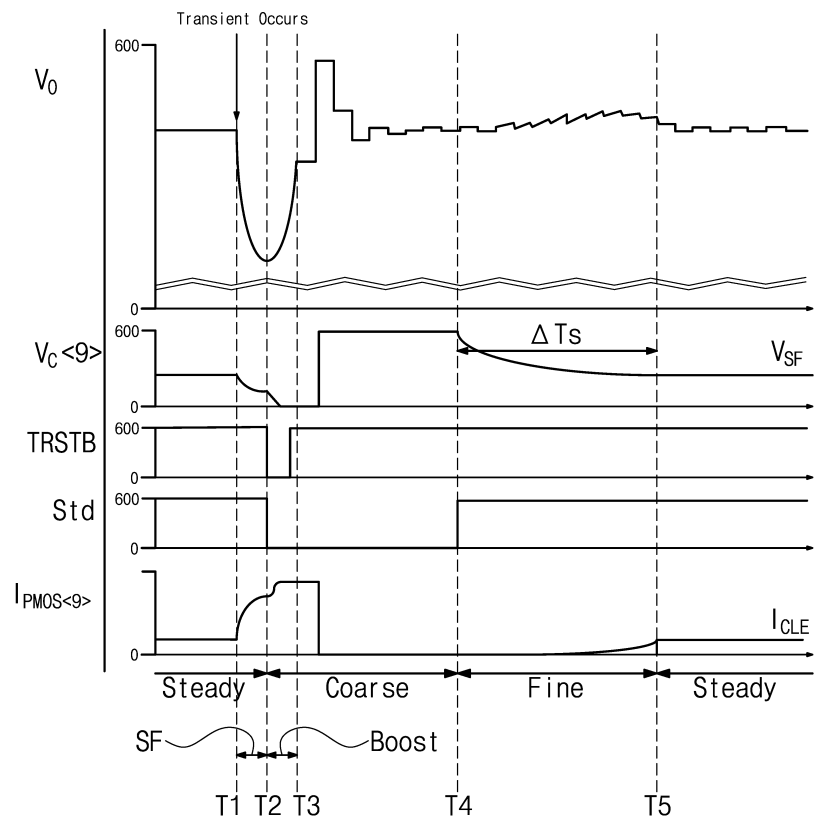
133



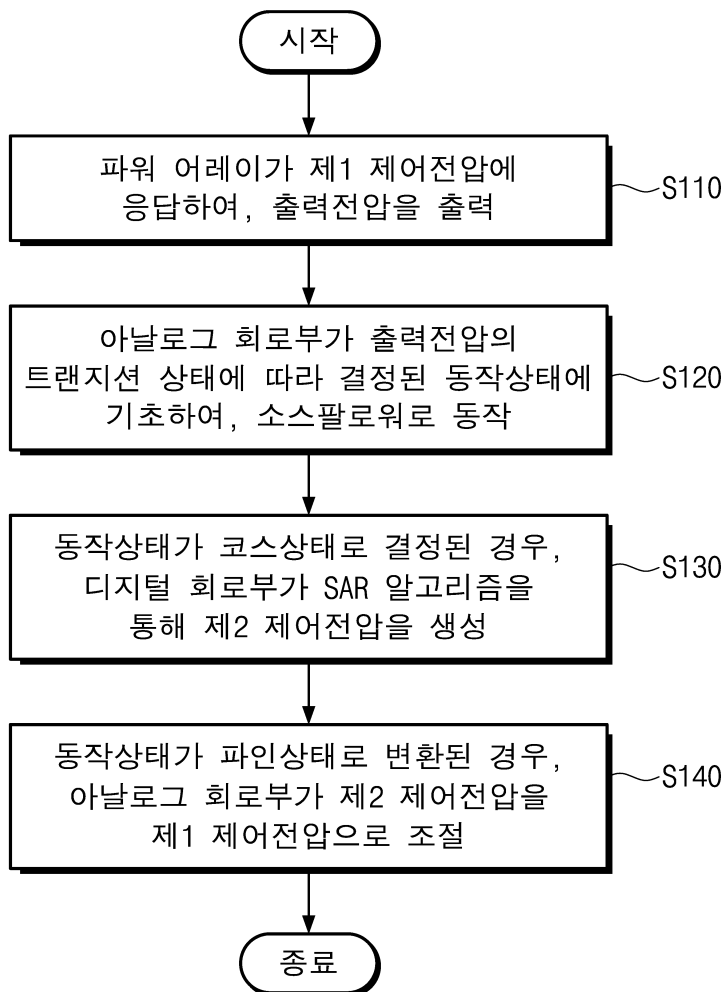
도면9



도면10



도면11



도면12

