



(12) 发明专利申请

(10) 申请公布号 CN 102545848 A

(43) 申请公布日 2012. 07. 04

(21) 申请号 201010580654. 8

(22) 申请日 2010. 12. 09

(71) 申请人 上海华虹集成电路有限责任公司

地址 201203 上海市浦东新区碧波路 572 弄  
39 号

(72) 发明人 马和良 景一欧 倪昊

(74) 专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 丁纪铁

(51) Int. Cl.

H03K 5/22 (2006. 01)

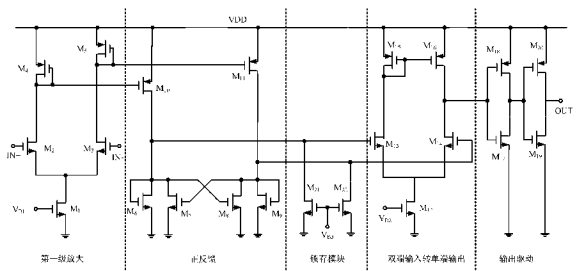
权利要求书 2 页 说明书 6 页 附图 2 页

(54) 发明名称

带锁存功能的迟滞比较器

(57) 摘要

本发明公开了一种迟滞比较器,包括第一级放大模块、正反馈模块、锁存模块、双端输入转单端输出模块、输出驱动模块。本发明迟滞比较器和传统的迟滞比较器相比增加了锁存模块,在迟滞比较器不工作的时候可以将输出信号锁定在高电平,从而避免输入信号的干扰造成输出波动。在迟滞比较器锁定的同时,其中的部分电路不消耗电流,也节省了功耗。



1. 一种带锁存功能的迟滞比较器,其特征是,包括第一级放大模块、正反馈模块、锁存模块、双端输入转单端输出模块、输出驱动模块,具体电路结构为:

晶体管一的栅极接偏置电压一,源极接地;

晶体管二的栅极接正输入端,源极接晶体管一的漏极;

晶体管三的栅极接负输入端,源极接晶体管一的漏极;

晶体管四的栅极和漏极相连并和晶体管二的漏极相连,晶体管四的源极接工作电压;

晶体管五的栅极和漏极相连并和晶体管三的漏极相连,晶体管五的源极接工作电压;

晶体管六的栅极和漏极相连,源极接地;

晶体管七的漏极和晶体管六的栅极相连,晶体管七的源极接地;

晶体管八的栅极和晶体管六的栅极相连,晶体管八的漏极和晶体管七的栅极相连,晶体管八的源极接地;

晶体管九的栅极和漏极相连并和晶体管七的栅极相连,晶体管九的源极接地;

晶体管十的栅极和晶体管二的漏极相连,晶体管十的漏极和晶体管六的栅极相连,晶体管十的源极接工作电压;

晶体管十一的栅极和晶体管三的漏极相连,晶体管十一的漏极和晶体管七的栅极相连,晶体管十一的源极接工作电压;

晶体管二十一的漏极和晶体管六的栅极相连,晶体管二十一的源极接地;

晶体管二十二栅极和晶体管二十一栅极相连并接锁存模块的控制电压,晶体管二十二漏极和晶体管七的栅极相连,晶体管二十二的源极接地;

晶体管十二的栅极接偏置电压二,源极接地;

晶体管十三的栅极和晶体管六的栅极相连,晶体管十三的源极和晶体管十二的漏极相连;

晶体管十四的栅极和晶体管七的栅极相连,晶体管十四的源极和晶体管十二的漏极相连;

晶体管十五的栅极和漏极相连并和晶体管十三的漏极相连,晶体管十五的源极接工作电压;

晶体管十六的栅极和晶体管十三的漏极相连,晶体管十六的漏极和晶体管十四的漏极相连,晶体管十六的源极接工作电压;

晶体管十七的栅极和晶体管十四的漏极相连,晶体管十七的源极接地;

晶体管十八的栅极和晶体管十四的漏极相连,晶体管十八的漏极和晶体管十七的漏极相连,晶体管十八的源极接工作电压;

晶体管十九的栅极和晶体管十七的漏极相连,晶体管十九的源极接地;

晶体管二十的栅极和晶体管十七的漏极相连,晶体管二十的漏极和晶体管十九的漏极相连并作为信号输出端,晶体管二十的源极接工作电压;

所述第一级放大模块包括晶体管一至晶体管五,所述正反馈模块包括晶体管六至晶体管十一,所述锁存模块包括晶体管二十一至晶体管二十二,所述双端输入转单端输出模块包括晶体管十二至晶体管十六,所述输出驱动模块包括晶体管十七至晶体管二十。

2. 根据权利要求1所述的带锁存功能的迟滞比较器,其特征是,所述晶体管一、晶体管二、晶体管三、晶体管六、晶体管七、晶体管八、晶体管九、晶体管十二、晶体管十三、晶体管

十四、晶体管十七、晶体管十九、晶体管二十一、晶体管二十二均为 NMOS 晶体管；

所述晶体管四、晶体管五、晶体管十、晶体管十一、晶体管十五、晶体管十六、晶体管十八、晶体管二十均为 PMOS 晶体管。

3. 根据权利要求 1 所述的带锁存功能的迟滞比较器,其特征是,当需要迟滞比较器工作的时候,将锁存模块的控制电压设置为低电平,使得晶体管二十一和晶体管二十二截止；

当不需要迟滞比较器工作的时候,将锁存模块的控制电压设置为高电平,使得晶体管二十一和晶体管二十二处于导通状态；

这样就使得双端输入转单端输出模块的输出信号稳定在高电平。

## 带锁存功能的迟滞比较器

### 技术领域

[0001] 本发明涉及一种模拟集成电路中的迟滞比较器。

### 背景技术

[0002] 迟滞比较器 (regenerative comparator) 又称施密特触发器 (Schmitt trigger), 因能滤除干扰噪声而获得广泛应用。

[0003] 请参见图 1, 这是一种现有的迟滞比较器的具体实现电路, 包括第一级放大模块、正反馈模块、双端输入转单端输出模块、输出驱动模块。其具体电路结构如下:

[0004] 晶体管一 M1 的栅极接偏置电压一 VB1, 源极接地;

[0005] 晶体管二 M2 的栅极接正输入端 IN+, 源极接晶体管一 M1 的漏极;

[0006] 晶体管三 M3 的栅极接负输入端 IN-, 源极接晶体管一 M1 的漏极;

[0007] 晶体管四 M4 的栅极和漏极相连并和晶体管二 M2 的漏极相连, 晶体管四 M4 的源极接工作电压 VDD;

[0008] 晶体管五 M5 的栅极和漏极相连并和晶体管三 M3 的漏极相连, 晶体管五 M5 的源极接工作电压 VDD;

[0009] 晶体管六 M6 的栅极和漏极相连, 源极接地;

[0010] 晶体管七 M7 的漏极和晶体管六 M6 的栅极相连, 晶体管七 M7 的源极接地;

[0011] 晶体管八 M8 的栅极和晶体管六 M6 的栅极相连, 晶体管八 M8 的漏极和晶体管七 M7 的栅极相连, 晶体管八 M8 的源极接地;

[0012] 晶体管九 M9 的栅极和漏极相连并和晶体管七 M7 的栅极相连, 晶体管九 M9 的源极接地;

[0013] 晶体管十 M10 的栅极和晶体管二 M2 的漏极相连, 晶体管十 M10 的漏极和晶体管六 M6 的栅极相连, 晶体管十 M10 的源极接工作电压 VDD;

[0014] 晶体管十一 M11 的栅极和晶体管三 M3 的漏极相连, 晶体管十一 M11 的漏极和晶体管七 M7 的栅极相连, 晶体管十一 M11 的源极接工作电压 VDD;

[0015] 晶体管十二 M12 的栅极接偏置电压二 VB2, 源极接地;

[0016] 晶体管十三 M13 的栅极和晶体管六 M6 的栅极相连, 晶体管十三 M13 的源极和晶体管十二 M12 的漏极相连;

[0017] 晶体管十四 M14 的栅极和晶体管七 M7 的栅极相连, 晶体管十四 M14 的源极和晶体管十二 M12 的漏极相连;

[0018] 晶体管十五 M15 的栅极和漏极相连并和晶体管十三 M13 的漏极相连, 晶体管十五 M15 的源极接工作电压 VDD;

[0019] 晶体管十六 M16 的栅极和晶体管十三 M13 的漏极相连, 晶体管十六 M16 的漏极和晶体管十四 M14 的漏极相连, 晶体管十六 M16 的源极接工作电压 VDD;

[0020] 晶体管十七 M17 的栅极和晶体管十四 M14 的漏极相连, 晶体管十七 M17 的源极接地;

[0021] 晶体管十八 M18 的栅极和晶体管十四 M14 的漏极相连,晶体管十八 M18 的漏极和晶体管十七 M17 的漏极相连,晶体管十八 M18 的源极接工作电压 VDD;

[0022] 晶体管十九 M19 的栅极和晶体管十七 M17 的漏极相连,晶体管十九 M19 的源极接地;

[0023] 晶体管二十 M20 的栅极和晶体管十七 M17 的漏极相连,晶体管二十 M20 的漏极和晶体管十九 M19 的漏极相连并作为信号输出端 OUT,晶体管二十 M20 的源极接工作电压 VDD。

[0024] 其中,第一级放大模块包括晶体管一 M1 至晶体管五 M5,正反馈模块包括晶体管六 M6 至晶体管十一 M11,双端输入转单端输出模块包括晶体管十二 M12 至晶体管十六 M16,输出驱动模块包括晶体管十七 M17 至晶体管二十 M20。

[0025] 其中,晶体管一 M1、晶体管二 M2、晶体管三 M3、晶体管六 M6、晶体管七 M7、晶体管八 M8、晶体管九 M9、晶体管十二 M12、晶体管十三 M13、晶体管十四 M14、晶体管十七 M17、晶体管十九 M19 均为 NMOS 晶体管。

[0026] 其中,晶体管四 M4、晶体管五 M5、晶体管十 M10、晶体管十一 M11、晶体管十五 M15、晶体管十六 M16、晶体管十八 M18、晶体管二十 M20 均为 PMOS 晶体管。

[0027] 图 1 所示的迟滞比较器是在放大回路中加上正反馈,使得输入电压的阈值会根据输入信号而变化,从而具有滤除噪声的功能,即迟滞功能。然而在某些电路中,例如 RFID(射频识别)电路,有时不需要迟滞比较器工作,但是迟滞比较器的输入端仍然有信号输入,这会使得迟滞比较器的输出端的状态不稳定,从而影响系统稳定。

## 发明内容

[0028] 本发明所要解决的技术问题是提供一种带锁存功能的迟滞比较器,当迟滞比较器不需要工作的时候,锁存模块可以将输出信号稳定在高电平状态,从而不影响系统稳定。

[0029] 为解决上述技术问题,本发明带锁存功能的迟滞比较器包括第一级放大模块、正反馈模块、锁存模块、双端输入转单端输出模块、输出驱动模块,具体电路结构为:

[0030] 晶体管一的栅极接偏置电压一,源极接地;

[0031] 晶体管二的栅极接正输入端,源极接晶体管一的漏极;

[0032] 晶体管三的栅极接负输入端,源极接晶体管一的漏极;

[0033] 晶体管四的栅极和漏极相连并和晶体管二的漏极相连,晶体管四的源极接工作电压;

[0034] 晶体管五的栅极和漏极相连并和晶体管三的漏极相连,晶体管五的源极接工作电压;

[0035] 晶体管六的栅极和漏极相连,源极接地;

[0036] 晶体管七的漏极和晶体管六的栅极相连,晶体管七的源极接地;

[0037] 晶体管八的栅极和晶体管六的栅极相连,晶体管八的漏极和晶体管七的栅极相连,晶体管八的源极接地;

[0038] 晶体管九的栅极和漏极相连并和晶体管七的栅极相连,晶体管九的源极接地;

[0039] 晶体管十的栅极和晶体管二的漏极相连,晶体管十的漏极和晶体管六的栅极相连,晶体管十的源极接工作电压;

[0040] 晶体管十一的栅极和晶体管三的漏极相连,晶体管十一的漏极和晶体管七的栅极相连,晶体管十一的源极接工作电压;

[0041] 晶体管二十一的漏极和晶体管六的栅极相连,晶体管二十一的源极接地;

[0042] 晶体管二十二栅极和晶体管二十一的栅极相连并接锁存模块的控制电压,晶体管二十二漏极和晶体管七的栅极相连,晶体管二十二的源极接地;

[0043] 晶体管十二的栅极接偏置电压二,源极接地;

[0044] 晶体管十三的栅极和晶体管六的栅极相连,晶体管十三的源极和晶体管十二的漏极相连;

[0045] 晶体管十四的栅极和晶体管七的栅极相连,晶体管十四的源极和晶体管十二的漏极相连;

[0046] 晶体管十五的栅极和漏极相连并和晶体管十三的漏极相连,晶体管十五的源极接工作电压;

[0047] 晶体管十六的栅极和晶体管十三的漏极相连,晶体管十六的漏极和晶体管十四的漏极相连,晶体管十六的源极接工作电压;

[0048] 晶体管十七的栅极和晶体管十四的漏极相连,晶体管十七的源极接地;

[0049] 晶体管十八的栅极和晶体管十四的漏极相连,晶体管十八的漏极和晶体管十七的漏极相连,晶体管十八的源极接工作电压;

[0050] 晶体管十九的栅极和晶体管十七的漏极相连,晶体管十九的源极接地;

[0051] 晶体管二十的栅极和晶体管十七的漏极相连,晶体管二十的漏极和晶体管十九的漏极相连并作为信号输出端,晶体管二十的源极接工作电压;

[0052] 所述第一级放大模块包括晶体管一至晶体管五,所述正反馈模块包括晶体管六至晶体管十一,所述锁存模块包括晶体管二十一至晶体管二十二,所述双端输入转单端输出模块包括晶体管十二至晶体管十六,所述输出驱动模块包括晶体管十七至晶体管二十。

[0053] 本发明迟滞比较器和传统的迟滞比较器相比增加了锁存模块,在迟滞比较器不工作的时候可以将输出信号锁定在高电平,从而避免输入信号的干扰造成输出波动。在迟滞比较器锁定的同时,其中的部分电路不消耗电流,也节省了功耗。

#### 附图说明

[0054] 图 1 是现有的迟滞比较器的具体实现电路;

[0055] 图 2 是本发明迟滞比较器的具体实现电路。

[0056] 图中附图标记说明:

[0057] M1~M22 分别为晶体管一至晶体管二十二;IN+、IN- 分别为一对差分信号的正、负输入端;OUT 为信号输出端;VB1、VB2 分别为偏置电压一、偏置电压二;VB3 为锁存模块的控制电压;VDD 为工作电压。

#### 具体实施方式

[0058] 请参阅图 2,这是本发明迟滞比较器的具体实现电路,包括第一级放大模块、正反馈模块、锁存模块、双端输入转单端输出模块、输出驱动模块。其具体电路结构如下:

[0059] 晶体管一 M1 的栅极接偏置电压一 VB1,源极接地;

- [0060] 晶体管二 M2 的栅极接正输入端 IN+, 源极接晶体管一 M1 的漏极 ;
- [0061] 晶体管三 M3 的栅极接负输入端 IN-, 源极接晶体管一 M1 的漏极 ;
- [0062] 晶体管四 M4 的栅极和漏极相连并和晶体管二 M2 的漏极相连, 晶体管四 M4 的源极接工作电压 VDD ;
- [0063] 晶体管五 M5 的栅极和漏极相连并和晶体管三 M3 的漏极相连, 晶体管五 M5 的源极接工作电压 VDD ;
- [0064] 晶体管六 M6 的栅极和漏极相连, 源极接地 ;
- [0065] 晶体管七 M7 的漏极和晶体管六 M6 的栅极相连, 晶体管七 M7 的源极接地 ;
- [0066] 晶体管八 M8 的栅极和晶体管六 M6 的栅极相连, 晶体管八 M8 的漏极和晶体管七 M7 的栅极相连, 晶体管八 M8 的源极接地 ;
- [0067] 晶体管九 M9 的栅极和漏极相连并和晶体管七 M7 的栅极相连, 晶体管九 M9 的源极接地 ;
- [0068] 晶体管十 M10 的栅极和晶体管二 M2 的漏极相连, 晶体管十 M10 的漏极和晶体管六 M6 的栅极相连, 晶体管十 M10 的源极接工作电压 VDD ;
- [0069] 晶体管十一 M11 的栅极和晶体管三 M3 的漏极相连, 晶体管十一 M11 的漏极和晶体管七 M7 的栅极相连, 晶体管十一 M11 的源极接工作电压 VDD ;
- [0070] 晶体管二十一 M21 的漏极和晶体管六 M6 的栅极相连, 晶体管二十一 M21 的源极接地 ;
- [0071] 晶体管二十二 M22 的栅极和晶体管二十一 M21 的栅极相连并接锁存模块的控制电压 VB3, 晶体管二十二 M22 的漏极和晶体管七 M7 的栅极相连, 晶体管二十二 M22 的源极接地 ;
- [0072] 晶体管十二 M12 的栅极接偏置电压二 VB2, 源极接地 ;
- [0073] 晶体管十三 M13 的栅极和晶体管六 M6 的栅极相连, 晶体管十三 M13 的源极和晶体管十二 M12 的漏极相连 ;
- [0074] 晶体管十四 M14 的栅极和晶体管七 M7 的栅极相连, 晶体管十四 M14 的源极和晶体管十二 M12 的漏极相连 ;
- [0075] 晶体管十五 M15 的栅极和漏极相连并和晶体管十三 M13 的漏极相连, 晶体管十五 M15 的源极接工作电压 VDD ;
- [0076] 晶体管十六 M16 的栅极和晶体管十三 M13 的漏极相连, 晶体管十六 M16 的漏极和晶体管十四 M14 的漏极相连, 晶体管十六 M16 的源极接工作电压 VDD ;
- [0077] 晶体管十七 M17 的栅极和晶体管十四 M14 的漏极相连, 晶体管十七 M17 的源极接地 ;
- [0078] 晶体管十八 M18 的栅极和晶体管十四 M14 的漏极相连, 晶体管十八 M18 的漏极和晶体管十七 M17 的漏极相连, 晶体管十八 M18 的源极接工作电压 VDD ;
- [0079] 晶体管十九 M19 的栅极和晶体管十七 M17 的漏极相连, 晶体管十九 M19 的源极接地 ;
- [0080] 晶体管二十 M20 的栅极和晶体管十七 M17 的漏极相连, 晶体管二十 M20 的漏极和晶体管十九 M19 的漏极相连并作为信号输出端 OUT, 晶体管二十 M20 的源极接工作电压 VDD。

[0081] 其中,第一级放大模块包括晶体管一 M1 至晶体管五 M5,正反馈模块包括晶体管六 M6 至晶体管十一 M11,锁存模块包括晶体管二十一 M21 至晶体管二十二 M22,双端输入转单端输出模块包括晶体管十二 M12 至晶体管十六 M16,输出驱动模块包括晶体管十七 M17 至晶体管二十 M20。

[0082] 其中,晶体管一 M1、晶体管二 M2、晶体管三 M3、晶体管六 M6、晶体管七 M7、晶体管八 M8、晶体管九 M9、晶体管十二 M12、晶体管十三 M13、晶体管十四 M14、晶体管十七 M17、晶体管十九 M19、晶体管二十一 M21、晶体管二十二 M22 均为 NMOS 晶体管。

[0083] 其中,晶体管四 M4、晶体管五 M5、晶体管十 M10、晶体管十一 M11、晶体管十五 M15、晶体管十六 M16、晶体管十八 M18、晶体管二十 M20 均为 PMOS 晶体管。

[0084] 本发明迟滞比较器的工作原理如下:第一级放大模块将一对差分输入信号进行放大,其输出电压输入到正反馈模块中。正反馈模块对信号进行处理,产生迟滞效果,其输出端输入到双端输入转单端输出模块中。这两个信号同时经过锁存模块中的两个晶体管连接到地。双端输入转单端输出模块将输入的两个信号转换成单端的输出信号,最后送到输出驱动模块中。最后的比较信号由输出驱动模块输出。

[0085] 具体而言,第一级放大模块中,晶体管一 M1 的栅极接偏置电压一 VB1,给第一级放大模块提供稳定的工作电流。晶体管二 M2、晶体管三 M3 为 NMOS 结构的一对差分输入端。晶体管四 M4、晶体管五 M5 作为负载,该负载采用二极管连接方式即将晶体管的栅极和漏极相连。晶体管四 M4、晶体管五 M5 的漏极作为输出端。

[0086] 正反馈模块中,晶体管十 M10、晶体管十一 M11 为 PMOS 结构的输入端,采用二极管连接方式的晶体管六 M6 和晶体管九 M9 作为负载,晶体管七 M7 和晶体管八 M8 的栅极交叉连接作为正反馈。具体设计过程中晶体管七 M7 和晶体管八 M8 的宽长比均要大于晶体管六 M6 和晶体管九 M9 的宽长比,这样能较好地产生迟滞效果。晶体管六 M6 和晶体管九 M9 的漏极作为双端输入转单端输出模块的输入信号,同时将这两个输入信号通过晶体管二十一 M21 和晶体管二十二 M22 连接到地。

[0087] 当迟滞比较器正常工作的时候,这时锁存模块的控制电压 VB3 设置为低电平,使得晶体管二十一 M21 和晶体管二十二 M22 截止,正反馈模块的输出信号顺利输入到后续模块中。当迟滞比较器不需要工作的时候,将锁存模块的控制电压 VB3 设置为高电平,使得晶体管二十一 M21 和晶体管二十二 M22 处于导通状态,将晶体管十三 M13 和晶体管十四 M14 的栅极强制固定在低电平,使得晶体管十三 M13 和晶体管十四 M14 截止。这样就使得双端输入转单端输出模块的输出信号稳定在高电平。该高电平输出通过输出驱动模块后,迟滞比较器的输出就稳定在高电平状态了,就不会影响系统的稳定。

[0088] 当锁存模块中的晶体管二十一 M21 和晶体管二十二 M22 导通后,就使得双端输入转单端输出模块和输出驱动模块截止,从而节省了电路的功耗。

[0089] 下面分析正反馈模块的迟滞效应,假设流过晶体管十 M10 的电流为  $I_{10}$ ,晶体管十 M10 的漏端电压为  $V_+$ ,流过晶体管十一 M11 的电流为  $I_{11}$ ,晶体管十一 M11 的漏端电压为  $V_-$ 。如果  $I_{10}$  远大于  $I_{11}$ ,晶体管六 M6 和晶体管八 M8 导通,晶体管七 M7 和晶体管九 M9 截止,则  $I_{10} = I_6 + I_7$ ,  $I_{11} = I_8 + I_9$ ,其中  $I_6 \sim I_9$  分别表示流过晶体管六 M6 至晶体管九 M9 的电流。此时  $V_-$  近似为 0,  $V_+$  的电压由晶体管六 M6 的栅极电压  $V_{gs6}$  决定:



[0090]  $I_{10} = I_6 = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_6 (V_{gs6} - V_{th})^2 = \frac{\beta_6}{2} (V_+ - V_{th})^2$  当  $I_{11}$  电

增加而  $I_{10}$  的电流减小的时候,  $I_{10}$  的减小导致  $V_+$  的降低,  $V_+$  的降低最终会导致电路的输出状态发生转换, 使得晶体管 M8 截止, 发生在临界转换状态时临界电流如下:

$I_{11} = I_8 = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_8 (V_{gs8} - V_{th})^2 = \frac{\beta_8}{2} (V_+ - V_{th})^2$  所以得到:

[0091]  $I_{11} = \frac{\beta_8}{\beta_6} I_{10}$  当反过来推导的时候,  $I_{10} = \frac{\beta_7}{\beta_9} I_{11}$  而  $\beta_7 = \beta_8$ ,  $\beta_6 = \beta_9$ 。如果

$\beta_8$  不等于  $\beta_6$ , 那么比较器就具有迟滞效应。

[0092] 本发明所述带锁存功能的迟滞比较器, 特别适合用于 13.56MHz 的 RFID 电路中。由于在标签工作过程中, 迟滞比较器的输入端始终有输入信号, 使得迟滞比较器的输出信号也一直跟着变化, 会影响系统稳定, 本发明所述迟滞比较器有效解决了这个问题, 使得迟滞比较器的输出信号始终保持在高电平状态, 且节省了电路的功耗。

[0093] 虽然本发明利用具体的实施例进行说明, 但是对实施例的说明并不限制本发明的范围。本领域内的熟练技术人员通过参考本发明的说明, 在不背离本发明的精神和范围的情况下, 容易进行各种修改或者可以对实施例进行组合。



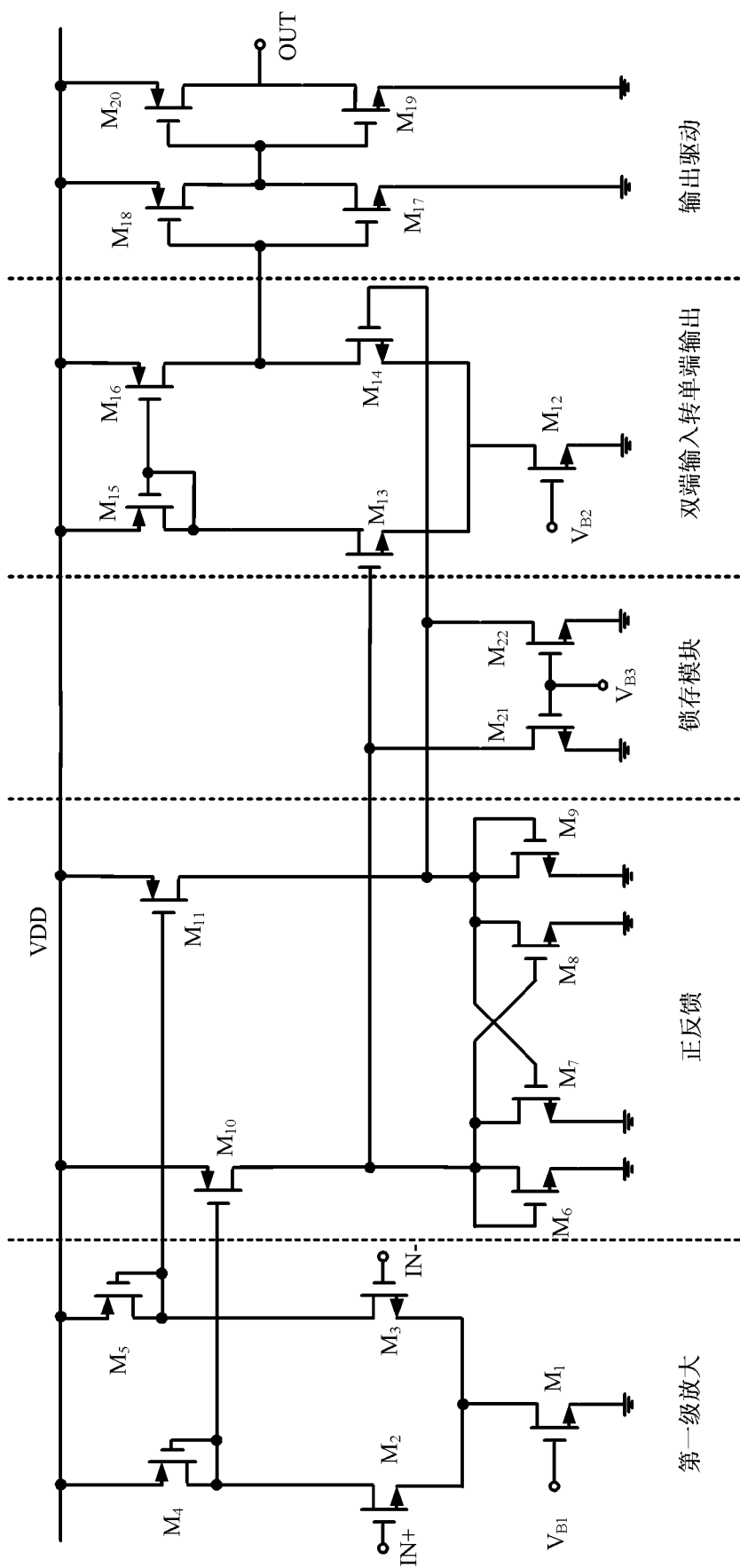


图 2