



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년08월26일

(11) 등록번호 10-1547790

(24) 등록일자 2015년08월20일

(51) 국제특허분류(Int. Cl.)

H04W 56/00 (2009.01) H04B 7/26 (2006.01)

H04W 52/36 (2009.01)

(21) 출원번호 10-2014-7028076(분할)

(22) 출원일자(국제) 2008년12월30일

심사청구일자 2014년11월04일

(85) 번역문제출일자 2014년10월06일

(65) 공개번호 10-2014-0128463

(43) 공개일자 2014년11월05일

(62) 원출원 특허 10-2014-7010343

원출원일자(국제) 2008년12월30일

심사청구일자 2014년05월16일

(86) 국제출원번호 PCT/US2008/088536

(87) 국제공개번호 WO 2009/088859

국제공개일자 2009년07월16일

(30) 우선권주장

61/018,059 2007년12월31일 미국(US)

61/025,695 2008년02월01일 미국(US)

(56) 선행기술조사문헌

US20020089957 A1

WO2006117629 A2

US20070140162 A1

(73) 특허권자

인터디지털 패튼 홀딩스, 인크

미국, 델라웨어주 19809, 윌밍턴, 벨뷰 파크웨이 200, 스위트 300

(72) 발명자

펠레티어 베노잇

캐나다 퀘벡 에이치8와이 1엘3 록스보로 11-13번 스트리트

마리니어 폴

캐나다 퀘벡 제이4엑스 2제이7 브로사드 스트라빈 스키 1805

(뒷면에 계속)

(74) 대리인

김태홍

전체 청구항 수 : 총 24 항

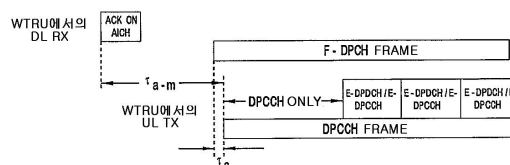
심사관 : 황운철

(54) 발명의 명칭 CELL_FACH 및 유휴 모드에서의 무선 링크 동기화 및 전력 제어를 위한 방법 및 장치

(57) 요약

CELL_FACH 상태 및 유휴 모드에서의 무선 링크 동기화 및 전력 제어를 위한 방법 및 장치가 개시된다. 무선 송수신 유닛(WTRU)은 랜덤 액세스 채널(RACH) 프리앰블을 전송하고, 획득 표시자 채널(AICH)을 통하여 RACH 프리앰블을 확인응답하는 획득 표시자 및 강화된 전용 채널(E-DCH) 리소스에 대한 인덱스를 수신한다. WTRU는 E-DCH 프레임의 시작을 결정한다. F-DPCH 타이밍 오프셋은 RACH 액세스 슬롯 및 획득 표시자를 수송하는 AICH 액세스 슬롯 중 하나에 관련하여 정의된다. 상대 F-DPCH 타이밍 오프셋이 WTRU에 시그널링될 수 있고, WTRU는 획득 표시자를 포함하는 AICH 액세스 슬롯의 타이밍 및 상대 F-DPCH 타이밍 오프셋에 기초하여 E-DCH 프레임의 시작을 결정할 수 있다. WTRU는 E-DCH 전송을 시작하기 전에 전용 물리 제어 채널(DPCH) 전력 제어 프리앰블을 전송할 수 있다.

대표도 - 도9



(72) 발명자

케이브 크리스토퍼 알

캐나다 퀘벡 에이치9에이 3제이2 몬트리올 달라드
-데-오메옥스 바핀 258

김 인 에이치

미국 펜실베이니아주 19403 노리스타운 레건 코트
1404

디기롤라모 로코

캐나다 퀘벡 에이치7케이 3와이3 라발 드 프리버그
스트리트 632

특허청구의 범위

청구항 1

노드 B에서 이용하기 위한 무선 링크 동기화 방법에 있어서,

획득 표시자를 포함하는 획득 표시자 채널(acquisition indicator channel; AICH) 액세스 슬롯의 타이밍 및 상대적(relative) 부분 전용 물리 채널(fractional dedicated physical channel; F-DPCH) 타이밍 오프셋 파라미터에 기초하여 F-DPCH를 송신하는 단계; 및

전용 물리 제어 채널(dedicated physical control channel; DPCCCH)을 수신하는 단계를 포함하는, 노드 B에서 이용하기 위한 무선 링크 동기화 방법.

청구항 2

제1항에 있어서,

오프셋 값을 포함하는 시스템 정보 블록(SIB; system information block)을 송신하는 단계를 더 포함하며,

상기 상대적 F-DPCH 타이밍 오프셋 파라미터는 상기 오프셋 값이 곱해진 256 칩(chip)인 것인, 노드 B에서 이용하기 위한 무선 링크 동기화 방법.

청구항 3

제2항에 있어서,

상기 SIB는 랜덤 액세스 채널(random access channel; RACH) 프리앰블(preamble)과 연관된 액세스 슬롯들의 서브세트의 표시자를 포함하는 것인, 노드 B에서 이용하기 위한 무선 링크 동기화 방법.

청구항 4

제1항에 있어서,

RACH 프리앰블을 수신하는 단계를 더 포함하는, 노드 B에서 이용하기 위한 무선 링크 동기화 방법.

청구항 5

제1항에 있어서,

RACH 프리앰블에 응답하여 획득 표시자를 송신하는 단계를 더 포함하는, 노드 B에서 이용하기 위한 무선 링크 동기화 방법.

청구항 6

제1항에 있어서,

F-DPCH 송신 시작 시간은, 256 칩으로 곱한 상기 상대적 F-DPCH 타이밍 오프셋 파라미터를 미리 결정된 개수의 칩에 더함으로써 계산되는 제1 오프셋을 계산하고, 상기 획득 표시자를 포함하는 상기 AICH 액세스 슬롯의 시작(beginning)에 상기 제1 오프셋을 더함에 의해 계산되는 것인, 노드 B에서 이용하기 위한 무선 링크 동기화 방법.

청구항 7

노드 B에 있어서,

획득 표시자를 포함하는 획득 표시자 채널(acquisition indicator channel; AICH) 액세스 슬롯의 타이밍 및 상대적(relative) 부분 전용 물리 채널(fractional dedicated physical channel; F-DPCH) 타이밍 오프셋 파라미터에 기초하여 F-DPCH를 송신하기 위한 수단; 및

전용 물리 제어 채널(dedicated physical control channel; DPCCCH)을 수신하기 위한 수단을 포함하는, 노드 B.

청구항 8

제7항에 있어서,

오프셋 값을 포함하는 시스템 정보 블록(SIB; system information block)을 송신하기 위한 수단을 더 포함하며,
상기 상대적 F-DPCH 타이밍 오프셋 파라미터는 상기 오프셋 값이 곱해진 256 칩(chip)인 것인, 노드 B.

청구항 9

제8항에 있어서,

상기 SIB는 랜덤 액세스 채널(random access channel; RACH) 프리앰블(preamble)과 연관된 액세스 슬롯들의 서브세트의 표시자를 포함하는 것인, 노드 B.

청구항 10

제7항에 있어서,

RACH 프리앰블을 수신하기 위한 수단을 더 포함하는, 노드 B.

청구항 11

제7항에 있어서,

RACH 프리앰블에 응답하여 획득 표시자를 수신하기 위한 수단을 더 포함하는, 노드 B.

청구항 12

제7항에 있어서,

F-DPCH 송신 시작 시간은, 256 칩으로 곱한 상기 상대적 F-DPCH 타이밍 오프셋 파라미터를 미리 결정된 개수의 칩에 더함으로써 계산되는 제1 오프셋을 계산하고, 상기 획득 표시자를 포함하는 상기 AICH 액세스 슬롯의 시작(beginning)에 상기 제1 오프셋을 더함에 의해 계산되는 것인, 노드 B.

청구항 13

무선 송수신 유닛(wireless transmit/receive unit; WTRU)에서 이용하기 위한 무선 링크 동기화 방법에 있어서,

획득 표시자를 포함하는 획득 표시자 채널(acquisition indicator channel; AICH) 액세스 슬롯의 타이밍 및 상대적(relative) 부분 전용 물리 채널(fractional dedicated physical channel; F-DPCH) 타이밍 오프셋 파라미터에 기초하여 F-DPCH를 수신하는 단계; 및

전용 물리 제어 채널(dedicated physical control channel; DPCCH)을 송신하는 단계를 포함하는, WTRU에서 이용하기 위한 무선 링크 동기화 방법.

청구항 14

제13항에 있어서,

오프셋 값을 포함하는 시스템 정보 블록(SIB; system information block)을 수신하는 단계를 더 포함하며,

상기 상대적 F-DPCH 타이밍 오프셋 파라미터는 상기 오프셋 값이 곱해진 256 칩(chip)인 것인, WTRU에서 이용하기 위한 무선 링크 동기화 방법.

청구항 15

제14항에 있어서,

상기 SIB는 랜덤 액세스 채널(random access channel; RACH) 프리앰블(preamble)과 연관된 액세스 슬롯들의 서브세트의 표시자를 포함하는 것인, WTRU에서 이용하기 위한 무선 링크 동기화 방법.

청구항 16

제13항에 있어서,

RACH 프리앰블을 송신하는 단계를 더 포함하는, WTRU에서 이용하기 위한 무선 링크 동기화 방법.

청구항 17

제13항에 있어서,

RACH 프리앰블에 응답하여 획득 표시자를 수신하는 단계를 더 포함하는, WTRU에서 이용하기 위한 무선 링크 동기화 방법.

청구항 18

제13항에 있어서,

F-DPCH 수신 시작 시간은, 256 칩으로 곱한 상기 상대적 F-DPCH 타이밍 오프셋 파라미터를 미리 결정된 개수의 칩에 더함으로써 계산되는 제1 오프셋을 계산하고, 상기 획득 표시자를 포함하는 상기 AICH 액세스 슬롯의 시작(beginning)에 상기 제1 오프셋을 더함에 의해 계산되는 것인, WTRU에서 이용하기 위한 무선 링크 동기화 방법.

청구항 19

무선 송수신 유닛(wireless transmit/receive unit; WTRU)에 있어서,

획득 표시자를 포함하는 획득 표시자 채널(acquisition indicator channel; AICH) 액세스 슬롯의 타이밍 및 상대적(relative) 부분 전용 물리 채널(fractional dedicated physical channel; F-DPCH) 타이밍 오프셋 파라미터에 기초하여 F-DPCH를 수신하기 위한 수단; 및

전용 물리 제어 채널(dedicated physical control channel; DPCH)을 송신하기 위한 수단을 포함하는, 무선 송수신 유닛(WTRU).

청구항 20

제19항에 있어서,

오프셋 값을 포함하는 시스템 정보 블록(SIB; system information block)을 수신하기 위한 수단을 더 포함하며, 상기 상대적 F-DPCH 타이밍 오프셋 파라미터는 상기 오프셋 값이 곱해진 256 칩(chip)인 것인, 무선 송수신 유닛(WTRU).

청구항 21

제20항에 있어서,

상기 SIB는 랜덤 액세스 채널(random access channel; RACH) 프리앰블(preamble)과 연관된 액세스 슬롯들의 서브세트의 표시자를 포함하는 것인, 무선 송수신 유닛(WTRU).

청구항 22

제19항에 있어서,

RACH 프리앰블을 송신하기 위한 수단을 더 포함하는, 무선 송수신 유닛(WTRU).

청구항 23

제19항에 있어서,

RACH 프리앰블에 응답하여 획득 표시자를 수신하기 위한 수단을 더 포함하는, 무선 송수신 유닛(WTRU).

청구항 24

제19항에 있어서,

F-DPCH 수신 시작 시간은, 256 칩으로 곱한 상기 상대적 F-DPCH 타이밍 오프셋 파라미터를 미리 결정된 개수의 칩에 더함으로써 계산되는 제1 오프셋을 계산하고, 상기 획득 표시자를 포함하는 상기 AICH 액세스 슬롯의 시작(beginning)에 상기 제1 오프셋을 더함에 의해 계산되는 것인, 무선 송수신 유닛(WTRU).

명세서

기술분야

[0001] 본 발명은 무선 통신에 관한 것이다.

배경기술

[0002] 더 높은 쓰루풋과 더 낮은 레이턴시를 위해 고속 패킷 액세스(HSPA; high speed packet access)의 진화가 고려되고 있다. 데이터 서비스의 증가로 인해, 웹 브라우징과 같은 특정 인터넷 서비스에서, 단기간 동안 높은 데이터 레이트가 요청되는 경우에, 무선 송수신 유닛(WTRU; wireless transmit/receive unit)을 CELL_FACH에서 CELL_DCH로 전이(transition)하는 3GPP(the third generation partnership project) 릴리스(release) 99(R99) 메커니즘은 상당한 네트워크 리소스를 필요로 하고 서비스에 레이턴시를 더한다. CELL_FACH에서 이러한 유형의 서비스들을 지원하기 위해, WTRU가 CELL_DCH로 전이하지 않고서 공유 리소스를 이용해 강화된 전용 채널(E-DCH; enhanced dedicated channel)을 사용하도록 허용되는 것이 제안되었으며, 이는 "강화된 랜덤 액세스 채널(E-RACH; enhanced random access channel) 액세스" 또는 "CELL_FACH 상태 및 유휴(idle) 모드에서의 E-DCH"로 칭해진다.

[0003] E-RACH 액세스는 랜덤 액세스 채널(RACH; random access channel) 프리앰블(preamble) 전송 단계와 E-DCH 전송 단계의 조합이다. 도 1은 E-RACH 액세스 절차를 도시한다. RACH 프리앰블 전송 단계는 노드 B가 E-RACH에서의 사용을 위해 지정하였거나 브로드캐스트한 R99 RACH 서명들의 서브셋을 사용한다. 노드 B에 의한 프리앰블의 수신이 획득 표시 채널(AICH; acquisition indication channel)에서 확인응답되며, 이는 또한 사용할 공유 E-DCH 리소스에 대한 인덱스를 WTRU에 할당한다. 공유 E-DCH 리소스는 CELL_FACH에서의 E-RACH 액세스의 사용을 위해 노드 B에 의해 미리 지정된다. 모든 공유 E-DCH 리소스에 대하여, 파라미터들이 초기 설정 동안 WTRU에 제공되거나 노드 B에 의해 셀 내의 WTRU들에 브로드캐스트된다. 각각의 E-DCH 리소스는 E-RACH 액세스에 대한 확인응답의 일부로서 또는 일부 기타 시그널링 메커니즘을 사용하여 전송되는 인덱스와 연관된다.

[0004] WTRU가 인덱스 값을 수신하면, 할당된 공유 E-DCH 리소스에 관련된 모든 구성 파라미터들이 알려지고, WTRU는 R99에서와 같은 방식으로 노드B와 통신할 필요가 없다. 실제로, E-RACH에서, E-DCH는 규칙적인 R99 10 또는 20 ms 물리 랜덤 액세스 채널(PRACH; physical random access channel) 메시지 부분 대신에 메시지 전송에 사용된다.

[0005] E-RACH 액세스는 종래의 CELL_FACH에서 CELL_DCH로의 전이와 연관된 오버헤드를 없앤다. 데이터 전송이 완료되면 공유 E-DCH 리소스가 해제(release)되고, WTRU는 CELL_FACH로 남아있으며, 그리하여 다른 WTRU가 공유 E-RACH 리소스를 사용할 수 있다. 따라서, 전이 레이턴시의 상당한 감소가 달성되고, 이는 CELL_DCH가 종료될 때 재초기화으로써 CELL_FACH로 다시 돌아가는 전이를 없앤다. WTRU는 E-RACH 액세스로부터 직접 CELL_DCH로의 영구적인 전이를 요청할 수 있다.

[0006] 종래의 RACH 액세스는 미리 구성된 초기 전력 레벨로써 최대 16개 서명 세트 중에 하나의 랜덤 선택된 PRACH 서명의 프리앰블 전송으로 시작된다. 연관된 AICH를 통해 노드 B로부터 아무런 응답도 수신되지 않는다면, WTRU는 다음 이용 가능한 액세스 슬롯을 선택하고, 미리 정의된 양만큼 전력을 증가시키며, 이용 가능한 서명 세트로부터 새로운 랜덤 선택된 서명을 전송한다. 프리앰블 전송의 최대수가 초과되거나 부정 확인응답(NACK)이 수신되면, WTRU는 PRACH 액세스 절차를 빠져나가고 이를 상위 계층(즉, 매체 액세스 제어(MAC; medium access control))에 보고한다.

[0007] 노드 B로부터 긍정 확인응답(ACK) 응답이 수신되면, WTRU는 마지막 전송된 RACH 프리앰블의 업링크 액세스 슬롯 후의 3개 또는 4개 업링크 액세스 슬롯에서 RACH 메시지를 전송한다. 도 2는 RACH 액세스 슬롯과 AICH 액세스 슬롯 간의 타이밍 관계를 도시한다. RACH 액세스 슬롯은 대응하는 AICH 액세스 슬롯을 τ_{p-a} 만큼 앞선다. 예를 들어, WTRU가 PRACH 액세스 슬롯 #2를 통해 프리앰블을 전송하면, WTRU 성능(capability)에 따라, WTRU는 AICH 액세스 슬롯 #2를 통해 ACK 응답을 얻을 수 있고, WTRU는 PRACH 액세스 슬롯 #5 또는 #6을 통해 RACH 메시지의 전송을 시작할 수 있다.

[0008] 도 1에 도시된 바와 같이 E-DCH 리소스가 노드 B에 의해 할당될 때 CELL_FACH 동안 3GPP 릴리스 8(R8) E-RACH 액세스는 RACH 프리앰블 전송으로 시작하며 공유 E-DCH 전송이 이어진다. 노드 B로부터 NACK되거나 아무 응답이 없다면 최대 시도수가 고갈될 때까지 WTRU가 다음 이용 가능한 액세스 슬롯에서 다시 전송할 것을 요구한다. 노드 B는 R99에서와 같이 AICH를 통하여 RACH 프리앰블에 응답한다. E-DCH 전송의 시작 타이밍은 부분 전용 물리 채널(F-DPCH; fractional dedicated physical channel) 프레임 타이밍(규칙적인 E-DCH와 동일함)에 대한 고정된 타임 오프셋으로서 동의되어 왔다. 변수 $\tau_{F-DPCH,p}$ 로 표현된 F-DPCH 타이밍 오프셋은 네트워크에 의해 설정되고, 상이한 F-DPCH에 대하여 상이할 수 있지만, P-CCPCH 프레임 타이밍으로부터의 오프셋은 항상 256 칩(chip)의 배수이다. 도 3은 다운링크 물리 채널의 액세스 슬롯 타이밍 및 무선 프레임 타이밍을 도시한다. 도 4는 일차 공통 제어 물리 채널(P-CCPCH; primary common control physical channel), AICH, F-DPCH, 전용 물리 제어 채널(DPCCH; dedicated physical control channel) 및 E-DCH 사이의 다운링크 및 업링크 타이밍 관계를 도시한다.

[0009] CELL_FACH 상태 및 유휴 모드에서의 E-DCH의 사용과 연관된 쟁점들 중 하나는 F-DPCH 프레임 타이밍을 결정하는데 있다. 종래의 시스템에서는, F-DPCH 프레임 타이밍은 WTRU가 CELL_DCH로 전이될 때 네트워크에 의해 명시적으로 시그널링된다. F-DPCH 프레임은 DPCCH 프리앰블 전송의 시작을 좌우하고, 이는 본질적으로 업링크 스크램블링 코드 시퀀스의 시작을 결정한다. 프레임의 중간에서 스크램블링 코드를 초기화하는 것은 어렵기 때문에, 통상적으로 WTRU가 적어도 한 번 프레임 경계를 교차한 후에 업링크 전송을 시작하는 것이 필요하다.

[0010] CELL_DCH에서 현재 행해지는 바와 같이 F-DPCH 프레임 타이밍을 P-CCPCH에 고정시키는 것은 CELL_FACH에서의 E-DCH로써는 어려움을 야기할 수 있다. 실제로, 전력 제어 업데이트가 전체 프레임(10ms) 만큼 지연될 가능성을 초래할 수 있다. 설명을 위해, (고정된 P-CCPCH에 관련하여) E-DCH 공유 리소스 F-DPCH 프레임 타이밍에 의해 정의되는 바와 같이, 업링크 E-DCH 프레임의 끝 부근의 액세스 슬롯에서 전송되는 E-RACH 프리앰블을 고려하자. ACK가 AICH를 통해 전송된다고 가정하면, 이 ACK 응답은 업링크 E-DCH 프레임의 끝에서 또는 다음 업링크 E-DCH 프레임의 시작에서 수신될 것이며, 그리하여 WTRU는 다음 E-DCH 프레임의 시작까지 전송할 기회를 갖지 않을 수 있다(스크램블링 코드를 초기화해야 할 필요성으로 인해). 이로 인해 전력 제어 루프가 확립될 수 있기까지 긴 지연을 초래할 것이며, 본질적으로 마지막 RACH 프리앰블 전송 후에 첫 번째 전력 제어가 거의 전체 프레임(즉, 10ms)을 업데이트하게 할 것이다. 이는 전력 제어 루프 안정화 문제를 야기할 수 있다. 이는 또한 RACH 메시지 부분을 보내는데 추가적인 지연을 야기할 수 있다. 따라서, P-CCPCH에 대한 소정의 F-DPCH 오프셋에 대하여, 일부 액세스 슬롯은 E-RACH 액세스에 대하여 다른 것보다 더 유리할 것이고, 일부 액세스 슬롯은 전력 제어 업데이트 레이턴시로 인해 바람직하지 않을 수 있다.

발명의 내용

해결하려는 과제

[0011] CELL_FACH 상태 및 유휴 모드에서 무선 링크 동기화 및 전력 제어를 위한 방법 및 장치가 개시된다.

과제의 해결 수단

[0012] WTRU는 RACH 프리앰블을 전송하고, AICH를 통하여 RACH 프리앰블을 확인응답하는 획득 표시자(acquisition indicator) 및 E-DCH 리소스에 대한 인덱스를 수신한다. WTRU는 E-DCH 프레임의 시작을 결정한다. F-DPCH 타이밍 오프셋은 RACH 액세스 슬롯 및 획득 표시자를 수송하는 AICH 액세스 슬롯 중 하나에 관련하여 정의된다. 상대적인(relative) F-DPCH 타이밍 오프셋이 WTRU에 시그널링될 수 있고, WTRU는 획득 표시자를 포함하는 AICH 액세스 슬롯의 타이밍 및 상대 F-DPCH 타이밍 오프셋에 기초하여 E-DCH 프레임의 시작을 결정할 수 있다. WTRU는 E-DCH 전송을 시작하기 전에 DPCCH 전력 제어 프리앰블을 전송할 수 있다.

발명의 효과

[0013] 본 발명에 따르면, CELL_FACH 상태 및 유휴 모드에서 무선 링크 동기화 및 전력 제어를 위한 방법 및 장치를 제공할 수 있다.

도면의 간단한 설명

[0014] 첨부 도면과 함께 예로써 주어진 다음의 상세한 설명으로부터 보다 상세한 이해가 이루어질 수 있다.

도 1은 E-RACH 액세스 절차를 도시한다.

도 2는 RACH 액세스 슬롯과 AICH 액세스 슬롯 사이의 타이밍 관계를 도시한다.

도 3은 다운링크 물리 채널의 액세스 슬롯 타이밍 및 무선 프레임 타이밍을 도시한다.

도 4는 P-CCPCH, AICH, F-DPCH, DPCH 및 E-DCH 사이의 다운링크 및 업링크 타이밍 관계를 도시한다.

도 5는 액세스 슬롯의 60%가 R99 RACH 액세스에 할당되고 액세스 슬롯의 40%가 R8 E-RACH 액세스에 할당되는 예시적인 경우를 도시한다.

도 6은 상대 및 절대 타이밍 오프셋을 도시한다.

도 7은 E-DCH 전송을 위한 예시적인 시나리오를 도시한다.

도 8은 E-DCH 전송 전의 DPCH 프리앰블 전송의 4개 무선 슬롯을 도시한다.

도 9는 F-DPCH 프레임 경계를 교차한 후에 DPCH 단독 전송의 전송을 도시한다.

도 10은 예시적인 WTRU의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 언급될 때, 용어 "WTRU"는 사용자 기기(UE), 이동국, 고정 또는 이동 가입자 유닛, 페이지, 셀룰러 전화, 개인용 휴대정보 단말기(PDA), 컴퓨터, 또는 무선 환경에서 동작할 수 있는 임의의 기타 유형의 사용자 디바이스를 포함하지만, 이에 한정되지 않는다. 이하 언급될 때, 용어 "노드 B"는 기지국, 사이트 컨트롤러, 액세스 포인트(AP), 또는 무선 환경에서 동작할 수 있는 임의의 기타 유형의 인터페이싱 디바이스를 포함하지만, 이에 한정되지 않는다.
- [0016] 본 실시예들은 R8 및 3GPP WCDMA(wideband code division multiple access) 표준을 넘어 적용 가능하며, 이전 릴리스에서와 같이 CELL_DCH로 전체 규모 전환해야 할 필요 없이 E-RACH가 CELL_FACH 상태 또는 유휴 모드 동안 공유 E-DCH 리소스에 액세스를 제공하는데 사용된다. 본 명세서에 개시된 실시예들은 WCDMA 또는 3GPP R8이 아닌 임의의 다른 무선 시스템으로 확장될 수 있다는 것을 유의하여야 한다.
- [0017] 제1 실시예에 따르면, E-DCH 전송에 대한 전력 레벨에 이어지는 성공적인 RACH 프리앰블 전송은 R99와 유사한 개방 루프 전력 제어 방식을 사용하여 P_{p-m} 오프셋으로써 제어된다. dB로 측정된 전력 오프셋 P_{p-m} 은 마지막 성공적으로 전송된 RACH 프리앰블의 전력과 랜덤 액세스 메시지의 제어 부분 사이의 오프셋이다. 전력 오프셋 P_{p-m} 은 다음 E-DCH 프레임 경계까지의 시간에 기초하여 수정된다. RACH 프리앰블 전송 동안에 측정된 전력 레벨은 E-DCH 전송 슬롯이 마지막 RACH 프리앰블 전송으로부터 더 떨어져 있을 때 더 높이 조정될 수 있다. 조정 함수는 불확실성을 고려하여 선형, 포물선 또는 dB 증분일 수 있다.
- [0018] 제2 실시예에 따르면, PRACH 액세스 슬롯은 선택된 E-RACH 프리앰블 슬롯이 E-DCH 전송이 업링크 프레임 경계 근처에 있음을 보장하도록 제한된다. E-RACH 프리앰블 전송은 E-DCH 프레임 중심으로 한정될 수 있다. 예를 들어, 0의 F-DPCH 오프셋의 특정 경우에 대하여, PRACH 액세스 슬롯은 E-RACH 프리앰블 전송에 대해 허용 가능한 슬롯으로서 액세스 슬롯 4, 5, 6, 11, 12, 13 및 14에 한정될 수 있다.
- [0019] E-RACH 프리앰블 전송은 3GPP TS 25.214 v7.5.0에서 지정되고 여기에서 표 1에 제공되는 바와 같이 RACH 서브채널마다 할당될 수 있다. RACH 서브채널은 RACH 액세스 슬롯들의 총 세트의 서브세트를 정의한다. 표 1에 도시된 바와 같이 총 12 개의 RACH 서브채널이 있다. 업링크 및 다운링크 타이밍 관계와 E-DCH 프레임 경계에 기초하여, RACH 프리앰블 전송에 대하여 표 1에서 적합한 열이 선택될 수 있다. 액세스 슬롯은 $\tau_{F-DPCH,p}$ 값에 기초하여 한정될 수 있는데, $\tau_{F-DPCH,p}$ 가 E-DCH 프레임 경계를 계산하는데 사용될 수 있기 때문이다.

표 1

대응하는 P-CCPCH 프레임의 SFN 모듈로 8	0	1	2	3	4	5	6	7	8	9	10	11
0	0	1	2	3	4	5	6	7				
1	12	13	14						8	9	10	11
2				0	1	2	3	4	5	6	7	
3	9	10	11	12	13	14						8
4	6	7					0	1	2	3	4	5
5			8	9	10	11	12	13	14			
6	3	4	5	6	7					0	1	2
7						8	9	10	11	12	13	14

[0020]

[0021]

제3 실시예에 따르면, 어떤 액세스 슬롯은 R8 E-RACH 액세스에 더 유리할 수 있기 때문에, F-DPCH 타이밍 오프셋($\tau_{F-DPCH,p}$)이 주어지면, 액세스 슬롯들의 서브세트가 R8 WTRU에 대하여 할당되고, 나머지 슬롯은 R9 WTRU에 대하여 할당된다. 예를 들어, R8 E-RACH 액세스에 유리한 액세스 슬롯의 반이 R8 WTRU에 할당될 수 있는 반면, 나머지 액세스 슬롯은 R9 WTRU에 할당될 수 있다.

[0022]

액세스 슬롯 할당은 동적일 수 있다. R9 및 R8 E-RACH 액세스에 대하여 예약된(reserved) 액세스 슬롯이 네트워크에 의해 구성될 수 있으며, 그리하여 R9 WTRU가 현저할 때(prominent), 더 많은 액세스 슬롯이 R9 RACH 액세스에 할당될 수 있고, E-RACH 액세스 성능을 갖는 R8 WTRU가 현저해질 때, 더 많은 액세스 슬롯이 R8 E-RACH 액세스에 대하여 할당될 수 있다. 액세스 슬롯들의 정확한 분할은 노드 B 또는 무선 네트워크 제어기(RNC; radio network controller)에 의해 결정될 수 있다. 도 5는 액세스 슬롯의 60%가 R9 RACH 액세스에 대하여 할당되고 액세스 슬롯의 40%가 R8 E-RACH 액세스에 대하여 할당되는 예시적인 경우를 도시한다.

[0023]

제4 실시예에 따르면, 마지막 RACH 프리앰블 전송 이래로 너무 길었다면 공유 E-DCH 전송에 대한 적절한 전력 레벨을 재조정하도록 제2 프리앰블이 전송될 수 있다. 이 경우에, 더 높은 수의 RACH 프리앰블 전송이 일어날 수 있는데, 불리한 RACH 액세스 슬롯에서의 이들 WTRU가 공유 E-DCH 전송의 전력 레벨을 재조정하도록 제2 프리앰블 전송을 요구할 것이기 때문이다.

[0024]

제5 실시예에 따르면, 공유 E-DCH 전송 전력 레벨은 RACH 프리앰블 및/또는 공유 E-DCH 전송시 CPICH 측정 또는 임의의 기타 기준 채널 측정에 기초하여 추정될 수 있다.

[0025]

제6 실시예에 따르면, F-DPCH 프레임의 타이밍은 RACH 액세스 슬롯 상의 마지막 RACH 프리앰블 전송과 그의 초기 E-DCH 전송 사이의 지연이 짧아지게 될 방식으로 설정된다. 이 지연은 잠재적인 전력 동기화 쟁점 및 과도한 업링크 간섭을 최소화하며 마지막 RACH 프리앰블에 사용된 전송 전력 레벨이 여전히 E-DCH 전송에 대하여 양호한 시작점임을 보장할 정도로 충분히 짧아야 한다.

[0026]

종래에는, F-DPCH 타이밍 오프셋($\tau_{F-DPCH,p}$)이 P-CCPCH 프레임 경계에 관련하여 정의된다. 제6 실시예에 따르면, WTRU에 할당되는 F-DPCH 타이밍 오프셋은, 마지막 RACH 프리앰블 전송이나 수신 시작이나 종료에 선택적으로 추가적인 오프셋을 더한 것, 아니면 마지막 AICH 전송이나 수신 시작이나 끝에 선택적으로 추가적인 오프셋을 더한 것에 관련하여 정의된다. F-DPCH 타이밍 오프셋은 상위 계층 시그널링을 통하여(예를 들어, 시스템 정보 블록(SIB; system information block)을 통하여) 미리 정의되거나 시그널링될 수 있다. F-DPCH 타이밍 오프셋은 마지막 RACH 프리앰블 전송이나 수신 또는 AICH 전송이나 수신 타이밍에 관련되기 때문에, 이 마지막 RACH 프리앰블 전송과 E-DCH 전송 사이의 잠재적으로 큰 지연을 갖는 것의 쟁점이 사라진다.

[0027]

다양한 F-DPCH 타이밍 오프셋으로써 정의된 리소스들을 갖는 것이 유리한데, 이는 다수의 WTRU들이 동일한 F-DPCH 채널화 코드를 공유할 수 있게 해주기 때문이다. 대안으로서, F-DPCH 타이밍 오프셋에 대하여 리소스를 정의하는 대신에, PRACH 액세스 슬롯 전송에 대한 F-DPCH 타이밍 오프셋이 모든 리소스에 대하여 미리 정의된 값으로 고정될 수 있지만, WTRU들에 대한 리소스는 상이한 F-DPCH 슬롯 포맷에 대하여 정의될 수 있다. 상이한 리소스에 대하여 상이한 F-DPCH 슬롯 포맷을 사용함으로써, F-DPCH 타이밍 오프셋이 미리 결정되어 있다 해도 노드 B가 완전한 유연성을 가지고 다수의 WTRU들에 동일한 F-DPCH 채널화 코드를 할당할 수 있게 해준다.

[0028]

대안으로서, 네트워크는(RACH 전송이나 수신, 또는 AICH 전송이나 수신에 대한) F-DPCH "상대" 타이밍 오프셋을 브로드캐스트할 수 있다. 이는 다수의 WTRU들이 동시에 동일한 F-DPCH 채널화 코드를 공유할 수 있게 하는

반면, 동시에 마지막 RACH 프리앰블 전송과 E-DCH 전송의 시작 사이의 지연을 최소화하는, P-CCPCH에 관련된 F-DPCH "절대" 타이밍 오프셋을 선택하는데 있어서 유연성을 제공할 것이다. 네트워크는 시스템 정보 블록 (들)(SIB)을 통하여 각각의 E-DCH 리소스와 연관된 F-DPCH "상대" 타이밍 오프셋을 브로드캐스트할 수 있다. 동일한 F-DPCH를 공유하는 K 개의 WTRU 및 프레임당 N 개의 무선 슬롯을 갖는 시스템에 대하여, 각각의 리소스에는 고유한 F-DPCH "상대" 타이밍 오프셋 $R_{off}=0 \dots K-1$ 가 할당될 수 있다. 그러면, WTRU 및 네트워크는 지연을 최소화할 슬롯 번호($S_{num}=1 \dots N$)를 선택할 유연성을 가질 수 있다. WTRU와 네트워크 사이의 동의를 보장하도록 슬롯 번호의 선택에 대한 규칙이 지정된다(예를 들어, 슬롯 번호 S_{num} 는 표준에 고정될 수 있음). WTRU 및 노드 B에 의해 미리 구성되거나 선택된 슬롯 번호 및 리소스와 연관된 F-DPCH 상대 타이밍 오프셋으로써, F-DPCH "절대" 타이밍 오프셋은 $(S_{num}-1) \times K + R_{off}$ 에 의해 계산될 수 있다.

[0029]

도 6은 $N=15$ 및 $K=10$ 인 예시적인 경우에 상대 및 절대 타이밍 오프셋을 도시한다. 도 7은 E-DCH 전송의 예시적인 시나리오를 도시한다. 도 7에서, 성공적인 RACH 프리앰블이 PRACH 액세스 슬롯 5에서 전송되었고, 네트워크는 AICH 액세스 슬롯 5에서 ACK로 응답한다. E-DCH 리소스가 이용 가능하다면, 이들은 WTRU에 할당될 수 있다. 이 리소스 할당은 F-DPCH "상대" 타이밍 오프셋과 연관된다. WTRU 및 네트워크는 미리 구성된 규칙에 기초하여 슬롯 14를 통해 E-DCH 전송을 시작하기를 결정한다. 슬롯 14의 선택은 구성된 τ_{p-m} 또는 예를 들어 SIB를 통해 브로드캐스트될 수 있는 일부 기타 표준화되거나 네트워크 구성된 지연 T에 기초할 수 있다.

[0030]

다수의 DPCH 슬롯을 포함하는 DPCH 전력 제어 프리앰블(즉, E-DCH 전송 없는 DPCH 단독 전송)이 업링크 동기화 및 전력 제어 루프의 안정화로 돕도록 첫 번째 E-DCH 전송 전에 여러 무선 슬롯에 대하여 전송될 수 있다. 도 8은 E-DCH 전송 전에 DPCH 프리앰블 전송의 4개 무선 슬롯을 도시한다. 3GPP 표준의 이전 릴리스에서, 동기화 절차 A와 연관된 DPCH 프리앰블의 지속기간은 무선 프레임의 수에 대하여 정의된다. 이 실시예에 따르면, DPCH 프리앰블 지속기간과 시작 및 정지 시간은 무선 슬롯에 대하여 정의될 수 있다. DPCH 프리앰블의 지속기간은 마지막 업링크 RACH 프리앰블 전송과 DPCH 프리앰블의 시작 사이의 시간 차이에 따라 좌우될 수 있다. 이러한 방식으로, 시간 차이가 더 커질수록, 프리앰블 전송은 전력 제어 루프를 안정화하도록 더 길어진다. 프리앰블 지속기간 및 프리앰블 시작 시간의 선택을 위한 파라미터는 상위 계층에 의해 시그널링될 수 있거나, 또는 미리 구성되거나 그리고/또는 암시적일 수 있다.

[0031]

선택적으로, 제1 실시예에 따라 초기 DPCH 프리앰블 전력 레벨은 E-DCH 전송 전력 오프셋과 마찬가지로 조정될 수 있다. 초기 DPCH 프리앰블 전력 레벨은 마지막 RACH 프리앰블 전송 내지 업링크 전송(DPCH 또는 E-DCH 전송)이 시작하는 시간 사이의 시간 차이에 기초하여 조정될 수 있다. 이는 잠재적으로 초기 전송을 실패하게 할 수 있는 채널에서의 시간 편차에 대한 보호를 가능하게 한다. 전력 오프셋의 양을 선택할 파라미터는 상위 계층에 의해 시그널링되거나, 또는 미리 구성되거나 그리고/또는 암시적일 수 있다.

[0032]

DPCH 단독 프리앰블의 전송은 업링크 스크램블링 코드의 시작과 연관된 어려움을 초래할 수 있다. 업링크 스크램블링 코드는 하나의 무선 프레임의 기간(즉, 10ms)을 갖는 의사 랜덤(pseudo-random) 시퀀스이다. 업링크 스크램블링의 시작은 E-DCH 무선 프레임의 시작과 동기화된다. 따라서, WTRU가 업링크 무선 프레임의 시작 전에 DPCH 프리앰블의 전송을 시작하는 경우에, WTRU와 노드 B는 스크램블링 시퀀스를 시작할 곳을 알아야 하며, 이는 스크램블링 시퀀스 생성의 매우 고유한 속성으로 인해 어려운 작업이다.

[0033]

이러한 문제를 풀기 위하여, DPCH 프리앰블의 지속기간 그리고 2ms TTI를 갖는 E-DCH의 경우에 가능하면 처음 몇몇 E-DCH 전송 시간 간격(TTI; transmission time interval)에 대하여 공통 업링크 스크램블링 코드가 임시로 사용될 수 있다. 이 공통 업링크 스크램블링은 미리 구성되거나, 상위 계층을 통하여 시그널링되거나, 또는 암시적일 수 있다. 예를 들어, 공통 업링크 스크램블링 코드는 RACH 상의 마지막 액세스 프리앰블에 대하여 WTRU에 의해 사용된 것과 동일한 스크램블링 코드일 수 있다. WTRU가 공통 업링크 스크램블링 코드를 미리 알고 있으므로, WTRU는 무선 프레임의 어느 곳에서든 업링크 전송을 시작할 수 있으며, 본질적으로 DPCH 프리앰블의 이른 전송을 가능하게 한다. 또한, DPCH 프리앰블에 대한 공통 스크램블링 코드의 사용은 DPCH 프리앰블 전송의 빠른 검출 및 동기화를 가능하게 한다. 이러한 경우에, DPCH 프리앰블 지속기간은 본질적으로 마지막 RACH 프리앰블 전송과 E-DCH 전송의 시작 사이의 시간 차이에 의존할 것이다. 선택적으로, 추가적인 DPCH 프리앰블 기간이 F-DPCH 프레임의 시작 후에 정의될 수 있으며, 그리하여 노드 B는 새로운 스크램블링 코드와 동기화하기에 충분한 시간을 갖는다. 이 기간은 미리 정의되거나 네트워크에 의해 시그널링될 수 있다.

[0034]

대안으로서, (할당된 업링크 스크램블링 코드를 사용하여) DPCH 프리앰블이 항상 WTRU가 AICH/E-AICH 상의 자신의 E-DCH 리소스 할당을 얻은 후 적어도 하나의 F-DPCH 프레임 경계를 교차한 후에 시작하도록 CELL_FACH에서의 E-DCH 전송을 위한 F-DPCH 프레임의 정렬이 이루어질 수 있다. 이는 예를 들어 RACH 액세스 슬롯 또는 AICH

액세스 슬롯에 기초하여 F-DPCH 타임 오프셋을 선택함으로써 달성될 수 있다. 도 9는 F-DPCH 프레임 경계를 교차한 후에 DPCH 단독 전송의 전송을 도시한다. 도 9에서, E-DCH 전송은 처음 N 개 전송 시간 간격(들)(TTI(s))에 대하여 오프되고, DPCH 단독 전송은 처음 N 개 TTI(들)에 대하여 전송된다.

[0035] P-CCPCH 프레임 타이밍으로부터의 종래의 F-DPCH 프레임 오프셋 τ_{F-DPCH} 은 256 칩의 배수이다. τ_{F-DPCH} 은 무선 슬롯의 정수 개수(즉, P-CCPCH 프레임의 시작으로부터 2,560 칩의 배수), 및 256 칩의 배수로서 표현된 무선 슬롯 부분 오프셋(fractional offset)의 합으로서 표현될 수 있다:

[0036]
$$\tau_{F-DPCH,p} = L \times 2560 + k' \times 256 \quad \text{식 (1)}$$

[0037] 여기에서, $L=0,1,\dots,14$ 이고 $k'=0,1,\dots,9$ 이다. 무선 슬롯 부분 오프셋은 여러 WTRU들에 대하여 동일한 F-DPCH 채널화 코드를 사용하는 것을 가능하게 한다(동일한 F-DPCH 슬롯 포맷을 가정함).

[0038] F-DPCH 프레임 경계가 AICH 또는 E-AICH 상의 E-DCH 리소스 할당 후에 금방 도달함을 보장하기 위해, 네트워크는 E-DCH 공유 리소스의 일부로서, 소정의 F-DPCH 채널화 코드에 대하여 무선 슬롯 내에서 전송 전력 제어(TPC) 커맨드가 보내질 때를 결정하는 타이밍 오프셋의 부분만, 또는 동등하게 무선 슬롯 부분 오프셋을(고정된 F-DPCH 슬롯 포맷을 가정함) 또는 동등하게 무선 슬롯 부분 오프셋과 F-DPCH 슬롯 포맷의 조합을 브로드캐스트할 수 있다. 이 정보는 식 (1)에서 k' 로 표현될 수 있다. 무선 슬롯의 정수 개수에 대하여 표현된 타이밍 오프셋의 부분(예를 들어, 식 (1)에서 L 로 표현됨)은 WTRU에 의해 보내진 마지막 RACH 프리앰블에 대해 정의된 오프셋 L' 을 포함한다(또는 동등하게, RACH와 AICH 사이의 고정된 타이밍 관계가 있으므로, AICH의 전송에 대해 정의된 오프셋). 이 오프셋 L' 은 표준에 의해 미리 구성될 수 있거나, 또는 상위 계층에 의해 시그널링될 수 있다(SIB의 일부로서). 이는 F-DPCH 프레임 오프셋이 업링크 전송의 시작에 가능한 가까이 정의될 수 있게 해주면서, 노드 B에 모든 F-DPCH 채널화 코드 할당 유연성을 남긴다. 그러면, P-CCPCH에 대한 결과적인 절대 F-DPCH 프레임 오프셋(L)은, (1) 마지막 전송된 RACH 액세스 슬롯(또는 AICH 액세스 슬롯)의 타이밍에 의해 결정된 P-CCPCH 프레임으로부터의 오프셋(즉, RACH 프리앰블의 전송이나 AICH의 수신 전의 P-CCPCH 프레임으로부터 RACH 또는 AICH 액세스 슬롯의 수), (2) 그 마지막 RACH 프리앰블(또는 수신된 AICH)에 대한 오프셋(L'), 및 (3) 무선 슬롯 내의 시그널링된 오프셋(k')(256 칩의 배수)의 합으로서 표현될 수 있다. F-DPCH 프레임 오프셋은 항상 양수이며 가장 가까운 P-CCPCH 프레임에 대하여 이루어진다는 것을 유의하자. 따라서, 필요하다면 잘라버림(truncation)이 적용될 수 있다.

[0039] 각각의 공통 E-DCH 리소스에 대하여 P-CCPCH에 관련한 절대 타이밍 오프셋 대신에 무선 슬롯 내의 상대 타이밍 오프셋을 브로드캐스트하는 것의 추가적인 이점은, 훨씬 적은 정보를 요구한다는 것이다. 실제로, 무선 슬롯당 10 오프셋의 하나를 시그널링하는 것은 4 비트를 필요로 하는 반면, 150 오프셋 중 하나를 시그널링하는 것은 8 비트를 필요로 할 것이다(슬롯당 10 오프셋, 무선 프레임 당 15 슬롯). 이 정보가 공통 E-DCH 리소스의 각각에 대하여 SIB를 통해 브로드캐스트된다면 이는 상당한 이점을 나타낼 수 있다.

[0040] 도 10은 예시적인 WTRU(1000)의 블록도이다. WTRU(1000)는 송수신 유닛(1002), 제어 유닛(1004), 및 측정 유닛(1006)을 포함한다. 송수신 유닛(1002)은 랜덤으로 선택된 RACH 액세스 슬롯에서 RACH 프리앰블을 전송하고, RACH 프리앰블에 응답하여 AICH를 통하여 ACK 또는 NACK 표시자를 수신하고, E-DCH를 통하여 E-RACH 메시지를 전송하도록 구성된다. 제어기(1004)는, 확인응답된 RACH 프리앰블의 전송 이래로 다음 E-DCH 프레임 경계까지의 시간에 기초하여 E-RACH 메시지의 제어 부분의 전송 전력과 확인응답된 RACH 프리앰블의 전송 전력 사이의 전력 오프셋의 조정, E-DCH 전송이 업링크 프레임 경계 근처에 있음을 보장하는 방식으로 RACH 액세스 슬롯의 선택, 확인응답된 RACH 프리앰블 전송 이래로 경과된 시간이 미리 결정된 문턱값보다 더 길다면 E-RACH 메시지에 대한 전송 전력을 결정하도록 또 다른 RACH 프리앰블의 전송을 개시하는 것, CPICH 측정에 기초하여 E-RACH 메시지 전송에 대한 전송 전력을 결정하는 것, RACH 프리앰블에 응답하여 확인응답된 RACH 프리앰블 전송과 AICH 수신 중 하나에 관련한 F-DPCH 타이밍 오프셋을 결정하는 것, DPCH 전력 제어 프리앰블의 전송을 제어하는 것 등을 포함하여, 상기 개시된 제1 내지 제7 실시예에 따른 무선 링크 동기화 및 전력 제어를 위한 제어 기능을 수행하도록 구성된다. 측정 유닛(906)은 CPICH 측정과 같은 측정을 수행하도록 구성된다.

[0041] 실시예

[0042] 1. CELL_FACH 상태 및 유휴 모드에서 무선 링크 동기화 및 전력 제어를 위한 방법.

- [0043] 2. 실시예 1에 있어서, 랜덤 선택된 RACH 액세스 슬롯에서 RACH 프리앰블을 전송하는 것을 포함하는 방법.
- [0044] 3. 실시예 2에 있어서, 상기 RACH 프리앰블을 확인응답하는 획득 표시자 및 E-DCH 리소스에 대한 인덱스를 수신하는 것을 포함하는 방법.
- [0045] 4. 실시예 3에 있어서, 상기 획득 표시자를 포함하는 AICH 액세스 슬롯의 타이밍 및 상대 F-DPCH 타이밍 오프셋 파라미터에 기초하여 DPCCH 전송 시작 시간 및 F-DPCH 수신 시작 시간 - 상기 DPCCH 전송 시작 시간 및 상기 F-DPCH 수신 시작 시간은 미리 결정된 오프셋만큼 오프셋됨 - 을 결정하는 것을 포함하는 방법.
- [0046] 5. 실시예 4에 있어서, 상기 F-DPCH 수신 시작 시간에 따라 F-DPCH를 수신하는 것을 포함하는 방법.
- [0047] 6. 실시예 4 또는 5에 있어서, 상기 DPCCH 전송 시작 시간에 따라 DPCCH 전력 제어 프리앰블을 전송하는 것을 포함하는 방법.
- [0048] 7. 실시예 4 내지 6 중 어느 하나에 있어서, E-DCH를 통하여 E-RACH 메시지를 전송하는 것을 포함하는 방법.
- [0049] 8. 실시예 4 내지 7 중 어느 하나에 있어서, WTRU는 상기 RACH 프리앰블을 전송하기 전에 상기 상대 F-DPCH 타이밍 오프셋 파라미터를 획득하는 것인 방법.
- [0050] 9. 실시예 6 내지 8 중 어느 하나에 있어서, 상기 DPCCH 전력 제어 프리앰블의 지속기간과 시작 및 정지 시간은 무선 슬롯에 대하여 정의되는 것인 방법.
- [0051] 10. 실시예 4 내지 9 중 어느 하나에 있어서, 상기 F-DPCH 수신 시작 시간은 미리 결정된 수의 칩에 256 칩으로 곱한 상대 F-DPCH 타이밍 오프셋 파라미터를 더함으로써 계산된 제1 오프셋을 계산하고 상기 제1 오프셋을 상기 획득 표시자를 전송하는 AICH 액세스 슬롯의 시작에 더함으로써 계산되고, 상기 DPCCH 전송 시작 시간은 미리 결정된 오프셋을 상기 F-DPCH 수신 시작 시간에 더함으로써 계산되는 것인 방법.
- [0052] 11. 실시예 4 내지 10 중 어느 하나에 있어서, 상기 DPCCH 전송 시작 시간은 미리 결정된 수의 칩에 256개 칩으로 곱한 상대 F-DPCH 타이밍 오프셋 파라미터를 더함으로써 계산된 제1 오프셋을 계산하고 상기 제1 오프셋을 상기 획득 표시자를 전송하는 AICH 액세스 슬롯의 시작에 더함으로써 계산되고, 상기 F-DPCH 수신 시작 시간은 상기 DPCCH 전송 시작 시간으로부터 미리 결정된 오프셋을 감산함으로써 계산되는 것인 방법.
- [0053] 12. 실시예 4 내지 11 중 어느 하나에 있어서, 상기 상대 F-DPCH 타이밍 오프셋 파라미터는 각각의 E-DCH 리소스와 연관되는 것인 방법.
- [0054] 13. 실시예 4 내지 12 중 어느 하나에 있어서, 상기 상대 F-DPCH 타이밍 오프셋은 SIB를 통하여 수신되는 것인 방법.
- [0055] 14. 실시예 4 내지 13 중 어느 하나에 있어서, 상기 DPCCH 전력 제어 프리앰블은 상기 E-DCH 리소스가 할당된 후에 적어도 하나의 F-DPCH 프레임 경계를 교차한 후에 시작되는 것인 방법.
- [0056] 15. 실시예 4 내지 14 중 어느 하나에 있어서, 상기 F-DPCH 타이밍 오프셋은 고정되고, F-DPCH에 대하여 동일한 채널화 코드가 할당되는 WTRU에 상이한 F-DPCH 슬롯 포맷이 할당되는 것인 방법.
- [0057] 16. 실시예 4 내지 15 중 어느 하나에 있어서, 상기 E-DCH 프레임의 시작은 확인응답된 RACH 프리앰블 전송과 E-RACH 메시지 전송 사이의 지연을 최소화하도록 선택된 특정 슬롯 번호에서 일어나는 것인 방법.
- [0058] 17. 실시예 16에 있어서, 상기 슬롯 번호는 AICH 상의 수신된 획득 표시자로부터의 미리 정의된 타임 오프셋에 기초하여 선택되는 것인 방법.
- [0059] 18. CELL_FACH 상태 및 유휴 모드에서 무선 링크 동기화 및 전력 제어를 위한 WTRU.
- [0060] 19. 실시예 18에 있어서, 랜덤 선택된 RACH 액세스 슬롯에서 RACH 프리앰블을 전송하고, 상기 RACH 프리앰블을 확인응답하는 획득 표시자 및 E-DCH 리소스에 대한 인덱스를 수신하고, F-DPCH를 수신하고, DPCCH 전력 제어 프리앰블을 전송하고, E-DCH를 통하여 E-RACH 메시지를 전송하도록 구성되는 송수신 유닛을 포함하는 WTRU.
- [0061] 20. 실시예 19에 있어서, 상기 획득 표시자를 포함하는 AICH 액세스 슬롯의 타이밍 및 상대 F-DPCH 타이밍 오프셋에 기초하여 DPCCH 전송 시작 시간 및 F-DPCH 수신 시작 시간 - 상기 DPCCH 전송 시작 시간 및 상기 F-DPCH 수신 시작 시간은 미리 결정된 오프셋만큼 오프셋됨 - 을 결정함으로써 DPCCH 전력 제어 프리앰블의 전송 및 F-DPCH의 수신을 제어하도록 구성되는 제어기를 포함하는 WTRU.
- [0062] 21. 실시예 20에 있어서, 상기 제어기는 상기 RACH 프리앰블을 전송하기 전에 상대 F-DPCH 타이밍 오프셋 파라

미터를 수신하는 것인 WTRU.

- [0063] 22. 실시예 20 또는 21에 있어서, 상기 DPCH 전력 제어 프리앰블의 지속기간과 시작 및 정지 시간은 무선 슬롯에 대하여 정의되는 것인 WTRU.
- [0064] 23. 실시예 20 내지 22 중 어느 하나에 있어서, 상기 제어기는 미리 결정된 수의 칩에 256개 칩으로 곱한 상대 F-DPCH 타이밍 오프셋 파라미터를 더함으로써 계산된 제1 오프셋을 계산하고 상기 제1 오프셋을 상기 획득 표시자를 수송하는 AICH 액세스 슬롯의 시작에 더함으로써 상기 F-DPCH 수신 시작 시간을 계산하고, 미리 결정된 오프셋을 상기 F-DPCH 수신 시작 시간에 더함으로써 상기 DPCH 전송 시작 시간을 계산하도록 구성되는 것인 WTRU.
- [0065] 24. 실시예 20 내지 23 중 어느 하나에 있어서, 상기 제어기는 미리 결정된 수의 칩에 256개 칩으로 곱한 상대 F-DPCH 타이밍 오프셋 파라미터를 더함으로써 계산된 제1 오프셋을 계산하고 상기 제1 오프셋을 상기 획득 표시자를 수송하는 AICH 액세스 슬롯의 시작에 더함으로써 상기 DPCH 전송 시작 시간을 계산하고, 상기 DPCH 전송 시작 시간으로부터 미리 결정된 오프셋을 감산함으로써 상기 F-DPCH 수신 시작 시간을 계산하도록 구성되는 것인 WTRU.
- [0066] 25. 실시예 20 내지 24 중 어느 하나에 있어서, 상대 F-DPCH 타이밍 오프셋 파라미터는 각각의 E-DCH 리소스와 연관되는 것인 WTRU.
- [0067] 26. 실시예 20 내지 25 중 어느 하나에 있어서, 상기 F-DPCH 타이밍 오프셋은 SIB를 통하여 수신되는 것인 WTRU.
- [0068] 27. 실시예 20 내지 26 중 어느 하나에 있어서, 상기 DPCH 전력 제어 프리앰블은 상기 E-DCH 리소스가 할당된 후에 적어도 하나의 F-DPCH 프레임 경계를 교차한 후에 시작되는 것인 WTRU.
- [0069] 28. 실시예 20 내지 27 중 어느 하나에 있어서, 상기 F-DPCH 타이밍 오프셋은 고정되고, F-DPCH에 대하여 동일한 채널화 코드가 할당되는 WTRU에 상이한 F-DPCH 슬롯 포맷이 할당되는 것인 WTRU.
- [0070] 29. 실시예 20 내지 28 중 어느 하나에 있어서, 상기 E-DCH 프레임의 시작은 확인응답된 RACH 프리앰블 전송과 E-RACH 메시지 전송 사이의 지연을 최소화하도록 선택된 특정 슬롯 번호에서 일어나는 것인 WTRU.
- [0071] 30. 실시예 29에 있어서, 상기 슬롯 번호는 AICH 상의 수신된 획득 표시자로부터의 미리 정의된 타임 오프셋에 기초하여 선택되는 것인 WTRU.
- [0072] 특징 및 구성요소가 특정 조합으로 상기에 설명되었지만, 각각의 특징 또는 구성요소는 다른 특징 및 구성요소 없이 단독으로 사용될 수 있거나, 다른 특징 및 구성요소와 함께 또는 다른 특징 및 구성요소 없이 다양한 조합으로 사용될 수 있다. 여기에 제공된 방법 또는 흐름도는 범용 컴퓨터 또는 프로세서에 의한 실행을 위해 컴퓨터 판독가능한 저장 매체에 포함된 컴퓨터 프로그램, 소프트웨어 또는 펌웨어로 구현될 수 있다. 컴퓨터 판독가능한 저장 매체의 예로는 판독 전용 메모리(ROM), 랜덤 액세스 메모리(RAM), 레지스터, 캐시 메모리, 반도체 메모리 디바이스, 내부 하드 디스크 및 이동식 디스크와 같은 자기 매체, 자기 광학 매체, 및 CD-ROM 디스크 및 DVD와 같은 광학 매체를 포함한다.
- [0073] 적합한 프로세서는 예로써, 범용 프로세서, 특수 용도 프로세서, 종래 프로세서, 디지털 신호 프로세서(DSP), 복수의 마이크로프로세서, DSP 코어와 연관되는 하나 이상의 마이크로프로세서, 컨트롤러, 마이크로컨트롤러, ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 회로, 임의의 기타 유형의 집적 회로(IC), 및/또는 상태 머신을 포함한다.
- [0074] 소프트웨어와 연관된 프로세서는 무선 송수신 유닛(WTRU), 사용자 기기(UE), 단말기, 기지국, 무선 네트워크 컨트롤러(RNC), 또는 임의의 호스트 컴퓨터에 사용하기 위한 무선 주파수 트랜시버를 구현하는데 사용될 수 있다. WTRU는 카메라, 비디오 카메라 모듈, 비디오폰, 스피커폰, 진동 장치, 스피커, 마이크로폰, 텔레비전 트랜시버, 핸드프리 헤드셋, 키보드, 블루투스® 모듈, 주파수 변조(FM) 라디오 유닛, LCD 디스플레이 유닛, OLED 디스플레이 유닛, 디지털 뮤직 플레이어, 미디어 플레이어, 비디오 게임 플레이어 모듈, 인터넷 브라우저, 및/또는 임의의 무선 로컬 영역 네트워크(WLAN) 또는 초광대역(UWB) 모듈과 같이 하드웨어 및/또는 소프트웨어로 구현되는 모듈과 함께 사용될 수 있다.

부호의 설명

[0075]

1000: WTRU

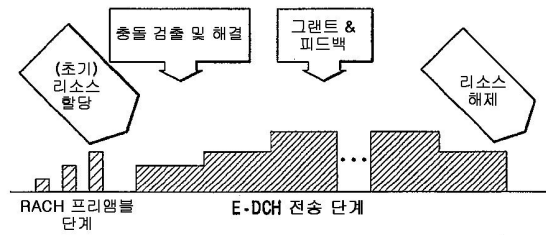
1002: 송수신 유닛

1004: 제어 유닛

1006: 측정 유닛

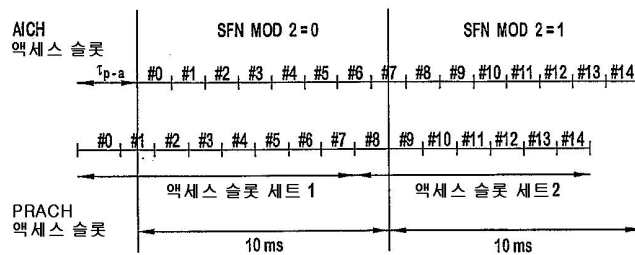
도면

도면1



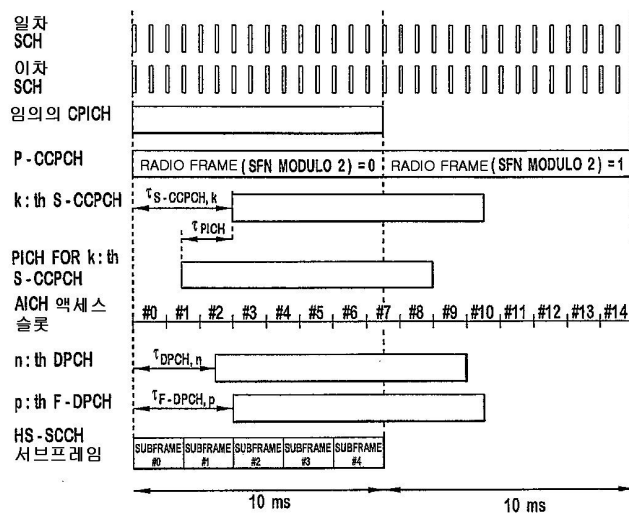
종래기술

도면2



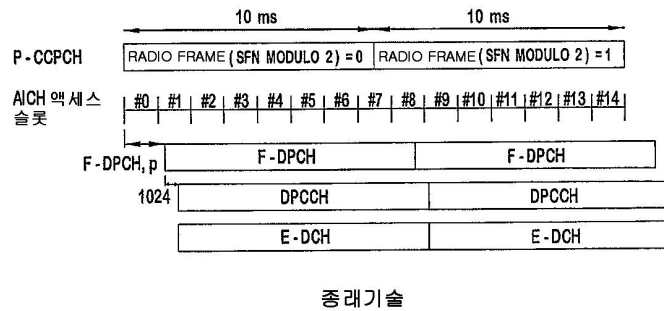
종래기술

도면3



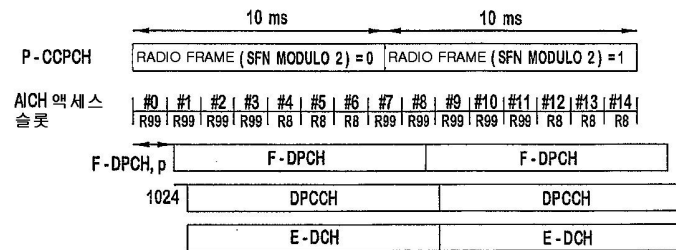
종래기술

도면4

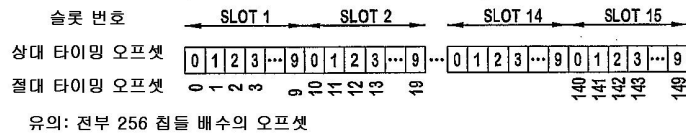


종래기술

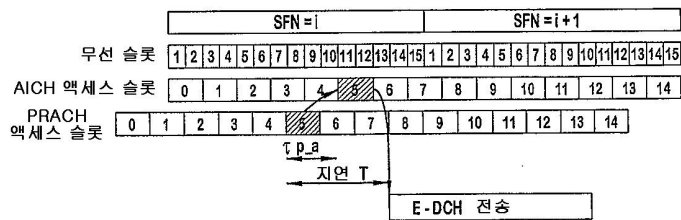
도면5



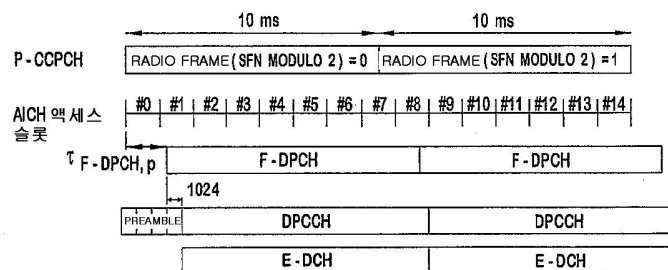
도면6



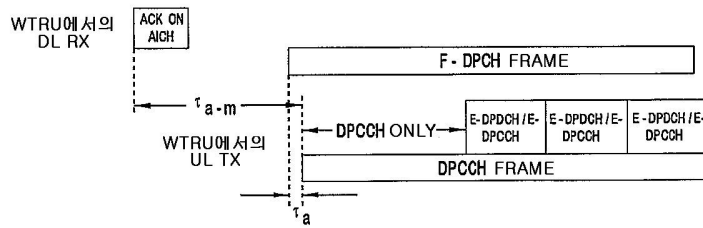
도면7



도면8



도면9



도면10

