



(12) 发明专利申请

(10) 申请公布号 CN 118805231 A

(43) 申请公布日 2024. 10. 18

(21) 申请号 202380024390.3

(22) 申请日 2023.02.22

(30) 优先权数据

2022-037424 2022.03.10 JP

(85) PCT国际申请进入国家阶段日

2024.08.29

(86) PCT国际申请的申请数据

PCT/JP2023/006550 2023.02.22

(87) PCT国际申请的公布数据

W02023/171394 JA 2023.09.14

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 山本和志 本间弘树 宇野翠

井上光典

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

专利代理师 韩聪

(51) Int.Cl.

H01G 4/30 (2006.01)

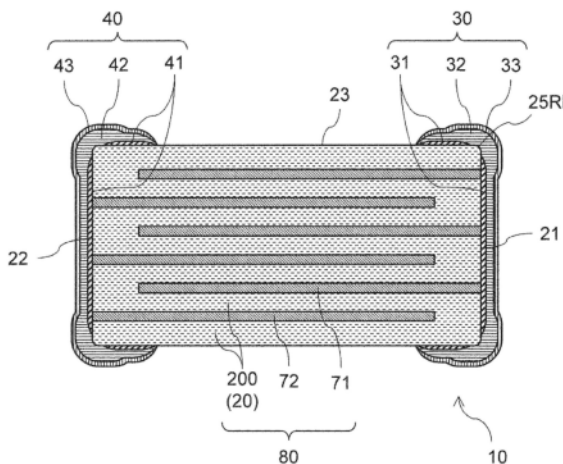
权利要求书1页 说明书10页 附图8页

(54) 发明名称

电子部件

(57) 摘要

本发明提供一种即使基底层未完全地覆盖陶瓷本体的角部也能够抑制镀敷层的针孔的形成的电子部件。电子部件具备陶瓷本体和设置在该陶瓷本体的端部的外部电极,所述陶瓷本体的相互相邻的两个侧面和端面相接从而形成所述陶瓷本体的角部,所述外部电极具备将所述角部除外地覆盖所述端面以及包含所述两个侧面的多个侧面的基底层、和覆盖所述基底层以及所述角部的镀敷层,覆盖所述角部的镀敷层的厚度比覆盖所述端面的中心的镀敷层的厚度厚。



1. 一种电子部件,具备陶瓷本体和设置在该陶瓷本体的端部的外部电极,其中,所述陶瓷本体的相互相邻的两个侧面和端面相接从而形成所述陶瓷本体的角部,所述外部电极具备将所述角部除外地覆盖所述端面以及包含所述两个侧面的多个侧面的基底层、和覆盖所述基底层以及所述角部的镀敷层,覆盖所述角部的镀敷层的厚度比覆盖所述端面的中心的镀敷层的厚度厚。
2. 根据权利要求1所述的电子部件,其中,覆盖所述角部的镀敷层的厚度为覆盖所述端面的中心的镀敷层的厚度的1.5倍以上。
3. 根据权利要求1或2所述的电子部件,其中,覆盖所述角部的镀敷层包含层叠了多个镀敷膜的层叠膜。
4. 根据权利要求3所述的电子部件,其中,所述层叠膜层叠有两层以上且十层以下的镀敷膜。
5. 根据权利要求1~4中的任一项所述的电子部件,其中,覆盖所述角部的镀敷层的沿着所述侧面和所述端面相接的棱线的长度为 $0.1\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下。
6. 根据权利要求1~5中的任一项所述的电子部件,其中,在所述陶瓷本体的内部还包含内部电极。

电子部件

技术领域

[0001] 本发明涉及电子部件。

背景技术

[0002] 作为片型陶瓷电子部件,已知在陶瓷本体的两端具备外部电极的片型陶瓷电子部件(例如,专利文献1以及2)。外部电极包含设置在陶瓷本体的表面的基底层(例如,涂敷以Cu、Ni、Ag、Pd等为主成分的导电性膏并进行了烧接而得到的导电层)、和形成在该基底层的表面的镀敷层(例如,Ni镀敷层)。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2016-31988号公报

[0006] 专利文献2:日本特开2012-69912号公报

发明内容

[0007] 发明要解决的问题

[0008] 在层叠陶瓷电容器等电子部件中,希望使外部电极的基底层变薄。如果使基底层变薄,则能够在不改变电子部件的外形尺寸的情况下增大陶瓷本体的尺寸或者增加内部电极的片数。由此,能够提高电子部件的性能。

[0009] 若形成对陶瓷本体的端部(包含端面和侧面的一部分)进行覆盖的基底层,则对陶瓷本体的角部(端面和两个侧面相接的部分)进行覆盖的基底层的厚度与对除角部以外的端面以及侧面进行覆盖的基底层的厚度相比,具有变薄的倾向。因此,若使基底层变薄,则有可能导致对陶瓷本体的角部进行覆盖的基底层变得过薄,从而角部从基底层露出。

[0010] 由于镀敷层形成在导电性的基底层的表面,因此一般地,在从基底层露出的陶瓷本体的角部不形成镀敷层。不过,通过使镀敷时间变长,从而能够将形成在覆盖角部周边的基底层的表面的镀敷层进一步地扩展至角部的表面。

[0011] 然而,对角部的表面进行覆盖的镀敷层薄,并且与陶瓷本体的结合力弱。因此,在陶瓷本体的角部与镀敷层之间容易产生间隙。此外,如果镀敷时间不充分,则镀敷层无法完全地覆盖陶瓷本体的角部,可能在镀敷层产生针孔。

[0012] 若在镀敷层存在针孔,则成为镀敷液浸入到镀敷层的内侧的原因。镀敷液可能对陶瓷本体以及内部电极造成损伤,因此镀敷液的浸入具有使电子部件的可靠性下降的风险。

[0013] 因此,本发明的目的在于,提供一种即使基底层未完全地覆盖陶瓷本体的角部也能够抑制镀敷层的针孔的形成的电子部件。

[0014] 用于解决问题的技术方案

[0015] 根据本发明的第1要旨,提供一种电子部件,具备陶瓷本体和设置在该陶瓷本体的端部的外部电极,其中,

- [0016] 所述陶瓷本体的相互相邻的两个侧面和端面相接从而形成所述陶瓷本体的角部，
- [0017] 所述外部电极具备将所述角部除外地覆盖所述端面以及包含所述两个侧面的多个侧面的基底层、和覆盖所述基底层以及所述角部的镀敷层，
- [0018] 覆盖所述角部的镀敷层的厚度比覆盖所述端面的中心的镀敷层的厚度厚。
- [0019] 发明效果
- [0020] 根据本发明的电子部件，即使基底层未完全地覆盖陶瓷本体的角部，也能够抑制镀敷层的针孔的形成。

附图说明

- [0021] 图1的(a)是实施方式1涉及的电子部件的概略立体图，图1的(b)是在图1的(a)的电子部件中使用的陶瓷本体的概略立体图。
- [0022] 图2是图1的(a)的X-X线处的电子部件的概略剖视图。
- [0023] 图3是图2所示的电子部件的概略部分放大剖视图。
- [0024] 图4是图3所示的电子部件的概略部分放大剖视图。
- [0025] 图5的(a)是来自实施方式1涉及的电子部件的端面侧的显微镜照片，图5的(b)是将图5的(a)的一部分进行了放大的放大照片。
- [0026] 图6的(a)~图6的(f)是用于说明镀敷层的形成工序的概略剖视图。
- [0027] 图7的(a)是在实施例中制作的电子部件的剖面的显微镜照片，图7的(b)是在比较例中制作的电子部件的剖面的显微镜照片。
- [0028] 图8是将图7的(a)的显微镜照片的一部分进行了放大的放大照片。

具体实施方式

- [0029] 本发明的实施方式涉及的电子部件具备陶瓷本体和设置在该陶瓷本体的表面的外部电极。外部电极具备覆盖陶瓷本体的表面的基底层和覆盖基底层的镀敷层。陶瓷本体的相互相邻的两个侧面和端面相接从而形成陶瓷本体的角部。外部电极的基底层将陶瓷本体的角部除外地覆盖陶瓷本体的端面以及包含所述两个侧面的多个侧面。陶瓷本体的角部存在一部分或者全部从基底层露出的情况。
- [0030] 若在这样的基底层的表面形成镀敷层，则在陶瓷本体的角部的表面不易形成镀敷层，成为在镀敷层产生针孔的原因。此外，由于陶瓷本体的角部和镀敷层的结合力低，因此在它们之间易于产生间隙。若在镀敷层有缺陷(针孔、间隙等)，则镀敷液有可能从此处浸入到镀敷层的内侧。由于浸入的镀敷液可能对陶瓷本体造成损伤，因此有可能使电子部件的可靠性下降。
- [0031] 在本发明的实施方式涉及的电子部件中，通过使对陶瓷本体的角部进行覆盖的镀敷层的厚度比对端面的中心进行覆盖的镀敷层的厚度厚，从而抑制镀敷层的缺陷的产生。
- [0032] 电子部件只要具备陶瓷本体和设置在该陶瓷本体的表面的外部电极即可，陶瓷本体的形状、尺寸及材料、和外部电极的数量、配置及形状等没有特别限定。可以在陶瓷本体的内部埋设内部电极，也可以不在陶瓷本体的内部埋设内部电极。在存在内部电极的情况下，内部电极以适当的方式与外部电极电连接。
- [0033] 作为能够应用本发明的实施方式的结构电子部件，例如可以为表面安装型，特

别是可以为片式部件,更详细地有层叠陶瓷电容器等电容器(蓄电器)、正特性(或者,正温度系数、PTC)热敏电阻、负特性(或者,负温度系数、NTC)热敏电阻、变阻器、电容器等。

[0034] 在以下的实施方式1中,例示具备内部电极的层叠陶瓷电容器,边参照附图边详细地说明。

[0035] [实施方式1]

[0036] 图1的(a)是本发明的实施方式1涉及的电子部件10的概略立体图,图1的(b)是在图1的(a)的电子部件10中使用的陶瓷本体20的概略立体图。图2是图1的(a)的X-X线处的电子部件10的概略剖视图。

[0037] 图3是图2所示的电子部件10的概略部分放大剖视图,图4是将图3所示的电子部件10进一步进行了放大的概略部分放大剖视图。

[0038] 图1的(a)以及图2所示的电子部件10是层叠陶瓷电容器。电子部件10具备陶瓷本体20、和设置在陶瓷本体20的端部的外部电极30、40。外部电极30、40具备基底层31、41和镀敷层32、42。外部电极30、40还能够具备覆盖镀敷层32、42的第2镀敷层33、43。

[0039] 层叠陶瓷电容器的陶瓷本体20由多个陶瓷层200构成(参照图2)。在陶瓷本体20的内部设置有内部电极71、72。内部电极71、72和陶瓷层200交替地层叠,从而构成了层叠体80。内部电极71、72从陶瓷本体20的端面21、22的任一者露出,并与外部电极30、40电连接。

[0040] 关于各结构,以下详细叙述。

[0041] (陶瓷本体20)

[0042] 如图1的(b)所示,实施方式1涉及的陶瓷本体20为大致长方体形状,具备对置的两个端面21、22和四个侧面23。另外,在图1的(b)中,为了简化附图,省略了从端面21、22露出的内部电极71、72。

[0043] 陶瓷本体20的相互相邻的两个侧面23和端面(在图1的(b)中为端面21)相接,从而形成了陶瓷本体20的角部25(施加了阴影线的区域)。

[0044] 本说明书中的所谓“陶瓷本体20的角部25”,是包含两个侧面23和端面相交的顶点25t以及包围顶点25t的部分的区域,具有一定的扩展度(参照图1的(b))。

[0045] 角部25例如也可以设为以顶点25t为中心,由在侧面23以及端面21以半径r所绘制的圆弧包围的范围。角部25的尺寸(半径r)能够根据电子部件10的尺寸而适当设定。例如,在0603尺寸的电子部件10的情况下,角部25的尺寸(半径r)能够设为电子部件10的宽度W的1/5(即,W/5)。

[0046] 如后所述,角部25(更准确来说为角部25的棱线25RL)被镀敷层32的第1镀敷区域321覆盖。因此,将由以第1镀敷区域321的长度321R(图5的(b))为半径r所绘制的圆弧包围的范围规定为陶瓷本体20的角部25。

[0047] (基底层31)

[0048] 如图2~图4所示,外部电极30的基底层31将陶瓷本体20的角部25(图1的(a))除外地覆盖侧面23和端面21。

[0049] 也可以是,陶瓷本体20的角部25从基底层31完全地露出(即,角部25可以完全不被基底层31覆盖)。或者,也可以是,角部25的仅一部分从基底层31露出,剩余部分被基底层31覆盖。作为一个例子,也可以是,覆盖角部25的基底层31极其薄,因此基底层31无法形成连续膜(即,也可以在基底层31产生多个孔,从而角部25的一部分从孔露出)。在另一个例子

中,可能存在如下情况等,即,角部25之中仅顶点25t(图1的(b))的极近处从基底层31露出,角部25的其他部分被基底层31覆盖。

[0050] 基底层31的厚度也可以不均匀。例如,也可以是,对陶瓷本体20的角部25或者其附近进行覆盖的基底层31相对薄,对除此以外的部分进行覆盖的基底层31相对厚。

[0051] 基底层31为了通过电解镀敷形成镀敷层32而设置。因此,基底层31的厚度是对于进行电解镀敷而言充分的厚度,并且优选尽量薄。具体地,基底层31的厚度31t优选为 $0.1\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。通过使基底层31变薄,从而能够使外部电极30的厚度(基底层31、镀敷层32以及第2镀敷层33的厚度的合计)变薄。

[0052] 另外,在本说明书中,“基底层31的厚度31t”是指基底层31的最大厚度。通常,基底层31的厚度31t与对陶瓷本体20的端面21、22的中心21c进行覆盖的镀敷层的厚度大致一致。

[0053] (镀敷层32)

[0054] 外部电极30的镀敷层32覆盖基底层31、和陶瓷本体20的角部25中的从基底层31露出的部分。

[0055] 镀敷层32具有对陶瓷本体20的角部25进行覆盖的镀敷层(第1镀敷区域)321、设置在陶瓷本体20的端面21、22侧的镀敷层(第2镀敷区域)322、以及设置在陶瓷本体20的侧面23侧的镀敷层(第3镀敷区域)323这三个区域。

[0056] (第1镀敷区域321的厚度T1)

[0057] 如图3所示,覆盖角部25的镀敷层32(第1镀敷区域321)的厚度T1比覆盖端面21的中心21c(图1的(b))的镀敷层32的厚度T2厚。

[0058] 通过将镀敷层32的厚度在覆盖角部25的第1镀敷区域321中形成得局部厚,从而能够抑制在第1镀敷区域321产生缺陷(镀敷层32的针孔、镀敷层32与陶瓷本体20之间的间隙等)。由此,在形成镀敷层32时,能够抑制镀敷液从镀敷层32的缺陷浸入而对陶瓷本体20以及内部电极71、72造成损伤。

[0059] 第1镀敷区域321的厚度T1和对陶瓷本体20的端面21的中心21c进行覆盖的镀敷区域32的厚度T2像以下那样测定。

[0060] 首先,在与LT面平行的剖面CS(图1的(a)的沿着X-X线的剖面)切断电子部件10。决定剖面CS的位置,使得穿过角部25并且配置在陶瓷本体20的内部内部电极71、72露出。另外,也可以代替将电子部件10在剖面CS切断,而使电子部件10研磨至剖面CS。

[0061] 图3图示了在剖面SC切断的电子部件10的剖面。图3所图示的陶瓷本体20具备侧面23、端面21以及它们相交的棱线25RL。

[0062] 在此,参照图1的(b)对棱线25RL进行说明。陶瓷本体20具有侧面23和端面21相接的棱线20RL1、20RL2、以及相邻的两个侧面23相接的棱线20RL3。这些棱线中的一部分穿过角部25。将处于角部25的范围内的棱线称为“角部25的棱线25RL”。

[0063] 再次参照图3。覆盖角部25的第1镀敷区域321的厚度T1在电子部件10的剖视下(图3),是从陶瓷本体20的角部25的棱线25RL到第1镀敷区域321的外表面的距离。另外,角部25的棱线25RL有时在制造中被除去边缘而成为曲面(在图3中绘制为曲线)。

[0064] 对陶瓷本体20的端面21的中心21c进行覆盖的镀敷层32的厚度T2严格来说,需要通过在穿过端面21的中心21c的面切断得到的电子部件10的剖面来测定。然而,图3所示的

第2镀敷区域322和覆盖端面21的中心21c的镀敷层32具有大致相同的厚度。因此,将图3的剖视图中的第2镀敷区域322的厚度视为覆盖端面21的中心21c的镀敷层32的厚度。以下,有时将覆盖端面21的中心21c的镀敷层32的厚度称为第2镀敷区域322的厚度T2。

[0065] 覆盖角部25的第1镀敷区域321的厚度T1优选为覆盖端面21的中心21c的镀敷层32的厚度(即,第2镀敷区域322的厚度)T2的1.5倍以上。由此,覆盖角部25的第1镀敷层321的厚度T1变得充分厚,抑制镀敷液浸入到镀敷层32的内侧的抑制效果进一步提高。

[0066] 第1镀敷区域321的厚度T1更优选为第2镀敷区域322的厚度T2的2倍以上,进一步优选为3倍以上且6倍以下。

[0067] (第1镀敷区域321的层叠构造)

[0068] 如图4所示,覆盖角部25的第1镀敷区域321优选包含层叠了多个镀敷膜的层叠膜。在图4中,第1镀敷区域321由三个镀敷膜321a、321b、321c构成。通过设为层叠膜,从而能够容易地使第1镀敷区域321的厚度T1变厚。

[0069] 关于所述层叠膜,优选层叠有两层以上且十层以下的镀敷膜,更优选层叠有两层以上且四层以下的镀敷膜。

[0070] 构成第1镀敷区域321(层叠膜)的镀敷膜的层的数量计算为(裂纹CL的数量)+1。在图4中,由于裂纹CL有2条,因此镀敷膜计数为“3层”。

[0071] 裂纹CL能够通过用显微镜(数码显微镜或者光学显微镜)对第1镀敷区域321的剖面进行观察来确认(图7的(a)、图8)。通过显微镜以倍率为100倍以上对第1镀敷区域321进行观察,在宽度为 $1\mu\text{m}$ 以上的间隙连续 $1\mu\text{m}$ 以上的情况下,判断为“裂纹CL”。

[0072] (第1镀敷区域321的长度321R)

[0073] 图5的(a)是来自后述的实施例1涉及的电子部件10的端面21侧的显微镜照片,图5的(b)是将图5的(a)的一部分进行了放大的显微镜照片。如图5的(b)所示,将第1镀敷区域321的沿着陶瓷本体20的棱线20RL1的尺寸设为“长度321R”。第1镀敷区域321的长度321R例如为 $0.1\mu\text{m}$ 以上且 $100\mu\text{m}$ 以下。第1镀敷区域321的长度321R更优选为 $20\mu\text{m}$ 以上且 $60\mu\text{m}$ 以下。

[0074] 第1镀敷区域321的长度321R像以下那样测定。

[0075] 在图5的(a)、(b)中,绘制出陶瓷本体20的侧面23、陶瓷本体20的端面21、以及陶瓷本体20的棱线20RL1、20RL2。侧面23和端面21在陶瓷本体20的棱线20RL1或者棱线20RL2处相接(还参照图1的(b))。如图5的(a)、(b)所示,对陶瓷本体20的角部25进行覆盖的镀敷层32(第1镀敷区域321)覆盖陶瓷本体20的角部25的顶点25t,进一步沿着陶瓷本体20的棱线20RL1、20RL2各自延伸。在图5的(a)那样的端面视图下,第1镀敷区域321具有L形状。

[0076] 此外,陶瓷本体20具有相互相邻的两个侧面23相接的棱线20RL3(参照图1的(b))。第1镀敷区域321还覆盖陶瓷本体20的角部25的顶点25t,并沿着陶瓷本体20的棱线20RL3延伸。

[0077] 另外,第1镀敷区域321的沿着陶瓷本体20的棱线20RL1的长度321R与第1镀敷区域321的沿着其他棱线20RL2、20RL3分别测定的长度大致相等。因而,在测定第1镀敷区域321的长度时,也可以沿着任意的棱线来测定。

[0078] 如图5的(a)、(b)可知,第1镀敷区域321和第2镀敷区域322由于厚度以及表面性状不同,因此在用显微镜(数码显微镜或者光学显微镜)进行观察时,这些区域的色调看起来不同。因此,能够基于色调来确定第1镀敷区域321的范围。在确定了第1镀敷区域321的范围

之后,对第1镀敷区域321的长度进行测定。

[0079] 实施方式涉及的电子部件10能够在不产生镀敷层32、42的缺陷(针孔、间隙等)的情况下使基底层31、41变薄。因此,基于以下的理由,特别适合于如图2所示的层叠陶瓷电容器那样的、在陶瓷本体20的内部包含内部电极71、72的电子部件10。

[0080] 在层叠陶瓷电容器中,通过使基底层31、41变薄从而能够削减外部电极30、40的厚度。因此,能够在不改变电子部件10的外形尺寸的情况下增加内部电极71、72的数量。由此,能够提高层叠陶瓷电容器的静电电容。

[0081] 即使在具备内部电极的其他电子部件(层叠热敏电阻等)中,也能够增加内部电极的数量,因此能够提高电子部件的电特性。

[0082] [电子部件10的制造方法]

[0083] 关于实施方式1涉及的电子部件10的制造方法,以具有图2所示的构造的层叠陶瓷电容器为例来进行说明。

[0084] (陶瓷本体20以及内部电极71、72的制作)

[0085] 首先,准备在内部包含内部电极71、72的陶瓷本体20。陶瓷本体20能够通过任意的适当方法来制作。

[0086] 陶瓷本体20(更详细地为陶瓷层200)由适于要制造的电子部件的陶瓷材料形成。例如,在层叠陶瓷电容器中,陶瓷本体20由介电陶瓷材料(例如, BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 、 $(\text{BaSr})\text{TiO}_3$ 、 $\text{Ba}(\text{ZrTi})\text{O}_3$ 、 $(\text{BiZn})\text{Nb}_2\text{O}_7$ 等)形成。

[0087] 内部电极71、72由导电性材料形成。适宜的导电性材料例如为Ag、Cu、Pt、Ni、Al、Pd、Au等,特别优选Ag、Cu以及Ni。

[0088] 在陶瓷本体20以及内部电极71、72的制作中,首先,称量陶瓷本体20的各原料,连同部分稳定氧化锆(Partially Stabilized Zirconia:PSZ)等粉碎介质(以下,也称为PSZ球)以及纯水一起投入到球磨机,进行湿式混合粉碎。将得到的混合物在给定温度(例如,1000~1200°C)下进行预烧,得到预烧粉末。在得到的预烧粉末中添加有机粘合剂,通过湿式进行混合处理而成为浆料状,然后,使用刮刀法等进行成型加工,制作希望厚度的陶瓷生片。

[0089] 接下来,将用于形成内部电极71、72的导电性膏涂敷在陶瓷生片的表面,从而形成内部电极图案。导电性膏例如通过使金属粉末以及有机粘合剂分散到有机溶剂中来调制。导电性膏例如通过丝网印刷等来涂敷。

[0090] 将形成有内部电极图案的陶瓷生片层叠了给定数之后,进一步地,用未形成内部电极图案的陶瓷生片从上下夹着来压接。由此,得到交替地层叠了陶瓷生片和内部电极图案的层叠体(烧结前层叠体)。在将该烧结前层叠体切断为给定尺寸之后,进行脱脂处理以及脱粘合剂处理,在给定的温度(1200~1400°C)以及给定的气氛下烧成。这样一来,得到具有交替地层叠了多个陶瓷层200和内部电极71、72的层叠构造的层叠体80。该层叠体80还能够视作在内部包含内部电极71、72的陶瓷本体20。

[0091] (基底层31、41的形成)

[0092] 如图2所示,形成基底层31、41,使得覆盖陶瓷本体20的端部(如图2所示,陶瓷本体20的端面21、22和侧面23的一部分)。基底层31、41与在陶瓷本体20的端面21、22露出的内部电极71、72接触。

[0093] 基层31、41例如由包含Cu、Ag、Si、Ni等的金属材料形成。特别优选由Cu膜形成。

[0094] 基层31、41能够通过公知的成膜方法来形成。例如,能够使用溅射法、蒸镀法、涂敷法(将导电性膏涂敷于给定位置之后进行烧接)、浸渍法等。例如,关于Cu膜,涂敷Cu膏之后进行烧接的方法适宜。

[0095] 通过将Cu膜形成得薄,从而变成陶瓷本体20的角部25至少部分地从基层31、41露出的状态。

[0096] (镀敷层32、42的形成)

[0097] 形成镀敷层32、42,使得覆盖基层31、41、和陶瓷本体20的角部25中的从基层31露出的部分。

[0098] 镀敷层32、42例如能够通过Ni以及Cu中的至少一者进行电解镀敷来形成。关于镀敷层32、42,例如,使用边使加入到滚筒内的导电性介质和陶瓷本体20旋转搅拌边进行镀敷的滚筒镀敷法、或者通过滚筒的离心力搅拌并对陶瓷本体20进行镀敷的离心镀敷法等能够向镀敷对象物赋予冲击的镀敷法。由此,能够将对陶瓷本体20的角部25进行覆盖的镀敷层32(第1镀敷区域321)形成为厚膜。

[0099] 以下,以通过离心镀敷法进行镀敷的情况为例,针对用于使第1镀敷区域321厚膜化的机理,边参照附图边详细地说明。

[0100] 在将基层31、41形成为如图6的(a)那样陶瓷本体20的角部25露出之后,通过离心镀敷法在基层31、41的表面形成镀敷层32a。

[0101] 镀敷层32a最初形成在基层31、41的表面,随着时间而扩展至陶瓷本体20的角部25的表面(图6的(b))。

[0102] 对陶瓷本体20的角部25进行覆盖的镀敷层32a与角部25的表面的结合力弱。在离心镀敷中,由于在陶瓷本体20彼此之间、陶瓷本体20与导电性介质之间以及陶瓷本体20与阴极之间产生的碰撞,以及,由于陶瓷本体20因离心力粘附于阴极时的摩擦,镀敷层32a容易从角部25的表面剥离(图6的(c))。其结果是,角部25从镀敷层32a露出。另外,镀敷层32a和基层31、41的结合力强,因此镀敷层32a只是部分地剥离。

[0103] 在剥离了镀敷层32a的一部分的状态下,进一步地继续进行镀敷。以基层31、41以及/或者先前形成的镀敷层32a为基点,再次形成对角部25的表面进行覆盖的镀敷层32b(图6的(d))。此外,关于先前形成的镀敷层32a,增加了厚度。特别是,关于从角部25剥离的镀敷层32a,在内侧(在剥离前与角部25的表面接触的面)和外侧的两面发生镀敷生长。

[0104] 与图6的(c)同样地,覆盖角部25的镀敷层32b由于在离心镀敷中陶瓷本体20可能承受的(如上述那样的)各种碰撞以及摩擦,容易从角部25的表面剥离(图6的(e))。

[0105] 若在剥离了镀敷层32b的状态下,进一步地继续进行镀敷,则以基层31、41以及/或者先前形成的镀敷层32a、32b为基点,再次形成对角部25的表面进行覆盖的镀敷层32c(图6的(f))。此外,关于先前形成的镀敷层32a、32b,增加了厚度。特别是,关于镀敷层32a、32b的剥离的部分,在内侧和外侧的两面发生镀敷生长。

[0106] 像这样,反复进行覆盖角部25的镀敷层的形成和剥离,由此能够使覆盖角部25的镀敷层32(第1镀敷区域321)比镀敷层32的其他部分(第2镀敷区域322、第3镀敷区域323)厚。

[0107] 第1镀敷区域321的厚度T1能够通过镀敷时间的时长来调节。如果使镀敷时间变

长,则能够使第1镀敷区域321的厚度T1变厚。

[0108] 形成第1镀敷区域321的镀敷膜321a、321b、321c的层的数量根据剥离的次数来决定。根据在离心镀敷中陶瓷本体20(更准确来说为形成在陶瓷本体20的表面的镀敷膜)受到的冲击的强弱的调节(例如,能够通过放入小片(chip)和介质的容器(滚筒)的转速来调节)和镀敷时间的调节来控制剥离的次数,从而能够控制镀敷膜321a、321b、321c的层的数量。

[0109] 镀敷时间优选为30分钟~600分钟的范围,转速优选为200~500rpm的范围。

[0110] (第2镀敷层33、43的形成)

[0111] 形成第2镀敷层33、43,使得覆盖镀敷层32、42的表面。第2镀敷层33、43例如能够通过电解镀敷Sn来形成。第2镀敷层33、43能够通过公知的镀敷方法来形成,例如能够使用滚筒镀敷法、离心镀敷法等。

[0112] 实施例

[0113] 通过以下的过程,制作了测定用试样。

[0114] (实施例1)

[0115] 通过原料的粉碎混合、预烧、成型、烧成以及切断来调制了陶瓷本体20。关于原料的粉碎混合,作为主成分混合了给定量的BaTiO₃之后进行粉碎,在空气气氛下,以最高温度1200°C进行了预烧。在得到的预烧粉末中添加有机粘合剂进行湿式混合,从而得到了浆料。通过刮刀法,从浆料制作了希望厚度的陶瓷生片。接着,将内部电极用导电性膏(Ag膏)涂敷在陶瓷生片的表面从而形成了内部电极图案。将像这样形成了内部电极图案的陶瓷生片层叠给定数,接着,用未形成内部电极图案的陶瓷生片夹着上下来压接,由此制作了层叠体。将该层叠体切断为给定尺寸之后进行脱脂处理以及脱粘合剂处理,接着在给定的温度(1200~1400°C)以及给定的气氛下进行烧成,从而得到了具有包含陶瓷本体20和内部电极71、72的层叠构造的层叠体80。

[0116] 在陶瓷本体20的端部涂敷并烧接Cu膏,由此形成了基底层31。此时,从基底层31露出了陶瓷本体20的角部25(图7的(a)、图8)。

[0117] 接着,通过离心镀敷,形成了对基底层31的表面以及陶瓷本体20的角部25进行覆盖的镀敷层32(Ni镀敷层)。在进行离心镀敷时,与一般的离心镀敷条件相比,使滚筒(放入小片和介质的容器)的转速变快,并且使镀敷时间增加了。由此,在容易受到冲击的陶瓷本体20的角部25,使Ni镀敷层进行了层叠化。

[0118] 进而,通过离心镀敷形成了覆盖Ni镀敷层的第2镀敷层33(Sn镀敷层)。镀敷条件设为一般的镀敷条件。

[0119] 这样一来,得到了层叠陶瓷电容器(实施例1的试样)。

[0120] 对试样进行树脂填埋,研磨至图1的(a)的X-X线而使剖面SC(平行于LT面)露出之后,进行了离子铣削。用数码显微镜(Keyence:VHX7000)对外部电极30、40的第1镀敷区域321进行了观察。将实施例1的试样的显微镜照片示于图7的(a)、图8。在实施例1的试样中,对陶瓷本体20的角部25进行覆盖的第1镀敷区域321是3层的Ni镀敷膜321a、321b、321c的层叠膜(图8)。此外,在Ni镀敷层32不存在针孔。

[0121] 对第1镀敷区域321的长度321R(图5的(b))进行了测定的结果是55μm左右。

[0122] (比较例1)

[0123] 除了镀敷层32(Ni镀敷层)的形成条件以外,通过与实施例1同样的工序,制作了比

较例1的试样。在比较例1的试样中,Ni镀敷层32在一般的离心镀敷条件下进行了镀敷。由此,降低了施加于陶瓷本体20的角部25的冲击,从而抑制了Ni镀敷层32的层叠化。

[0124] 从比较例1的试样剥离了第2镀敷层(Sn镀敷)之后,与实施例1的试样同样地进行加工处理,并用数码显微镜(Keyence:VHX7000)对外部电极30的角落部进行了观察。将比较例1的试样的显微镜照片示于图7的(b)。在比较例1的试样中,Ni镀敷层32对陶瓷本体20的角部25进行覆盖的部分与其他部分相比变薄,从而产生了针孔PH。

[0125] 此外,将实施例1的试样和比较例1的试样分别制作10000个,并进行了以下的评价。

[0126] • 镀敷液侵入数:计数镀敷液浸入到Ni镀敷层的内侧的试样的个数。用显微镜对外部电极30以及其附近的陶瓷本体20的剖面进行观察,在外部电极30的内部以及/或者陶瓷本体20的内部观察到镀敷层的析出或者1 μ m以上的空洞的情况下,判断为浸入了镀敷液。

[0127] • 可靠性评价:施加环境负荷并进行IR(Insulation Resistance,绝缘电阻)测定,对不良品产生数进行了计数。在IR测定中,在高温(70°C以上)、高湿度(50%以上)环境下经过了一定时间以上(24hr以上)之后测定绝缘电阻值,并确认了是否能够维持初始的绝缘电阻值。在测定的绝缘电阻值超过了初始的绝缘电阻值的90%的情况下设为OK(良品),在测定的绝缘电阻值为初始的绝缘电阻值的90%以下的情况下设为NG(不良品)。

[0128] [表1]

	比较例1	实施例1
[0129] 镀敷液侵入数	521/10000 pcs	0/10000 pcs
可靠性评价 (n=10000)	26/10000 pcs	0/10000 pcs

[0130] 如表1所示,在比较例1中,在试样10000个中的521个中确认到镀敷液的浸入。另一方面,在实施例1中,在试样10000个中未确认到镀敷液的浸入。

[0131] 关于可靠性评价,在比较例1中,试样10000个中的26个为不良品。在实施例1中,试样10000个中无不良品。

[0132] 本申请要求基于2022年3月10日在日本提出的特愿2022-037424的优先权,通过参照从而将其记载内容全部援引于本说明书。

[0133] 附图标记说明

[0134] 10:电子部件;

[0135] 20:陶瓷本体;

[0136] 200:陶瓷层;

[0137] 21、22:陶瓷本体的端面;

[0138] 21c:端面的中心;

[0139] 23:陶瓷本体的侧面;

[0140] 25:陶瓷本体的角部;

[0141] 30、40:外部电极;

[0142] 31、41:基底层;

[0143] 31t:基底层的厚度;

[0144] 32、42:镀敷层;

- [0145] 321:覆盖角部的镀敷层(第1镀敷区域);
- [0146] 321R:覆盖角部的镀敷层的长度;
- [0147] 321a、321b、321c:镀敷膜;
- [0148] 322:第2镀敷区域;
- [0149] 323:第3镀敷区域;
- [0150] 33、43:第2镀敷层;
- [0151] 71、72:内部电极;
- [0152] 80:层叠体;
- [0153] T1:第1镀敷区域的厚度;
- [0154] T2:第2镀敷区域的厚度;
- [0155] 20RL1、20RL2、20RL3:陶瓷本体的棱线;
- [0156] 25RL:角部的棱线。

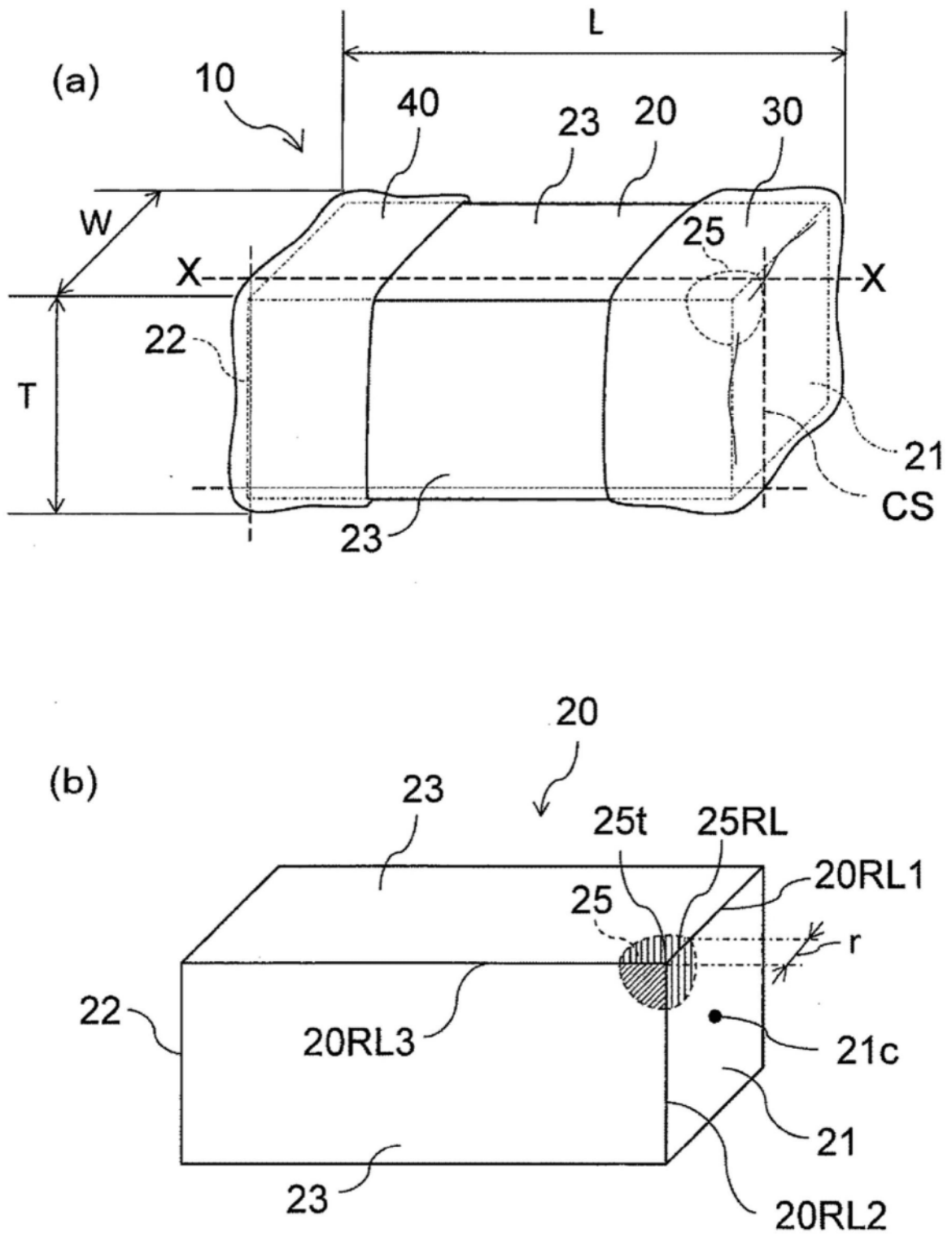


图1

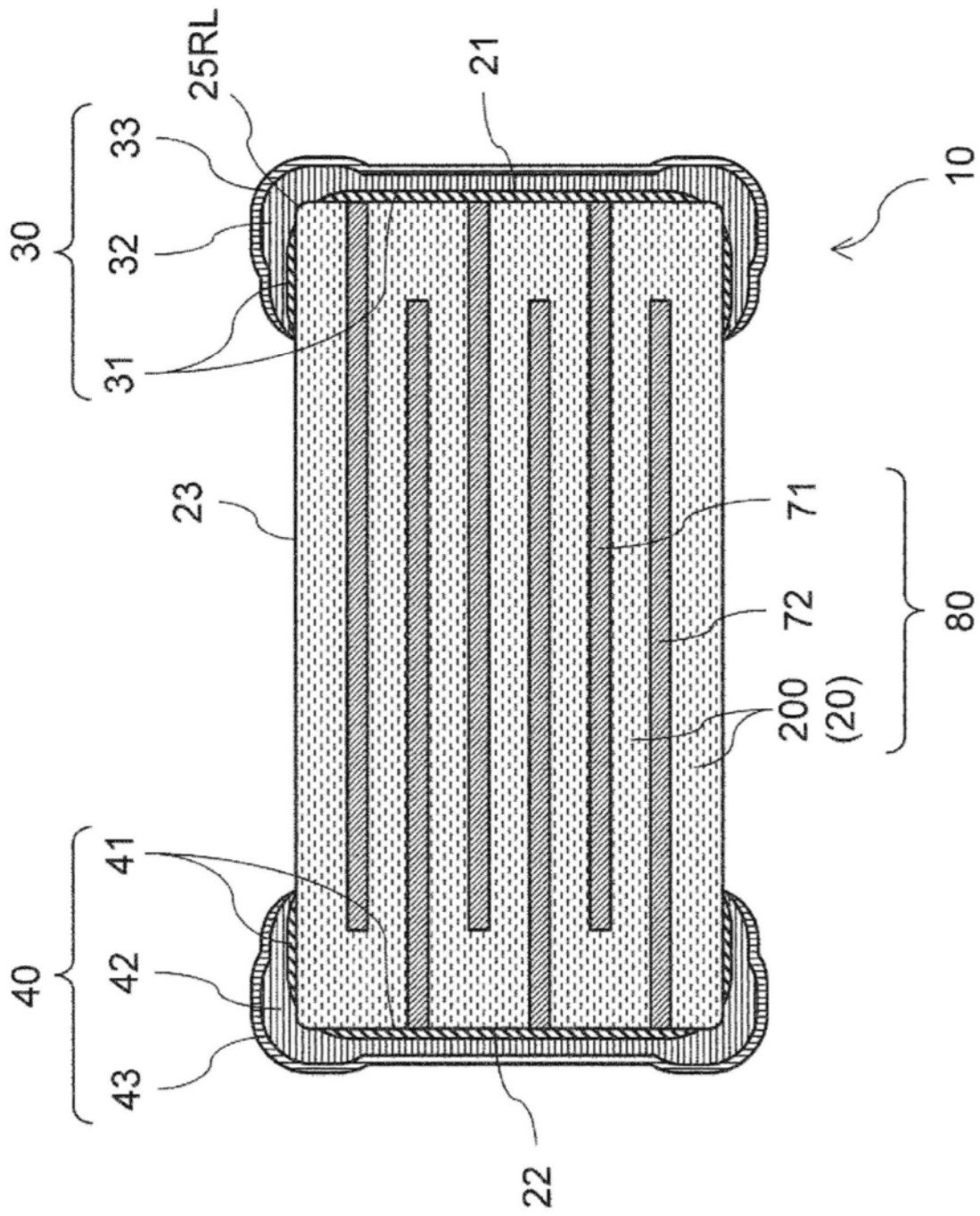


图2

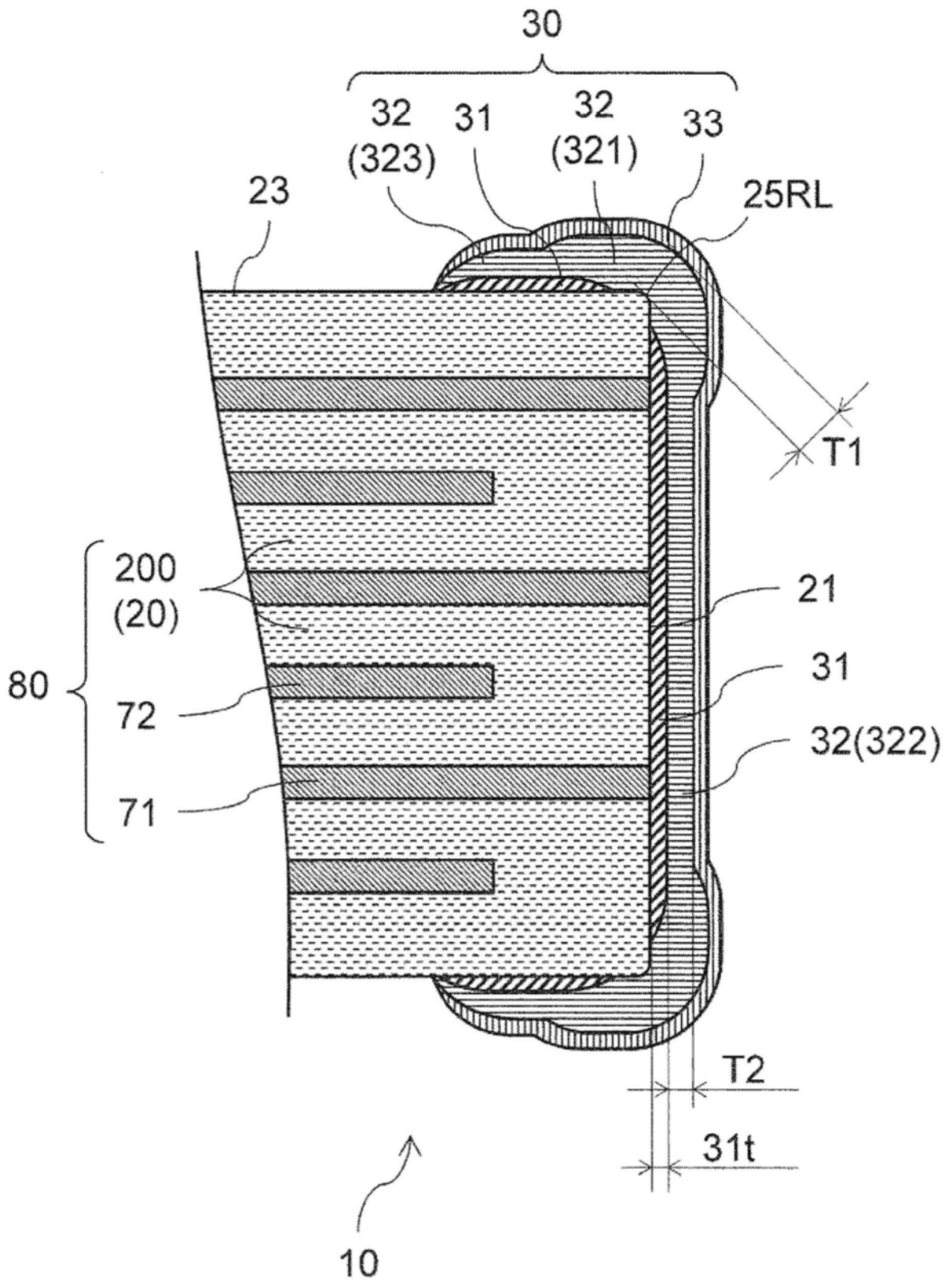


图3

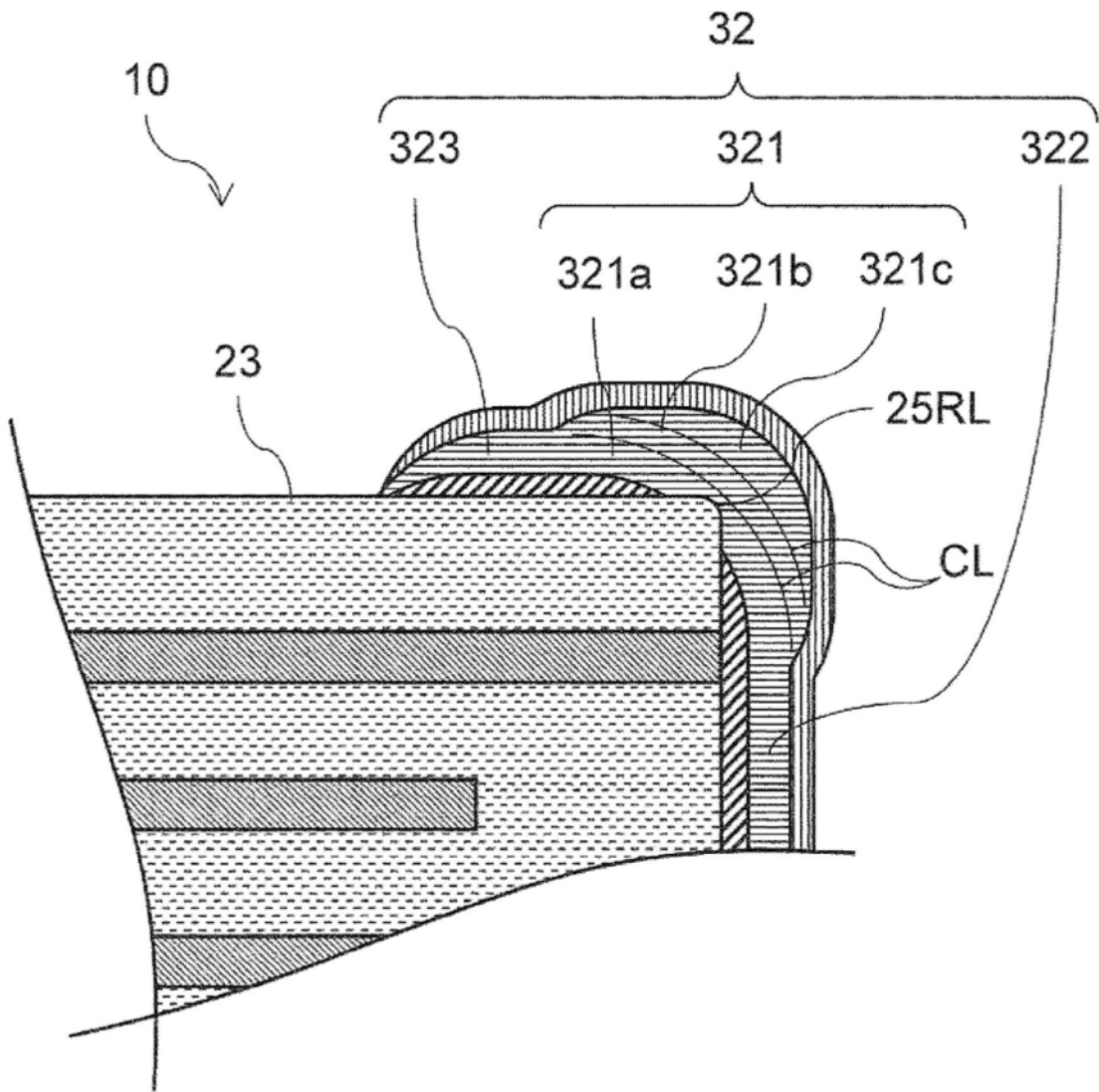


图4

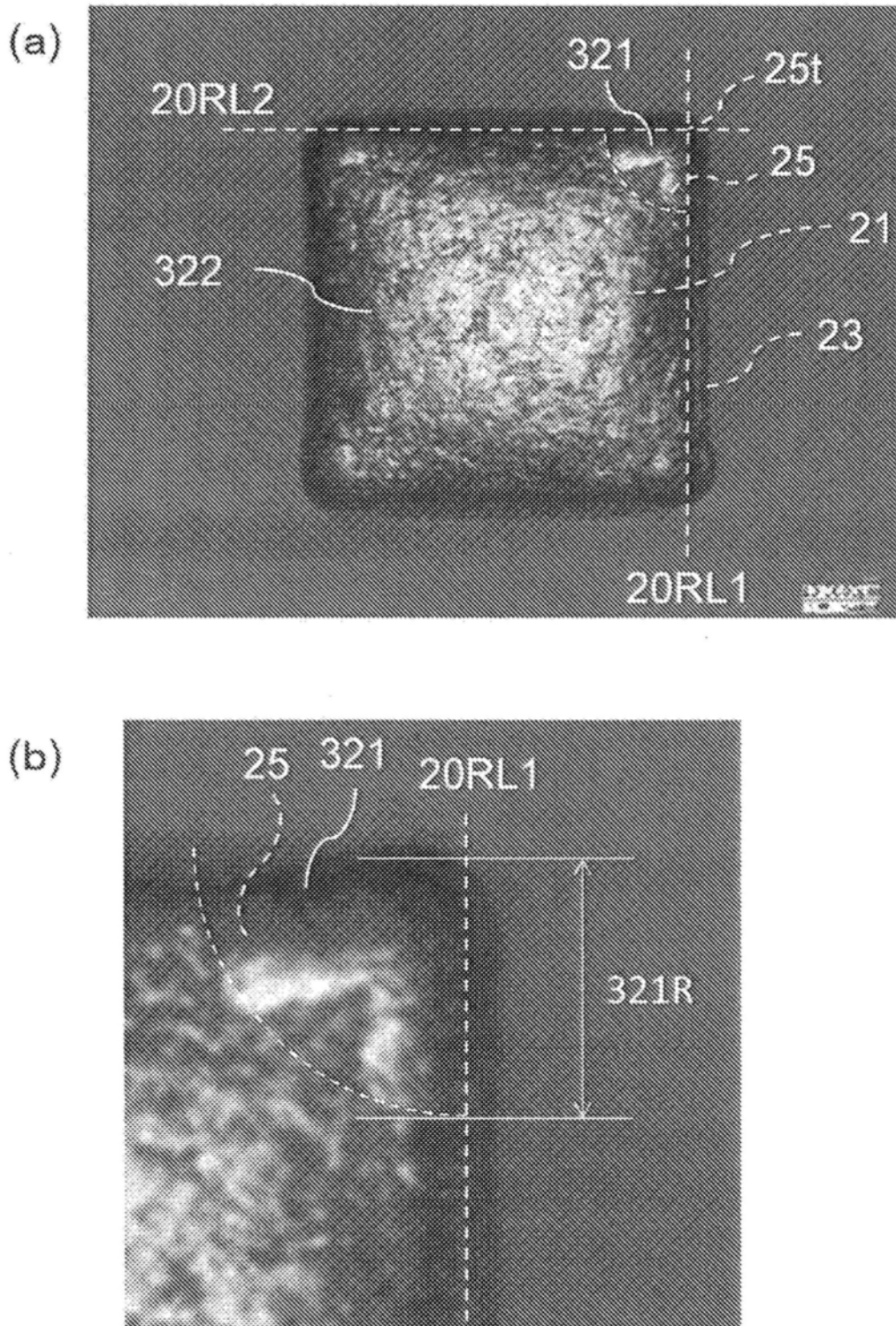


图5

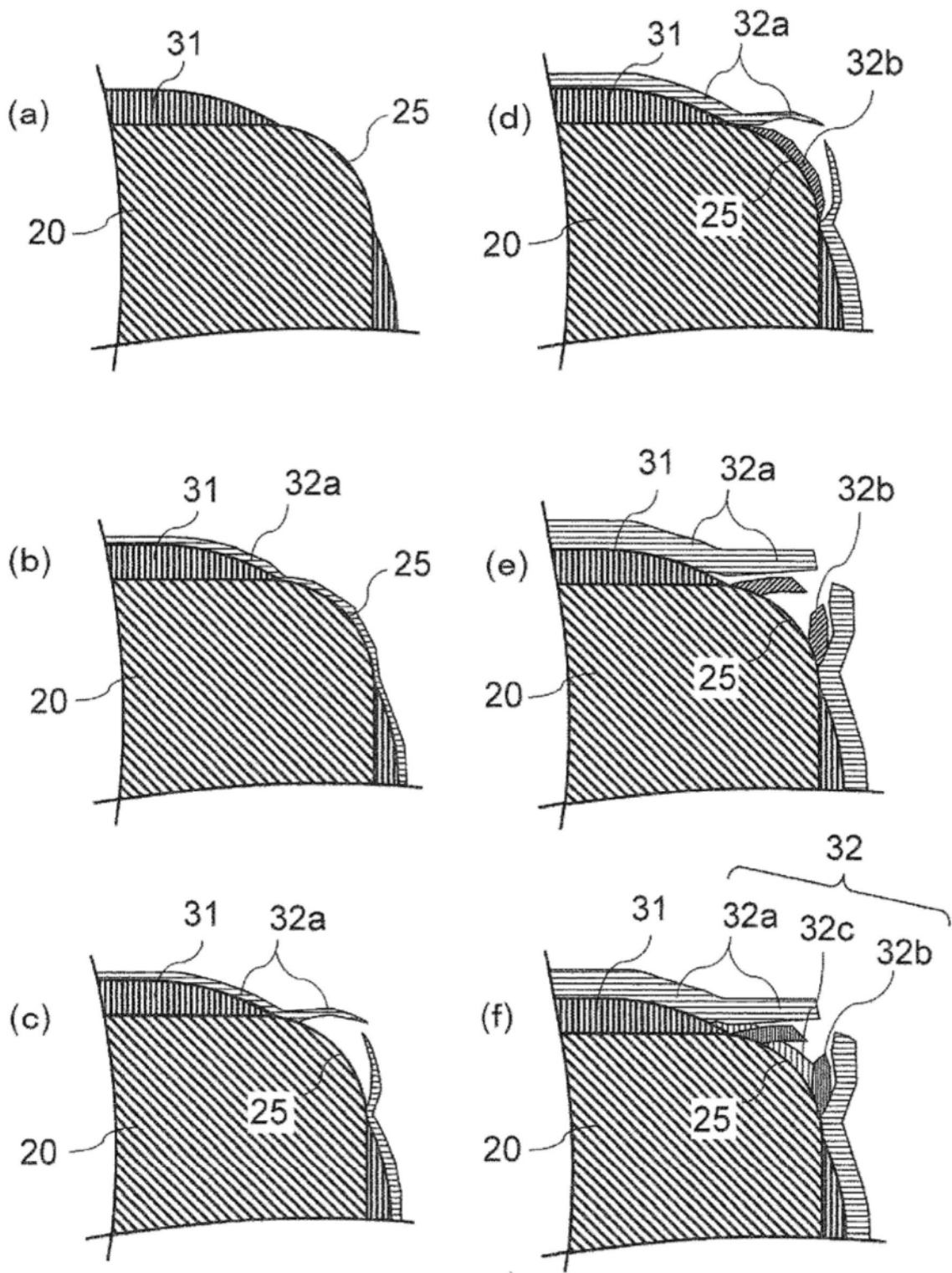


图6

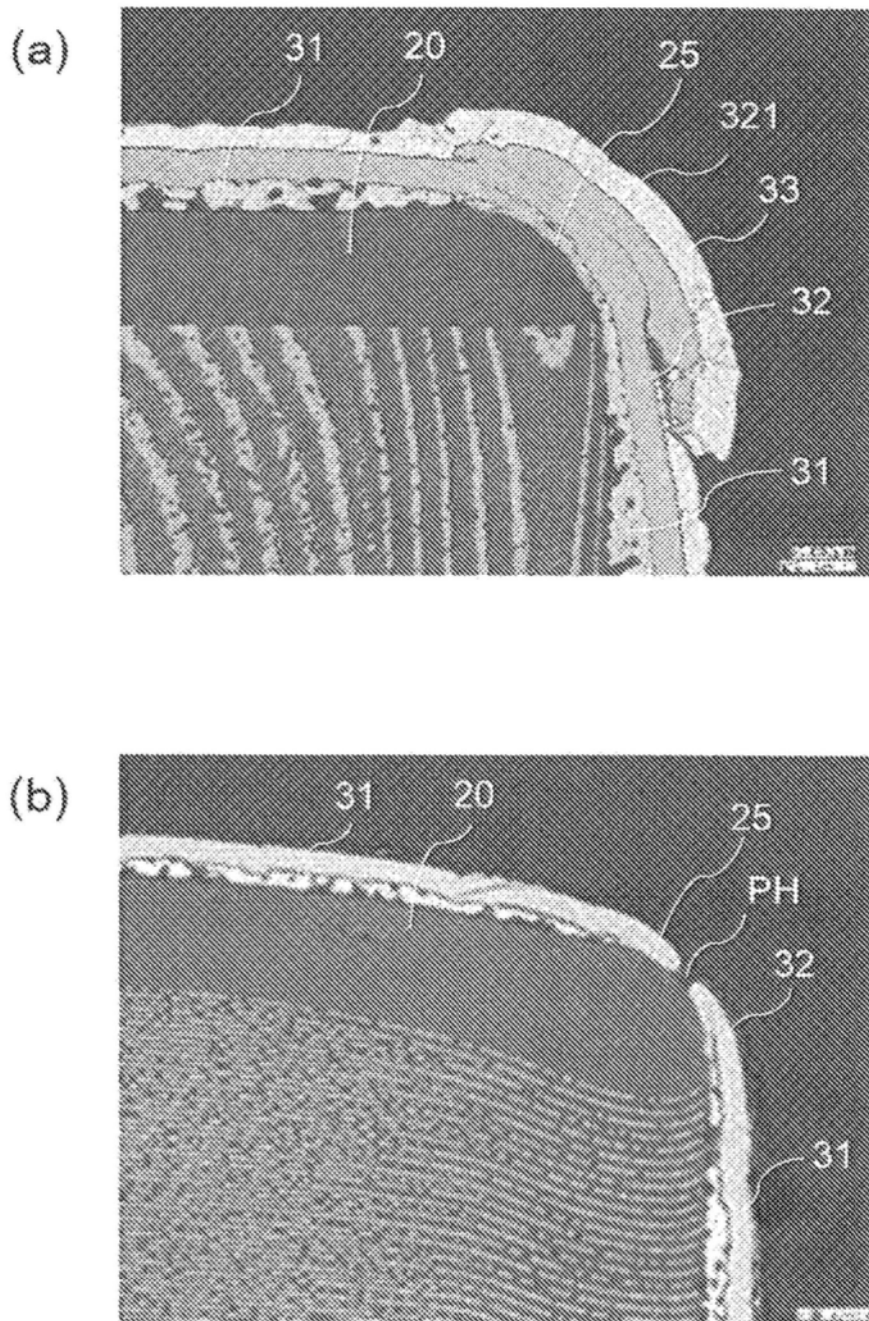


图7

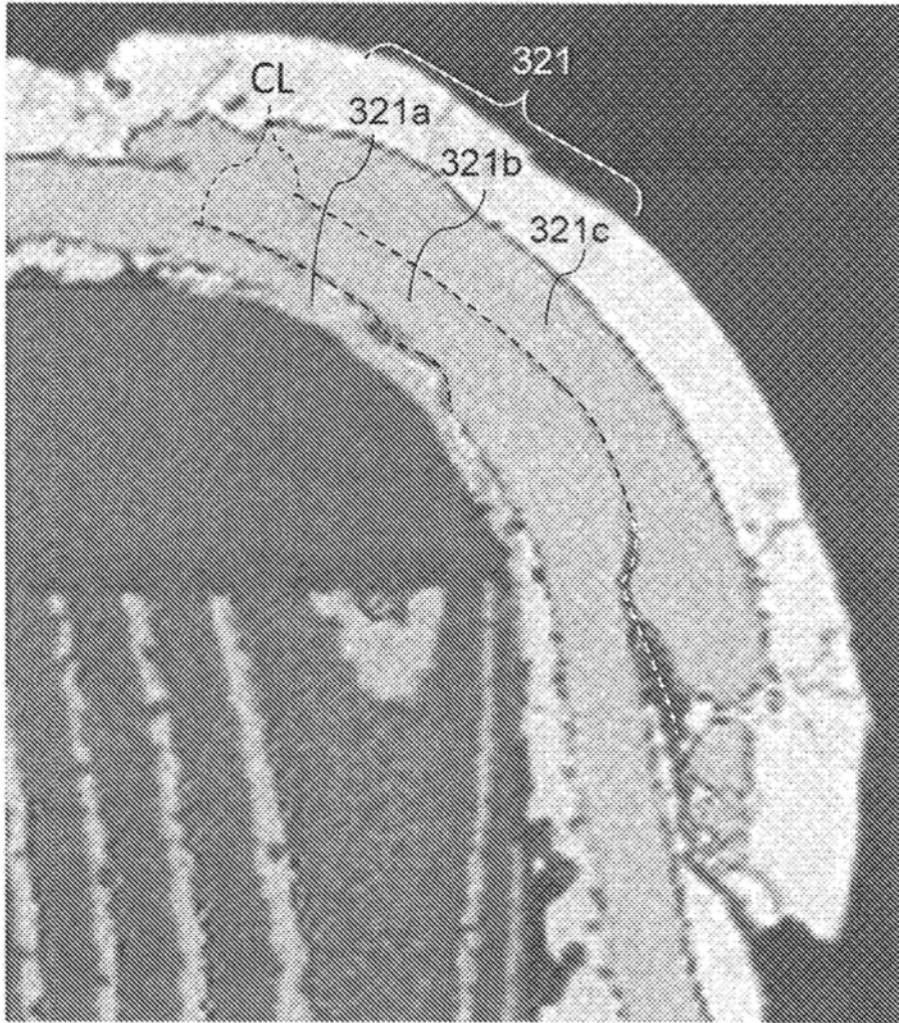


图8