

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年7月17日(17.07.2014)



(10) 国際公開番号
WO 2014/109044 A1

- (51) 国際特許分類:
H01L 21/027 (2006.01)
- (21) 国際出願番号: PCT/JP2013/050369
- (22) 国際出願日: 2013年1月11日(11.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENEAS ELECTRONICS CORPORATION)
[JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部
1753番地 Kanagawa (JP).
- (72) 発明者: 富田 和朗(TOMITA, Kazuo); 〒2118668
神奈川県川崎市中原区下沼部1753番地 ル
ネサスエレクトロニクス株式会社内 Kanagawa
(JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市
北区中之島二丁目2番7号 中之島セントラル
タワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

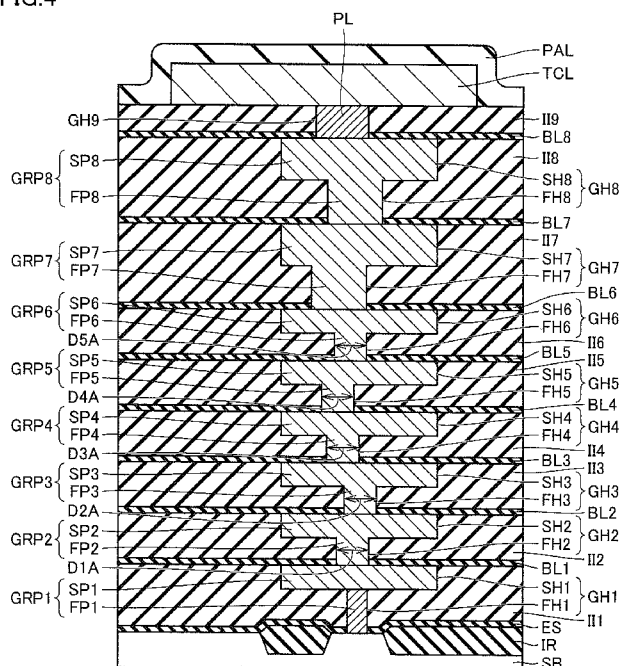
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.4



D5A) がビア (VH2~VH5) 内における配線用導電層 (CL2~CL5) の幅の最小寸法 (D2B~D5B) よりも大きい。

(57) Abstract: A semiconductor device (SC) has one chip region formed by means of divided exposure. Interlayer insulating films (I12-I16) respectively have vias (VH1-VH5) and wiring trenches (IT1-IT5) in an element forming region, and also respectively have guard ring holes (GH2-GH6) in a guard ring region. Wiring conductive layers (CL1-CL5) are formed in the vias (VH1-VH5) and the wiring trenches (IT1-IT5), respectively. Guard ring conductive layers (GRP2-GRP6) are formed in the guard ring holes (GH2-GH6), respectively. The minimum dimensions (D2A-D5A) of the widths of the guard ring conductive layers (GRP3-GRP6) are respectively larger than the minimum dimensions (D2B-D5B) of the widths of the wiring conductive layers (CL2-CL5) in the vias (VH2-VH5).

(57) 要約: 半導体装置 (SC) は、1つのチップ領域が分割露光により形成された半導体装置である。層間絶縁膜 (I12~I16) は、素子形成領域においてビア (VH1~VH5) と配線溝 (IT1~IT5) とを有し、かつガードリング領域においてガードリング用孔 (GH2~GH6) を有している。配線用導電層 (CL1~CL5) はビア (VH1~VH5) および配線溝 (IT1~IT5) 内に形成されている。ガードリング用導電層 (GRP2~GRP6) はガードリング用孔 (GH2~GH6) 内に形成されている。ガードリング用導電層 (GRP3~GRP6) の幅の最小寸法 (D2A~

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、たとえば、１つのチップ領域が分割露光により形成された半導体装置に関するものである。

背景技術

[0002] 半導体装置のチップパターンによっては、１つのチップサイズが露光装置の投影光学系性能によって決まる露光範囲よりも大きい場合がある。このような場合には、分割露光が用いられる。分割露光とは、１つのチップパターンを複数のパターンに分割し、分割されたパターン毎に露光処理を行う露光方法をいう。分割された全てのパターンを最終的に繋ぎ合わせるにより上記のチップパターンが形成される。

[0003] 分割露光は、ＣＣＤ（Charge Coupled Device）センサおよびＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサなどの撮像素子のほか、液晶表示素子の製造においても用いられている。このような分割露光は、たとえば、特開２００６－３１０４４６号公報（特許文献１）、特開２０１１－２３２５４９号公報（特許文献２）などに開示されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００６－３１０４４６号公報

特許文献２：特開２０１１－２３２５４９号公報

発明の概要

発明が解決しようとする課題

[0005] 通常、１つのチップ領域には、素子形成領域と、ガードリング領域とが形成されている。このガードリング領域は、素子形成領域の外周側からその素子形成領域に水分（湿気）が侵入することを防止する役割をなしている。このようなガードリング領域を有するチップ領域を分割露光により形成した場合

合、ガードリング領域も複数のパターンに分割されて露光され、複数のパターンは最終的には繋ぎ合わされる。

[0006] この際、各露光処理でのマスクの重ね合わせ誤差などにより、分割されたガードリングのパターン同士で位置ずれが生じる。この場合、分割されたガードリングのパターンが繋がらず、そのパターンの境界部で上記パターン間に隙間が生じるおそれがある。

[0007] 特にパターンを積層していく場合、上層のパターンほど上記のマスクの重ね合わせ誤差が顕著となるため、分割されたガードリングのパターンの境界部で上記パターン間の隙間が大きくなる可能性がある。

[0008] 上記のように分割されたガードリングのパターンの境界部で上記パターン間に隙間が生じた場合には、その隙間を通じてチップ領域の外周部から内周側の素子形成領域に水分が侵入する。これにより、素子形成領域内の回路の信頼性が低下する。

[0009] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 一実施の形態の半導体装置は、素子形成領域と、その素子形成領域の周囲を取り囲むガードリング領域とを1つのチップ領域に有し、1つのチップ領域が分割露光により形成された半導体装置である。層間絶縁膜は、素子形成領域に形成されたビアとそのビア上にてビアに連通する配線溝とを有し、かつガードリング領域において素子形成領域を取り囲むように延在するガードリング用孔を有している。配線用導電層はビアおよび配線溝内に形成されている。ガードリング用導電層はガードリング用孔内に形成されている。ガードリング用導電層の幅の最小寸法がビア内における配線用導電層の幅の最小寸法よりも大きい。

発明の効果

[0011] 前記一実施の形態によれば、チップ領域の外周側から素子形成領域内に水分が侵入することが抑制されるため素子形成領域内の回路の信頼性が向上す

る。

図面の簡単な説明

[0012] [図1]実施の形態1における半導体装置の機能ブロックを示す図である。

[図2]実施の形態1における半導体装置の構成を概略的に示す部分断面図である。

[図3]図2の素子形成領域内の構成を概略的に示す部分断面図である。

[図4]図2のガードリング領域内の構成を概略的に示す部分断面図である。

[図5]実施の形態1における半導体装置のガードリングの構成を概略的に示す斜視図(A)と平面図(B)である。

[図6]図5(B)のV I A-V I A線に沿う概略断面図(A)と、図5(B)のV I B-V I B線に沿う概略断面図(B)と、図5(B)のV I A-V I A線に沿う断面構成と図5(B)のV I B-V I B線に沿う断面構成とのずれを説明するための概略図(C)である。

[図7]実施の形態1における半導体装置におけるガードリング用導電層の幅の最小寸法を説明するための概略断面図である。

[図8]実施の形態1における半導体装置の製造方法における分割露光の第1露光工程を示す概略平面図である。

[図9]実施の形態1における半導体装置の製造方法における分割露光の第2露光工程を示す概略平面図である。

[図10]実施の形態1における半導体装置の製造方法の第1工程での素子形成領域の断面図(A)と、図9のガードリング領域のX B-X B線に沿う断面に対応する断面図(B)と、図9のガードリング領域のX C-X C線に沿う断面に対応する断面図(C)である。

[図11]実施の形態1における半導体装置の製造方法の第2工程での素子形成領域の断面図(A)と、図9のガードリング領域のX B-X B線に沿う断面に対応する断面図(B)と、図9のガードリング領域のX C-X C線に沿う断面に対応する断面図(C)である。

[図12]実施の形態1における半導体装置の製造方法の第3工程での素子形成

領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図13]実施の形態１における半導体装置の製造方法の第４工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図14]実施の形態１における半導体装置の製造方法の第５工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図15]実施の形態１における半導体装置の製造方法の第６工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図16]実施の形態１における半導体装置の製造方法の第７工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図17]実施の形態１における半導体装置の製造方法の第８工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図18]実施の形態１における半導体装置の製造方法の第９工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図19]実施の形態１における半導体装置の製造方法の第１０工程での素子形

成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図20]実施の形態１における半導体装置の製造方法の第１１工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図21]実施の形態１における半導体装置の製造方法の第１２工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図22]実施の形態１における半導体装置の製造方法の第１３工程での素子形成領域の断面図（Ａ）と、図９のガードリング領域のＸＢ－ＸＢ線に沿う断面に対応する断面図（Ｂ）と、図９のガードリング領域のＸＣ－ＸＣ線に沿う断面に対応する断面図（Ｃ）である。

[図23]比較例における半導体装置のガードリングの構成を概略的に示す斜視図（Ａ）と平面図（Ｂ）である。

[図24]図２３（Ｂ）のＸＸⅠⅤＡ－ＸＸⅠⅤＡ線に沿う断面に対応した概略断面図（Ａ）と、図２３（Ｂ）のＸＸⅠⅤＢ－ＸＸⅠⅤＢ線に沿う断面に対応した概略断面図（Ｂ）と、図２３（Ｂ）のＸＸⅠⅤＡ－ＸＸⅠⅤＡ線に沿う断面に対応した断面構成と図２３（Ｂ）のＸＸⅠⅤＢ－ＸＸⅠⅤＢ線に沿う断面に対応した断面構成とのずれを説明するための概略図（Ｃ）である。

[図25]実施の形態１における半導体装置のガードリング領域内の変形例の構成を概略的に示す部分断面図である。

[図26]実施の形態２における半導体装置のガードリングの構成を概略的に示す平面図である。

[図27]図２６の領域Ｐ２の構成を拡大して示す概略平面図である。

[図28]図２６の領域Ｐ２の構成の第１変形例を拡大して示す概略平面図であ

る。

[図29]図26の領域P2の構成の第2変形例を拡大して示す概略平面図である。

[図30]図26の領域P2の構成の第3変形例を拡大して示す概略平面図である。

[図31]図26の領域P2の構成の第4変形例を拡大して示す概略平面図である。

[図32]図26の領域P2の構成の第5変形例を拡大して示す概略平面図である。

[図33]図26の領域P2の構成の第6変形例を拡大して示す概略平面図である。

[図34]図26の領域P2の構成の第7変形例を拡大して示す概略平面図である。

[図35]図26の領域P2の構成の第8変形例を拡大して示す概略平面図である。

[図36]図26の領域P2の構成の第9変形例を拡大して示す概略平面図である。

[図37]図26の領域P2の構成の第10変形例を拡大して示す概略平面図である。

[図38]図26の領域P2の構成の第11変形例を拡大して示す概略平面図である。

[図39]図26の領域P2の構成の第12変形例を拡大して示す概略平面図である。

[図40]図26の領域P2の構成の第13変形例を拡大して示す概略平面図である。

[図41]図26の領域P2の構成の第14変形例を拡大して示す概略平面図である。

[図42]図26の領域P2の構成の第15変形例を拡大して示す概略平面図で

ある。

[図43]図26の領域P2の構成の第16変形例を拡大して示す概略平面図である。

[図44]図26の領域P2の構成の第17変形例を拡大して示す概略平面図である。

[図45]実施の形態2における半導体装置のガードリングの構成の第18変形例を概略的に示す平面図である。

[図46]図45の領域P3の構成を拡大して示す概略平面図である。

発明を実施するための形態

[0013] 以下、本実施の形態について図に基づいて説明する。

(実施の形態1)

まず本実施の形態の半導体装置の平面構成について図1を用いて説明する。

[0014] 図1を参照して、本実施の形態の半導体装置は、たとえばCMOSセンサの半導体チップもしくは半導体ウエハであるが、これに限定されるものではない。以下においては、本実施の形態の半導体装置がCMOSセンサの半導体チップである場合を例に挙げて説明する。

[0015] 本実施の形態のCMOSセンサの半導体チップSCは、平面視において（半導体基板の主表面に対して直交方向からみて）、素子形成領域と、ガードリング領域と、スクライブ領域とを有している。ガードリング領域は、素子形成領域の外周（周囲）を取り囲むように形成されている。スクライブ領域は、そのガードリング領域のさらに外周（周囲）を取り囲むように形成されている。

[0016] なおスクライブ領域は半導体ウエハから半導体チップを切り出す際にスクライブするための領域である。このため、スクライブの仕方によってはガードリング領域の外周に残らない場合もある。

[0017] 上記の素子形成領域はたとえば矩形の平面形状を有している。この素子形成領域には、画素領域PXと、ゲイン可変アンプPGAと、アナログゲージ

タル変換回路A D Cと、タイミング発生回路T Gと、画素ドライバV S C A Nと、同期信号付加回路B R I D G Eと、出力ドライバL V D Sとが主に形成されている。

[0018] またガードリング領域にはガードリングG Rが形成されている。このガードリングG Rは、ガードリング領域内で、矩形の平面形状を有する素子形成領域の外周を取り囲むように延在している。これによりガードリングG Rは、素子形成領域の内周側の素子形成領域内に外周側から水分（湿気）が侵入することを防止する役割をなしている。

[0019] 上記の半導体チップS Cは、分割露光により形成された半導体装置である。具体的には、たとえば1点鎖線M Aで囲まれた領域のパターンが第1のフォトリソマスクを用いた露光により形成され、かつ1点鎖線M Bで囲まれた領域のパターンが第1のフォトリソマスクとは異なる第2のフォトリソマスクを用いた露光により形成されている。

[0020] 次に、上記の半導体チップの断面構成について図2～図4を用いて説明する。

図2を参照して、たとえばシリコンよりなる半導体基板S Bの表面には、たとえばS T I (Shallow Trench Isolation) またはL O C O S (Local Oxidation of Silicon) 酸化膜よりなる素子分離構造I Rが形成されている。この素子分離構造I Rにより電氣的に分離された半導体基板S Bの表面であって、素子形成領域内には、たとえばM O S (Metal Oxide Semiconductor) トランジスタT R Aなどの素子が形成されている。このM O S トランジスタT R Aなどにより、上記の素子形成領域に形成された各素子が構成されている。

[0021] この半導体基板S Bの表面上には多層の導電層C Lの各々と多層の層間絶縁膜I Iの各々が交互に積層されている。この多層の導電層C Lの各々は、たとえばC u (銅) を含む材質よりなっており、ダマシ構造を有している。また多層の層間絶縁膜I Iの各々は、たとえばシリコン酸化膜、低誘電率 (Low-k) 材料などよりなっている。

- [0022] 素子形成領域内には導電層C Lにより構成された各種の素子や、多層配線構造I N Lなどが形成されている。またガードリング領域内には多層の導電層C LによりガードリングG Rの一部が構成されている。このガードリングG Rを構成する多層の導電層C Lの各々は、平面視において素子形成領域の全周を取り囲むように形成されている。なお多層の層間絶縁膜I Iの各々の表面は平坦化处理されており、比較的平坦な表面となっている。
- [0023] 多層の層間絶縁膜I Iのうち最上層の層間絶縁膜I I上には、たとえばA l（アルミニウム）またはC uを含む材質よりなる最上層導電層T C Lが形成されている。この最上層導電層T C Lは、パッド用最上層導電層T C Lと、ガードリング用最上層導電層T C Lとを有している。
- [0024] パッド用最上層導電層T C Lは、素子形成領域内に形成され、かつパッド電極として機能する部分（パッド部）を有している。またガードリング用最上層導電層T C Lは、ガードリング領域内に形成され、かつガードリングG Rの一部を構成している。パッド用最上層導電層T C Lとガードリング用最上層導電層T C Lとは、互いに同一の層から分離して形成された層である。
- [0025] ガードリングG Rは、多層の導電層C Lとガードリング用最上層導電層T C Lとにより構成されている。このガードリングG Rは、主に素子形成領域内への水分（湿気）の侵入を防止するためのものであるため、半導体基板S Bの表面から最上層の層間絶縁膜I I上にまで延びていることが好ましい。多層の導電層C Lとガードリング用最上層導電層T C Lとの各々は、図1に示すように平面視において素子形成領域の全周を取り囲むように形成されている。
- [0026] 図2を参照して、パッド用最上層導電層T C Lおよびガードリング用最上層導電層T C Lを覆うように、最上層の層間絶縁膜I I上にパッシベーション膜P A Lが形成されている。このパッシベーション膜P A Lは、素子形成領域、ガードリング領域およびスクライブ領域の各々に形成されている。パッシベーション膜P A Lは、耐湿性を有する材質よりなっており、たとえば窒素を含む絶縁膜単体もしくは窒素を含む絶縁膜を含む積層膜よりなってい

る。パッシベーション膜PALは、具体的には、 $p-SiN$ （プラズマシリコン窒化膜）、 $p-SiON$ （プラズマシリコン酸窒化膜）、 $p-SiN/p-SiO_2$ （プラズマシリコン窒化膜／プラズマシリコン酸化膜）、 $p-SiON/p-SiO_2$ （プラズマシリコン酸窒化膜／プラズマシリコン酸化膜）などよりなっている。

[0027] 素子形成領域内において、パッド用最上層導電層TCL上のパッシベーション膜PALにはパッド用最上層導電層TCLの表面に達する開口部OP1が形成されている。この開口部OP1によりパッド用最上層導電層TCLの表面の一部がパッシベーション膜PALから露出している。

[0028] ガードリング領域の最外周側には、シランスリットSSが形成されている。このシランスリットSSは、パッシベーション膜PALを貫通して最上層の層間絶縁膜IIに達する溝よりなっている。シランスリットSSは、ガードリングGRの全周を取り囲むように形成されている。シランスリットSSは、半導体ウエハをダイシングにより半導体チップに分離する際に、パッシベーション膜PAL内を伝搬するクラックがガードリングGR内および素子形成領域内に延びることを防止するためのものである。

[0029] パッシベーション膜PAL上に第1の感光性有機絶縁膜PO1が形成されている。この第1の感光性有機絶縁膜PO1は、たとえばポリイミドよりなっている。この第1の感光性有機絶縁膜PO1にはパッド用最上層導電層TCLの表面に達する開口部OP2が形成されている。この開口部OP2は、開口部OP1の内部を通るように形成されている。開口部OP2によりパッド用最上層導電層TCLの表面の一部が第1の感光性有機絶縁膜PO1から露出している。

[0030] 第1の感光性有機絶縁膜PO1上には再配線層RILが形成されている。この再配線層RILは、開口部OP2を通じてパッド用最上層導電層TCLのパッド部に接続されている。再配線層RILは、パッド用最上層導電層TCLのパッド部の真上領域からその真上領域以外の他の領域に延びるように形成されている。

[0031] この再配線層 R I L は、第 1 の感光性有機絶縁膜 P O 1 の表面に接して形成されたバリアメタル層 B M と、バリアメタル層 B M 上に形成された導電層 D C L とを有している。バリアメタル層 B M は、たとえば C r (クロム)、T i (チタン)、T i N (チタンナイトライド)、T a (タンタル)、W (タングステン)、M o (モリブデン) などの 1 種、またはこれらの任意の組合せを含む材質からなっている。また導電層 D C L は、たとえば C u を含む材質よりなっている。

[0032] 再配線層 R I L を覆うように第 1 の感光性有機絶縁膜 P O 1 上に第 2 の感光性有機絶縁膜 P O 2 が形成されている。この第 2 の感光性有機絶縁膜 P O 2 は、たとえばポリイミドよりなっている。この第 2 の感光性有機絶縁膜 P O 2 には再配線層 R I L の表面に達する開口部 O P 3 が形成されている。この開口部 O P 3 により再配線層 R I L の表面の一部が第 2 の感光性有機絶縁膜 P O 2 から露出している。

[0033] 第 2 の感光性有機絶縁膜 P O 2 上には、開口部 O P 3 を通じて再配線層 R I L と接続するようにバンプ電極 B P が形成されている。バンプ電極 B P は、再配線層 R I L を通じてパッド用最上層導電層 T C L に電氣的に接続されている。バンプ電極 B P は、パッド用最上層導電層 T C L のパッド部の真上領域以外の他の領域の真上に位置している。バンプ電極 B P は、たとえば S n (錫) - x A g (銀) - 0.5 C u の合金組成を有している。

[0034] 次に、上記の素子形成領域における多層配線構造 I N L の構成について図 3 を用いて、またガードリング領域におけるガードリング G R の構成について図 4 を用いて説明する。

[0035] 図 3 を参照して、素子形成領域においては、導電層 C L 1 ~ C L 7 により多層配線構造が構成されている。この多層配線構造は、半導体基板 S B に形成された素子同士を電氣的に接続するとともに、その素子をバンプ電極 B P (図 2) を通じて外部と電氣的に接続するためのものである。

[0036] 半導体基板に形成された素子としての M O S トランジスタ T R A は、1 対のソース／ドレイン領域 S D と、ゲート電極 G E とを有している。1 対のソ

ース／ドレイン領域SDは、半導体基板SBの表面に互いに間隔をあけて形成されている。ゲート電極GEは、1対のソース／ドレイン領域SDに挟まれる半導体基板SBの表面上にゲート絶縁層GIを介在して形成されている。

[0037] このMOSトランジスタTRAなどを覆うように半導体基板SBの表面上に、エッチングストoppa用絶縁膜ESおよび層間絶縁膜II1が積層されている。これらの絶縁膜ES、II1には、コンタクトホールCHおよび配線溝ITが形成されている。コンタクトホールCHはゲート電極GEや不純物領域などに達するように形成されている。配線溝ITは、コンタクトホールCH上にてコンタクトホールCHに連通するように形成されている。

[0038] コンタクトホールCH内にはプラグ導電層PLが埋め込まれており、配線溝IT内には配線用導電層ILが形成されている。

[0039] 層間絶縁膜II1上には、絶縁膜BL1および層間絶縁膜II2が積層されている。これらの絶縁膜BL1、II2には、ビアホールVH1および配線溝IT1が形成されている。ビアホールVH1は配線用導電層ILに達するように形成されている。配線溝IT1は、ビアホールVH1上にてビアホールVH1に連通するように形成されている。

[0040] ビアホールVH1および配線溝IT内には配線用導電層CL1が形成されている。この配線用導電層CL1は、ビアホールVH1内に形成された部分PL1と、配線溝IT1内に形成された部分IL1とを有している。

[0041] 絶縁膜BL1、II2、ビアホールVH1、配線溝IT1、配線用導電層CL1(PL1、IL1)と同様にして、絶縁膜BL2～BL7、II3～II8、ビアホールVH2～VH7、配線溝IT2～IT7、配線用導電層CL2～CL7(PL2～PL7、IL2～IL7)が形成されている。これにより上記の多層配線構造が構成されている。

[0042] 上記の層間絶縁膜II8上には、絶縁膜BL8および層間絶縁膜II9が積層されている。これらの絶縁膜BL8、II9には、ビアホールVH8が形成されており、このビアホールVH8内にはプラグ導電層PLが形成され

ている。層間絶縁膜 119 上に形成された最上層導電層 T C L はこのプラグ導電層 P L を介在して配線用導電層 C L 7 に電氣的に接続されている。

[0043] 図 4 を参照して、ガードリング領域においては、ガードリング用導電層 G R P 1 ~ G R P 8 が互いに積層して形成されている。なお図 4 においては 1 列のガードリング用導電層 G R P 1 ~ G R P 8 のみが示されているが、図 2 に示すように複数列（たとえば 3 列）のガードリング用導電層が形成されていてもよい。

[0044] 半導体基板 S B の表面上に、エッチングストoppa用絶縁膜 E S および層間絶縁膜 111 が積層されている。これらの絶縁膜 E S、111 には、ガードリング用孔 G H 1 が形成されている。このガードリング用孔 G H 1 は、平面視において素子形成領域の全周を取り囲むように形成されており、第 1 の孔部分 F H 1 と、第 2 の孔部分 S H 1 とを有している。第 1 の孔部分 F H 1 は半導体基板 S B の表面に達するように形成されている。第 2 の孔部分 S H 1 は、第 1 の孔部分 F H 1 に連通するように第 1 の孔部分 F H 1 上に位置し、かつ第 1 の孔部分 F H 1 の幅よりも大きな幅を有している。

[0045] 第 1 の孔部分 F H 1 内にはガードリング用導電層 G R P 1 の第 1 の部分 F P 1 が形成されており、第 2 の孔部分 S H 1 内にはガードリング用導電層 G R P 1 の第 2 の部分 S P 1 が形成されている。

[0046] 層間絶縁膜 111 上には、絶縁膜 B L 1 および層間絶縁膜 112 が積層されている。これらの絶縁膜 B L 1、112 には、ガードリング用孔 G H 2 が形成されている。このガードリング用孔 G H 2 は、平面視において素子形成領域の全周を取り囲むように形成されており、第 1 の孔部分 F H 2 と第 2 の孔部分 S H 2 とを有している。第 1 の孔部分 F H 2 はガードリング用導電層 G R P 1 の表面に達するように形成されている。第 2 の孔部分 S H 2 は、第 1 の孔部分 F H 2 に連通するように第 1 の孔部分 F H 2 上に位置し、かつ第 1 の孔部分 F H 2 の幅 D 1 A よりも大きな幅を有している。

[0047] 第 1 の孔部分 F H 2 内にはガードリング用導電層 G R P 2 の第 1 の部分 F P 2 が形成されており、第 2 の孔部分 S H 2 内にはガードリング用導電層 G

R P 2 の第 2 の部分 S P 2 が形成されている。これによりガードリング用導電層 G R P 2 はガードリング用導電層 G R P 1 に接続されている。

[0048] 絶縁膜 B L 1、I I 2、ガードリング用孔 G H 2 (F H 2、S H 2)、ガードリング用導電層 G R P 2 (F P 2、S P 2) と同様にして、絶縁膜 B L 2 ~ B L 7、I I 3 ~ I I 8、ガードリング用孔 G H 3 ~ G H 8 (F H 3 ~ F H 8、S H 3 ~ S H 8)、ガードリング用導電層 G R P 3 ~ G R P 8 (F P 3 ~ F P 8、S P 3 ~ S P 8) が形成されている。互いに上下方向に積層された複数のガードリング用導電層 G R P 3 ~ G R P 1 によりガードリング積層体が構成されている。

[0049] 上記の層間絶縁膜 I I 8 上には、絶縁膜 B L 8 および層間絶縁膜 I I 9 が積層されている。これらの絶縁膜 B L 8、I I 9 には、ガードリング用孔 G H 9 が形成されており、このガードリング用孔 G H 9 内にはプラグ導電層 P L が形成されている。層間絶縁膜 I I 9 上に形成された最上層導電層 T C L はこのプラグ導電層 P L を介在してガードリング用導電層 G R P 8 に電氣的に接続されている。

[0050] このようにして複数のガードリング用導電層 G R P 1 ~ G R P 8 および最上層導電層 T C L を含むガードリング G R が構成されている。

[0051] 図 3 および図 4 を参照して、素子形成領域 (図 3) とガードリング領域 (図 4) とで同じ符号を付された層間絶縁膜 I I 1 ~ I I 9 同士は同じ層からなっている。また素子形成領域 (図 3) とガードリング領域 (図 4) とで同じ符号を付された絶縁膜 E S、B L 1 ~ B L 8 同士は同じ層からなっている。また素子形成領域 (図 3) とガードリング領域 (図 4) とで同じ層間絶縁膜内に形成された配線用導電層とガードリング用導電層とは同じ導電層から互いに分離して形成されたものである。

[0052] 本実施の形態においては、素子形成領域 (図 3) とガードリング領域 (図 4) とで同じ層間絶縁膜 I I 3 ~ I I 6 内に形成された配線用導電層 C L 2 ~ C L 5 とガードリング用導電層 G R P 3 ~ G R P 6 との比較において、ガードリング用導電層 G R P 3 ~ G R P 6 の幅の最小寸法 D 2 A ~ D 5 A の各

々は配線用導電層CL2～CL5の幅の最小寸法D2B～D5Bの各々よりも大きい。

[0053] ここでガードリング用導電層GRP3～GRP6の幅とは、ガードリングGRが延在する方向に直交する断面における幅である。同様に、配線用導電層CL2～CL5の幅とは、配線用導電層CL2～CL5の各々が延在する方向に直交する断面における幅である。

[0054] 具体的には、ガードリング用導電層GRP3の幅の最小寸法D2Aは配線用導電層CL2の幅の最小寸法D2Bよりも大きい。ガードリング用導電層GRP4の幅の最小寸法D3Aは配線用導電層CL3の幅の最小寸法D3Bよりも大きい。ガードリング用導電層GRP5の幅の最小寸法D4Aは配線用導電層CL4の幅の最小寸法D4Bよりも大きい。ガードリング用導電層GRP6の幅の最小寸法D5Aは配線用導電層CL5の幅の最小寸法D5Bよりも大きい。

[0055] より具体的には、配線用導電層CL2～CL5の幅の最小寸法D2B～D5Bの各々はたとえば90nmである。これに対して、ガードリング用導電層GRP3の幅の最小寸法D2Aはたとえば110nmである。またガードリング用導電層GRP4の幅の最小寸法D3Aはたとえば130nmである。またガードリング用導電層GRP5の幅の最小寸法D4Aはたとえば150nmである。またガードリング用導電層GRP6の幅の最小寸法D5Aはたとえば170nmである。

[0056] また本実施の形態においては、複数層のガードリング用導電層GRP2～GRP6の各々の幅の最小寸法は、上層側のガードリング用導電層ほど小さくなっている。

[0057] 具体的には、ガードリング用導電層GRP3の幅の最小寸法D2Aはガードリング用導電層GRP2の幅の最小寸法D1Aよりも大きい。またガードリング用導電層GRP4の幅の最小寸法D3Aはガードリング用導電層GRP3の幅の最小寸法D2Aよりも大きい。またガードリング用導電層GRP5の幅の最小寸法D4Aはガードリング用導電層GRP4の幅の最小寸法D

3 Aよりも大きい。またガードリング用導電層GR P 6の幅の最小寸法D 5 Aはガードリング用導電層GR P 5の幅の最小寸法D 4 Aよりも大きい。

[0058] より具体的には、ガードリング用導電層GR P 2、GR P 3、GR P 4、GR P 5、GR P 6の幅の最小寸法D 1 A、D 2 A、D 3 A、D 4 A、D 5 Aのそれぞれは、たとえば90 nm、110 nm、130 nm、150 nm、170 nmである。なおガードリング用導電層GR P 3～GR P 6の各々の幅の最小寸法D 1 A～D 5 Aは100 nm～1000 nmの範囲内であればよい。

[0059] なお複数のガードリング用導電層GR P 2～GR P 6の各々の幅は互いに同じであってもよい。

[0060] またガードリング用導電層GR P 2～GR P 6の第1の孔部分FH 2～FH 6内を埋め込む第1の部分FP 2～FP 6の各々は、図7にて第1の部分FP 6を例に挙げて示すように通常、断面形状において下側ほど寸法が小さくなるテーパ形状を有している。この場合、上記においてガードリング用導電層GR P 2～GR P 6の幅の最小寸法D 1 A～D 5 Aは第1の部分FP 2～FP 6の最下端の幅となる。

[0061] また本実施の形態においては、複数層のガードリング用導電層GR P 2～GR P 6の各々の幅の最小寸法D 1 A～D 5 Aは、各ガードリング用導電層GR P 2～GR P 6の形成の際のフォトマスクの重ね合わせずれ量よりも大きい。

[0062] 具体的には、複数層のガードリング用導電層GR P 2～GR P 6の各々の幅の最小寸法D 1 A～D 5 Aは、各ガードリング用導電層GR P 2～GR P 6の形成の際のフォトマスクの重ね合わせずれ量の1.2倍以上10倍以下であることが好ましい。

[0063] より具体的には、ガードリング用導電層GR P 3のフォトマスクの重ね合わせずれ量がたとえば100 nmであり、ガードリング用導電層GR P 3の幅の最小寸法D 2 Aはたとえば110 nmである。またガードリング用導電層GR P 4のフォトマスクの重ね合わせずれ量がたとえば120 nmであり

、ガードリング用導電層G R P 4の幅の最小寸法D 3 Aはたとえば1 3 0 n mである。またガードリング用導電層G R P 5のフォトマスクの重ね合わせずれ量がたとえば1 4 0 n mであり、ガードリング用導電層G R P 5の幅の最小寸法D 4 Aはたとえば1 5 0 n mである。またガードリング用導電層G R P 6のフォトマスクの重ね合わせずれ量がたとえば1 6 0 n mであり、ガードリング用導電層G R P 6の幅の最小寸法D 5 Aはたとえば1 7 0 n mである。なおフォトマスクの重ね合わせずれ量は通常、上層側ほど大きくなる。

[0064] 図5を参照して、本実施の形態において各ガードリング用導電層G R P (G R P 2 ~ G R P 6) は、分割露光により形成される。このため第1のフォトマスクを用いた露光により形成されるガードリング用導電層G R Pの第1のパターン部分G R L (図中左側の部分) と、第2のフォトマスクを用いた露光により形成されるガードリング用導電層G R Pの第2のパターン部分G R R (図中右側の部分) との間で位置ずれが生じる場合がある。

[0065] 上記の位置ずれが生じた場合でも、本実施の形態によれば第1のパターン部分G R Lと第2のパターン部分G R Rとの接続は維持される。ただし、第1のパターン部分G R Lと第2のパターン部分G R Rとの境界部 (領域R) に段差S Tが生じる場合がある。この段差S Tの存在により、本実施の形態の半導体装置が分割露光により形成されていることを認識することができる。

[0066] 図6 (A) に示すように、フォトマスクの重ね合わせずれにより、第1のパターン部分G R Lにおいては、互いに積層して形成されるガードリング用導電層G R P 1 ~ G R P 6の各々は互いにずれて (図中左右方向にずれて) 形成される。また図6 (B) に示すように、第1のパターン部分G R Rにおいても、フォトマスクの重ね合わせずれにより、互いに積層して形成されるガードリング用導電層G R P 1 ~ G R P 6の各々は互いにずれて (図中左右方向にずれて) 形成される。

[0067] しかし本実施の形態においては、上記のようにガードリング用導電層G R

P 1 ～ G R P 6 の幅が構成されているため、図 6 (C) に示すように、第 1 のパターン部分 G R L におけるガードリング導電層 G P R 1 ～ G P R 6 の各々と、第 2 のパターン部分 G R R におけるガードリング導電層 G P R 1 ～ G P R 6 の各々とは互いに接続されており、双方の間に隙間は生じていない。

[0068] 次に、分割露光について図 8 および図 9 を用いて説明する。

図 8 を参照して、分割露光においては、まず第 1 のフォトマスクを用いて 1 つの半導体チップ領域 C H R の一部の領域 E X 1 (図 8 中 1 点鎖線で囲んだ領域) のみが露光される。

[0069] 図 9 を参照して、この後、第 2 のフォトマスクを用いて 1 つの半導体チップ領域 C H R の残りの領域 E X 2 (図 9 中 2 点鎖線で囲んだ領域) が露光される。この複数回の露光により 1 つの半導体チップ領域 C H R の全体が露光され、露光領域 E X 1 の露光パターンと露光領域 E X 2 の露光パターンとが互いに繋がる。

[0070] この後、上記の露光を施されたフォトレジスト (図示せず) が現像されることによりレジストパターンが形成される。なお上記においてはたとえば 2 回の露光により 1 つの半導体チップ領域 C H R の全体が露光される場合について説明したが、3 回以上の露光により 1 つの半導体チップ領域 C H R の全体が露光されてもよい。

[0071] 次に、上記の分割露光を用いて層間絶縁膜 I I 2 内に配線用導電層 C L 1 とガードリング用導電層 G R P 2 とを形成する方法について図 1 0 ～図 2 2 を用いて説明する。

[0072] 図 1 0 (A) ～図 2 2 (A) は図 8 および図 9 に示す第 1 のフォトマスクによって露光される素子形成領域内の一部の断面を示している。また図 1 0 (B) ～図 2 2 (B) は図 8 および図 9 に示す第 1 のフォトマスクによって露光されるガードリング領域内の X B - X B 線に沿う部分の断面に対応する断面を示している。また図 1 0 (C) ～図 2 2 (C) は図 9 に示す第 2 のフォトマスクによって露光されるガードリング領域内の X C - X C 線に沿う部分の断面に対応する断面を示している。

- [0073] 図10(A)～(C)を参照して、まず層間絶縁膜111上に、たとえばSiCOまたはSiCNよりなる絶縁膜BL1と、たとえばLow-k膜よりなる層間絶縁膜112とが順に積層して形成される。この後、層間絶縁膜112上にシリコン酸化膜OXが形成され、そのシリコン酸化膜OX上にフォトレジストPR1が塗布される。このフォトレジストPR1に、図8に示す第1のフォトマスクを用いた分割露光が行われる。これにより図10(A)、(B)のフォトレジストPR1中に示した破線を境として露光された領域と露光されない領域とが生じる。一方、図10(C)に示すフォトレジストPR1は第1のフォトマスクを用いた露光を施されない。
- [0074] 図11(A)～(C)を参照して、フォトレジストPR1に、図9に示す第2のフォトマスクを用いた分割露光が行われる。これにより図11(C)のフォトレジストPR1中に示した破線を境として露光された領域と露光されない領域とが生じる。この後、フォトレジストPR1が現像される。
- [0075] 図12(A)～(C)を参照して、上記の現像によりフォトレジストPR1はパターニングされてレジストパターンPR1が形成される。このレジストパターンPR1をマスクとして下側のシリコン酸化膜OXと層間絶縁膜112とに異方性エッチングが施される。
- [0076] 図13(A)～(C)を参照して、上記のエッチングによりシリコン酸化膜OXと層間絶縁膜112とが選択的に除去されて、絶縁膜BL1に達する孔VH1、FH2が形成される。この際、孔FH2は、その幅が孔VH1の幅よりも大きくなるように形成される。この後、レジストパターンPR1がたとえばアッシングなどにより除去される。
- [0077] 図14(A)～(C)を参照して、上記のレジストパターンPR1の除去によりシリコン酸化膜OXの表面が露出する。
- [0078] 図15(A)～(C)を参照して、孔VH1、FH2の各々がフォトレジストPR2で埋め込まれる。この後、シリコン酸化膜OX上にフォトレジストPR3が塗布される。このフォトレジストPR3に、図8に示す第1のフォトマスクを用いた分割露光が行われる。これにより図15(A)、(B)

のフォトレジストPR3中に示した破線を境として露光された領域と露光されない領域とが生じる。一方、図15(C)に示すフォトレジストPR3は第1のフォトマスクを用いた露光を施されない。

[0079] 図16(A)～(C)を参照して、フォトレジストPR3に、図9に示す第2のフォトマスクを用いた分割露光が行われる。これにより図16(C)のフォトレジストPR3中に示した破線を境として露光された領域と露光されない領域とが生じる。この後、フォトレジストPR3が現像される。

[0080] なお図15および図16の工程で用いる第1および第2のフォトマスクは図10および図11の工程で用いる第1および第2のフォトマスクとは異なるパターンを有している。

[0081] 図17(A)～(C)を参照して、上記の現像によりフォトレジストPR3はパターニングされてレジストパターンPR3が形成される。このレジストパターンPR3をマスクとして下側のシリコン酸化膜OXおよび層間絶縁膜I12に異方性エッチングが施される。

[0082] 図18(A)～(C)を参照して、上記のエッチングにより、層間絶縁膜I12に溝IT1、SH2が形成される。この後、たとえばアッシングなどによりレジストパターンPR2、PR3が除去される。

[0083] 図19(A)～(C)を参照して、上記のアッシングによりシリコン酸化膜OXの表面が露出するとともに、孔VH1、FH2の各々から絶縁膜BL1が露出する。

[0084] 図20(A)～(C)を参照して、シリコン酸化膜OXおよび層間絶縁膜I12をマスクとして、孔VH1、FH2の各々から露出した絶縁膜BL1に異方性エッチングが施される。これにより絶縁膜BL1が選択的に除去されて、配線用導電層ILの表面の一部とガードリング用導電層GRP1の第2の部分SP1の表面の一部とが露出する。また溝IT1、SH2が深く形成されて、配線溝IT1と、ガードリング用孔GH2の第2の孔部分SH2とが形成される。この第1の孔部分FH2と第2の孔部分SH2とによりガードリング用孔GH2が構成される。

- [0085] 図21(A)～(C)を参照して、ビアホールVH1および配線溝IT1と、ガードリング用孔GH2とを埋め込むようにシリコン酸化膜OX上に導電層CDLが形成される。この導電層CDLの上面に、化学機械研磨(CMP: Chemical Mechanical Polishing)が施される。この化学機械研磨は、層間絶縁膜II2の表面が露出するまで行われる。
- [0086] 図22(A)～(C)を参照して、上記の化学機械研磨によりビアホールVH1および配線溝IT1内に埋め込まれた配線用導電層CL1と、ガードリング用孔GH2内に埋め込まれたガードリング用導電層GRP2とが形成される。
- [0087] この後、図10～図22の工程と同様の工程を繰り返すことにより、図3に示す多層配線構造と、図4に示すガードリングGRとが形成される。
- [0088] 次に、本実施の形態の作用効果について図23および図24に示す比較例と対比して説明する。
- [0089] 図3および図4を参照して、ガードリング用導電層GRP2～GRP6の各々の幅の最小寸法D1A～D5Aと配線用導電層CL2～CL5の各々の幅の最小寸法D1B～D5Bとを同じ寸法にしたものを比較例とする。つまりこの比較例においては、 $D1A = D2A = D3A = D4A = D5A = D1B = D2B = D3B = D4B = D5B$ の関係が成り立っている。
- [0090] 通常、高集積化の観点から素子形成領域内においては各部の寸法を小さくする必要がある。このため上記の比較例においては、配線用導電層CL2～CL5の各々の幅の最小寸法D1B～D5Bが小さくなると、それに合わせてガードリング用導電層GRP2～GRP6の各々の幅の最小寸法D1A～D5Aも小さくなる。
- [0091] 一方、ガードリング用導電層を分割露光により形成する場合、第1のフォトリソマスクで形成される第1のパターン部分でフォトリソマスクの重ね合わせ誤差が生じ、また第2のフォトリソマスクで形成される第2のパターン部分でもフォトリソマスクの重ね合わせずれが生じる。この重ね合わせ誤差によって、図23および図24に示すようにガードリング用導電層の第1のパターン部分と第

2のパターン部分とがつながらず、双方の間に隙間が生じる場合が生じ得る。このような隙間が生じると、図23(A)、(B)にて矢印で示す経路でその隙間を通じてガードリングの外周側から内周側の素子形成領域に水分(湿気)が侵入して素子の信頼性が低下する。

[0092] これに対して本実施の形態においては、ガードリング用導電層GRP3～GRP6の幅の最小寸法D2A～D5Aの各々は、そのガードリング用導電層と同じ層間絶縁膜内に形成された配線用導電層CL2～CL5の幅の最小寸法D2B～D5Bの各々よりも大きい。このため、分割露光におけるマスクの重ね合わせ誤差によって図5(A)、(B)に示すようにガードリング用導電層GRPの第1のパターン部分GRLと第2のパターン部分GRRが互いにずれても、その第1のパターン部分GRLと第2のパターン部分GRRとが離れることを抑制することができる。つまり、第1のパターン部分GRLと第2のパターン部分GRRとの間に隙間が生じることが抑制される。よって、その隙間を通じてガードリングの外周側から内周側へ水分が侵入することが抑制され、素子の信頼性が向上する。

[0093] また本実施の形態においては、複数層のガードリング用導電層GRP2～GRP6の各々の幅の最小寸法D1A～D5Aは、各ガードリング用導電層GRP2～GRP6の形成の際のフォトリソマスクの重ね合わせずれ量の1.2倍以上10倍以下であることが好ましい。1.2倍以上とすることで、図5に示すようにガードリング用導電層GRPの第1のパターン部分GRLと第2のパターン部分GRRとの間に隙間が生じることが確実に防止することができる。また10倍を超えると、図4に示すようにガードリング用孔GH3～GH6の第1の部分FH3～FH6の寸法D2A～D5Aが大きくなりすぎて、その第1の部分FH3～FH6を導電層で埋め込むことが難しくなる。

[0094] また通常、半導体装置の積層構造においては上層ほどフォトリソマスクの重ね合わせずれ量が大きくなる。このため、分割露光でガードリング用導電層を形成する場合、上層のガードリング用導電層ほど、分割露光で形成される第

1 のパターン部分と第 2 のパターン部分とのずれ量が大きくなり、双方のパターン部分の間に隙間が生じやすくなる。

[0095] これに対して本実施の形態においては、図 4 に示すように複数層のガードリング用導電層 G R P 2 ～ G R P 6 の各々の幅の最小寸法 D 1 A ～ D 5 A は、上層側のガードリング用導電層ほど大きくなっている。このため、上記のように上層ほどマスクの重ね合わせずれが大きくなったとしても、その上層のガードリング用導電層において分割露光で形成される第 1 のパターン部分と第 2 のパターン部分との間に隙間が生じることを抑制することができる。

[0096] 上記においては図 4 に示すようにガードリング用導電層 G R P 2 ～ G R P 6 の各々が第 1 の部分 F P 2 ～ F P 6 と第 2 の部分 S P 2 ～ S P 6 とを有し、その幅が層間絶縁膜 I I 2 ～ I I 6 の厚み方向に不連続に変化する（側壁に段差がある）場合について説明したが、この断面形状に限定されるものではない。図 2 5 に示すようにガードリング用導電層 G R P 2 ～ G R P 6 の各々の側壁が直線状に延びることにより、ガードリング用導電層 G R P 2 ～ G R P 6 の各々の幅が層間絶縁膜 I I 2 ～ I I 6 の厚み方向に連続的に変化していてもよい。つまりガードリング用孔 G H 2 ～ G H 6 の各々の壁面は、層間絶縁膜 I I 2 ～ I I 6 の厚み方向に直線状に延びて層間絶縁膜 I I 2 ～ I I 6 を貫通していてもよい。

[0097] なお、これ以外の図 2 5 の構成は、上述した図 1 ～図 5 の構成とほぼ同じであるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

[0098] （実施の形態 2）

ガードリング用導電層を分割露光で形成した場合の各露光で形成されるパターン間に隙間が生じることを抑制するために、ガードリング用導電層の平面形状が交差形状を有していてもよい。以下、交差形状を有するガードリング用導電層を実施の形態 2 として説明する。

[0099] 図 2 6 および図 2 7 を参照して、本実施の形態のガードリング用導電層 G R P （たとえば図 4 に示すガードリング用導電層 G R P 2 ～ G R P 6）は、

分割露光により形成されている。このため、このガードリング用導電層G R Pは、第1のフォトマスクを用いた露光により形成されるガードリング用導電層の第1のパターン部分G R L（図中左側の部分）と、第2のフォトマスクを用いた露光により形成されるガードリング用導電層の第2のパターン部分G R R（図中右側の部分）とを有している。

[0100] 第1のパターン部分G R Lは、枠部G R L 1と、折り曲げ部G R L 2とを有している。枠部G R L 1は、平面視において素子形成領域の周囲（矩形の素子形成領域のたとえば3辺の周囲）を取り囲んでいる。折り曲げ部G R L 2は、その枠部G R L 1の両端の各々に接続され、かつ枠部G R L 1に対して折り曲げられた部分である。折り曲げ部G R L 2は枠部G R L 1に対してたとえば直角に折り曲がるように接続されている。

[0101] 第2のパターン部分G R Rは、第1のパターン部分G R Lと同様に、枠部G R R 1と、折り曲げ部G R R 2とを有している。枠部G R R 1は、平面視において素子形成領域の周囲（矩形の素子形成領域のたとえば3辺の周囲）を取り囲んでいる。折り曲げ部G R R 2は、その枠部G R R 1の両端の各々に接続され、かつ枠部G R R 1に対して折り曲げられた部分である。折り曲げ部G R R 2は枠部G R R 1に対してたとえば直角に折り曲がるように接続されている。また平面視における枠部G R L 1の幅 $w 1 a$ と折り曲げ部G R L 2の幅 $w 1 b$ とはたとえば同じである。

[0102] 上記の第1のパターン部分G R Lの折り曲げ部G R L 2と第2のパターン部分G R Rの枠部G R R 1とが交差形状を構成している。ここでの交差形状とは、折り曲げ部G R L 2と枠部G R R 1とが平面視において十字状（互いに直交して交差する形状）もしくはX字状（互いに斜めに交差する形状）を構成することを意味している。平面視における折り曲げ部G R L 2と枠部G R R 1との交差角度はたとえば 90° であるが、 0° より大きく 180° 未満であればよい。また平面視における枠部G R R 1の幅 $w 2 a$ と折り曲げ部G R R 2の幅 $w 2 b$ とはたとえば同じであるが、異なってもよい。

[0103] また第2のパターン部分G R Rの折り曲げ部G R R 2と第1のパターン部

分GRLの枠部GRL1とが交差形状を構成している。折り曲げ部GRR2と枠部GRL1との交差形状の意味および交差角度は、折り曲げ部GRL2と枠部GRR1とのそれと同様である。

[0104] またガードリング用導電層GRPの断面形状が図4のガードリング用導電層GRP2～GRP6に示すように幅の狭い第1の部分FP2～FP6と幅の広い第2の部分SP2～SP6とを有する場合、第1の部分FP2～FP6および第2の部分SP2～SP6の双方が枠部GRL1、GRR1と折り曲げ部GRL2、GRR2とを有している。

[0105] なお上記以外の本実施の形態の構成は、上述した実施の形態1の構成とほぼ同じであるため同一の要素については同一の符号を付し、その説明を繰り返さない。

[0106] また本実施の形態における交差形状と、実施の形態1に記載のガードリング用導電層の幅（素子形成領域内の配線用導電層の幅より大きい幅など）とが組み合わされてもよい。

[0107] 本実施の形態においては、図27に示すようにガードリング用導電層の第1のパターン部分GRLと第2のパターン部分GRRとが互いに交差する形状を有している。このため、分割露光して第1のパターン部分と第2のパターン部分との間に隙間が生じることを抑制することができる。

[0108] 上記のように枠部GRL1（またはGRR1）と折り曲げ部GRL2（またはGRR2）とが互いに同じ幅を有し、かつ互いに直交する構成としては、たとえば図28～図30に示すような形状が採用されてもよい。

[0109] また図31～図34に示すように、枠部GRL1（またはGRR1）と折り曲げ部GRL2（またはGRR2）とが互いに同じ幅を有し、かつ互いに鋭角の角度 θ_1 をなしていてもよい。

[0110] また図35～図38に示すように、枠部GRL1（またはGRR1）と折り曲げ部GRL2（またはGRR2）とが互いに同じ幅を有し、かつ互いに鈍角の角度 θ_1 をなしていてもよい。

[0111] また図39～図42に示すように、枠部GRL1（またはGRR1）と折

り曲げ部GRL2（またはGRR2）とが互いに異なる幅を有し、かつ互いに直交していてもよい。図39～図42の構成においては、折り曲げ部GRL2（またはGRR2）の幅（ $w1b$ （または $w2b$ ）：図39）が枠部GRL1（またはGRR1）の幅（ $w1a$ （または $w2a$ ）：図39）よりも大きい場合を示している。しかし、折り曲げ部GRL2（またはGRR2）の幅（ $w1b$ （または $w2b$ ））は枠部GRL1（またはGRR1）の幅（ $w1a$ （または $w2a$ ））よりも小さくてもよい。

[0112] また図31～図48の構成においても、枠部GRL1（またはGRR1）と折り曲げ部GRL2（またはGRR2）とが互いに異なる幅を有していてもよい。

[0113] またガードリング用導電層の第1のパターン部分GRLと第2のパターン部分GRRとが互いに交差する形状を有していれば、折り曲げ部GRL2（またはGRR2）は図43に示すようにジグザグ形状を有していてもよく、また図44に示すような格子形状を有していてもよい。

[0114] また上記においてはガードリング用導電層の第1のパターン部分GRLと第2のパターン部分GRRとの双方が折り曲げ部GRL2、GRR2を有する場合について説明したが、図45および図46に示すように折り曲げ部を有していなくてもよい。

[0115] 図45および図46を参照して、この構成においては、第1のパターン部分GRLは、素子形成領域の矩形の平面形状の一辺に沿う部分GRLaと、この部分GRLaの両端の各々に対して鈍角または鋭角の角度 $\theta 2$ をなして接続された2つの傾斜部GRLbとを有している。また第2のパターン部分GRRは、素子形成領域の矩形の平面形状の一辺に沿う部分GRRaと、この部分GRRaの両端の各々に対して鈍角または鋭角の角度 $\theta 2$ をなして接続された2つの傾斜部GRRbとを有している。そして第1のパターン部分GRLの傾斜部GRLbと第2のパターン部分GRRの傾斜部GRRbとが互いに交差している。

[0116] なお本実施の形態の半導体装置は、たとえば35mmフルサイズセンサで

あってもよい。また本実施の形態の半導体装置は、たとえば35mmフルサイズセンサの画素部分だけでもよく、また35mmフルサイズセンサの制御回路部分だけでもよい。画素部分だけの場合、その半導体チップには、たとえば画素PXと、タイミング発生回路TGと、画素ドライバVSCANと、ゲイン可変アンプPGAとが含まれる。また制御回路部分だけの場合、その半導体チップには、たとえばアナログーデジタル変換回路ADCと、同期信号付加回路BRIDGEと、出力ドライバLVDSとが含まれる。

[0117] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

符号の説明

[0118] ADC デジタル変換回路、BL1 絶縁膜、BM バリアメタル層、BP バンプ電極、BRIDGE 同期信号付加回路、CDL, CL, CL1~CL7, DCL 導電層、CH コンタクトホール、CHR 半導体チップ領域、CL1~CL7, IL 配線用導電層、ES エッチングストップ用絶縁膜、EX1 露光領域、FH1, FH2 第1の孔部分、FP1~FP6 第1の部分、GE ゲート電極、GH1~GH8 ガードリング用孔、GI ゲート絶縁層、GRP1, GRP2 ガードリング用導電層、GR ガードリング、GRL 第1のパターン部分、GRL1, GRR1 枠部、GRLa, GRRa, IL1, PL1 部分、GRLb, GRRb 傾斜部、GRR 第2のパターン部分、II, II1~II9 層間絶縁膜、INL 多層配線構造、IR 素子分離構造、IT, IT1~IT7 配線溝、LVDS 出力ドライバ、OP1, OP2, OP3 開口部、OX シリコン酸化膜、PAL パッシベーション膜、PGA ゲイン可変アンプ、PL プラグ導電層、PO1 第1の感光性有機絶縁膜、PO2 第2の感光性有機絶縁膜、PR1~PR3 フォトリソ、PX 画素（画素領域）、RIL 再配線層、SB 半導体基板、SD ドレイン領域、SC 半導体

チップ、SH1, SH2 第2の孔部分、SP1~SP6 第2の部分、SS シランスリット、ST 段差、TCL 最上層導電層、TG タイミング発生回路、TRA トランジスタ、VH1 ビアホール、VSCAN 画素ドライバ。

請求の範囲

[請求項1] 1つのチップ領域内に素子形成領域と、平面視において前記素子形成領域の周囲を取り囲むガードリング領域とを有し、かつ前記1つのチップ領域が分割露光により形成された半導体装置（SC）であって、

前記素子形成領域に形成されたビアホール（VH2～VH5）と前記ビアホール（VH2～VH5）上にて前記ビアホール（VH2～VH5）に連通する配線溝（IT2～IT5）とを有し、かつ前記ガードリング領域において前記素子形成領域を取り囲むように延在するガードリング用孔（GH3～GH6）を有する層間絶縁膜（I13～I16）と、

前記ビアホール（VH2～VH5）および前記配線溝（IT2～IT5）内に形成された部分を有する配線用導電層（CL2～CL5）と、

前記ガードリング用孔（GH3～GH6）内に形成された部分を有するガードリング用導電層（GRP3～GRP6）とを備え、

前記ガードリング用導電層（GRP3～GRP6）の幅の最小寸法（D2A～D5A）は、前記ビアホール（VH2～VH5）内における前記配線用導電層（CL2～CL5）の幅の最小寸法（D2B～D5B）よりも大きい、半導体装置。

[請求項2] 前記ガードリング領域には、複数の前記ガードリング用導電層（GRP3～GRP6）を上下に互いに積層した構成を有するガードリング積層体が形成されており、

前記ガードリング積層体の複数の前記ガードリング用導電層（GRP3～GRP6）の各々の幅の最小寸法（D1A～D5A）は、上層側の前記ガードリング用導電層（GRP3～GRP6）ほど大きくなっている、請求項1に記載の半導体装置。

[請求項3] 前記ガードリング用孔（GH3～GH6）は、第1の孔部（FH3

～F H 6) と、第2の孔部 (S H 3～S H 6) とを有し、

前記第2の孔部 (S H 3～S H 6) は、前記第1の孔部 (F H 3～F H 6) 上にて前記第1の孔部 (F H 3～F H 6) に連通し、かつ前記第1の孔部 (F H 3～F H 6) の幅よりも大きな幅を有し、

前記第1の孔部 (F H 3～F H 6) 内における前記ガードリング用導電層 (G R P 3～G R P 6) の幅の最小寸法 (D 2 A～D 5 A) が、前記ビアホール (V H 2～V H 5) 内における前記配線用導電層 (C L 2～C L 5) の幅の最小寸法 (D 2 B～D 5 B) よりも大きい、請求項1に記載の半導体装置。

[請求項4] 前記ガードリング用孔 (G H 3～G H 6) の壁面は、前記ガードリング用孔 (G H 3～G H 6) の延在方向に交差する断面において直線状に延びて前記層間絶縁膜 (I I 3～I I 6) を貫通している、請求項1に記載の半導体装置。

[請求項5] 素子形成領域と、前記素子形成領域の周囲を取り囲むガードリング領域とを1つのチップ領域に有し、前記1つのチップ領域が分割露光により形成された半導体装置 (S C) であって、

前記ガードリング領域において前記素子形成領域を取り囲むように延在するガードリング用孔 (G H 3～G H 6) を有する層間絶縁膜 (I I 3～I I 6) と、

前記ガードリング用孔 (G H 3～G H 6) 内を埋め込むガードリング用導電層 (G R P, G R P 3～G R P 6) とを備え、

前記ガードリング用導電層 (G R P, G R P 3～G R P 6) は、平面視において互いに異なる方向に延びる第1および第2の部分 (G R L 1, G R L 2, G R R 1, G R R 2) を有し、前記第1および第2の部分 (G R L 1, G R L 2, G R R 1, G R R 2) が互いに交差する形状を有している、半導体装置。

[請求項6] 平面視における前記第1および第2の部分 (G R L 1, G R L 2, G R R 1, G R R 2) の交差角度は0°より大きく180°未満であ

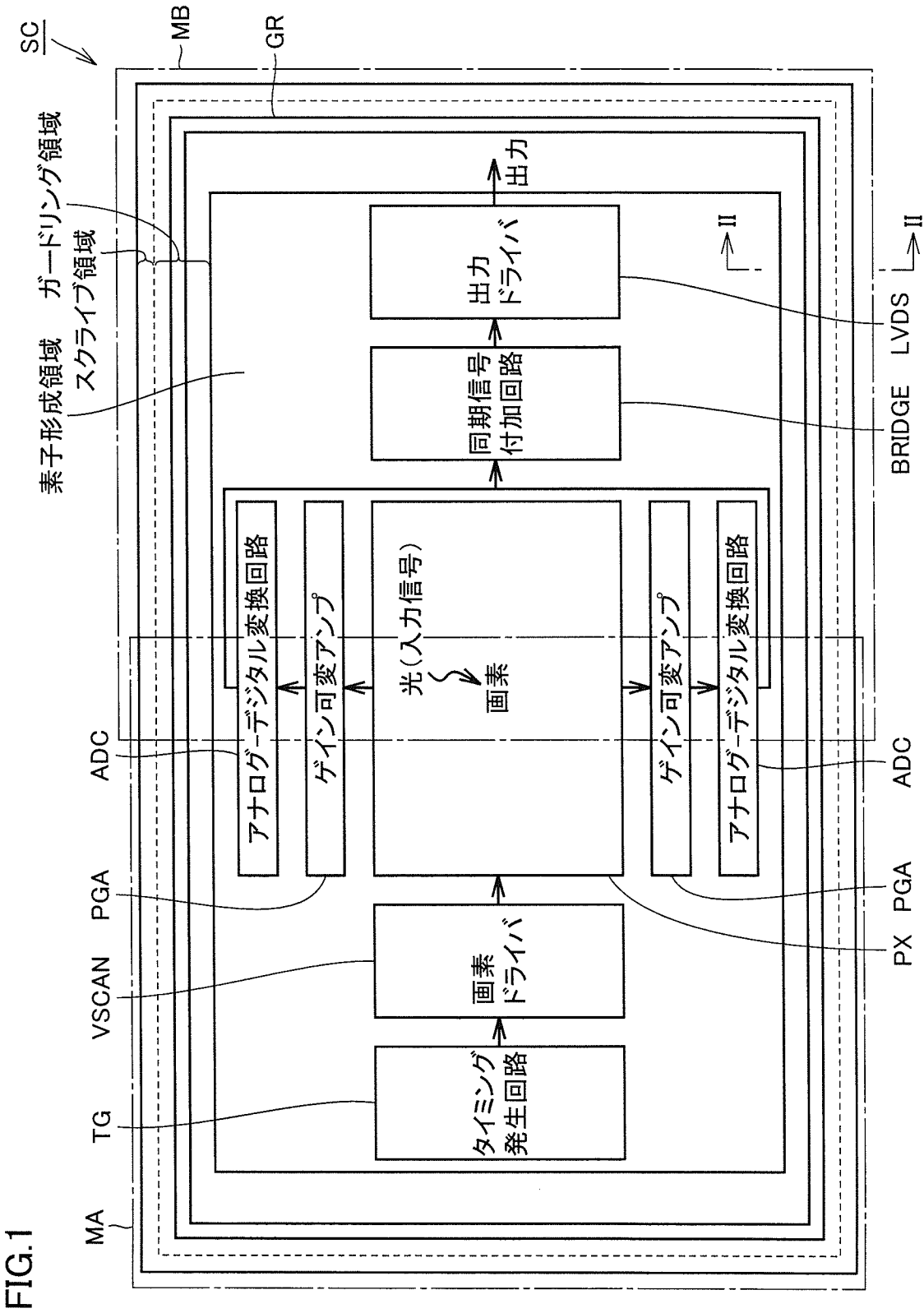
る、請求項5に記載の半導体装置。

[請求項7] 前記第1および第2の部分（GRL1, GRL2, GRR1, GRR2）の線幅（w1a, w1b, w2a, w2b）が同じであり、前記第1および第2の部分（GRL1, GRL2, GRR1, GRR2）が互いに直交している、請求項6に記載の半導体装置。

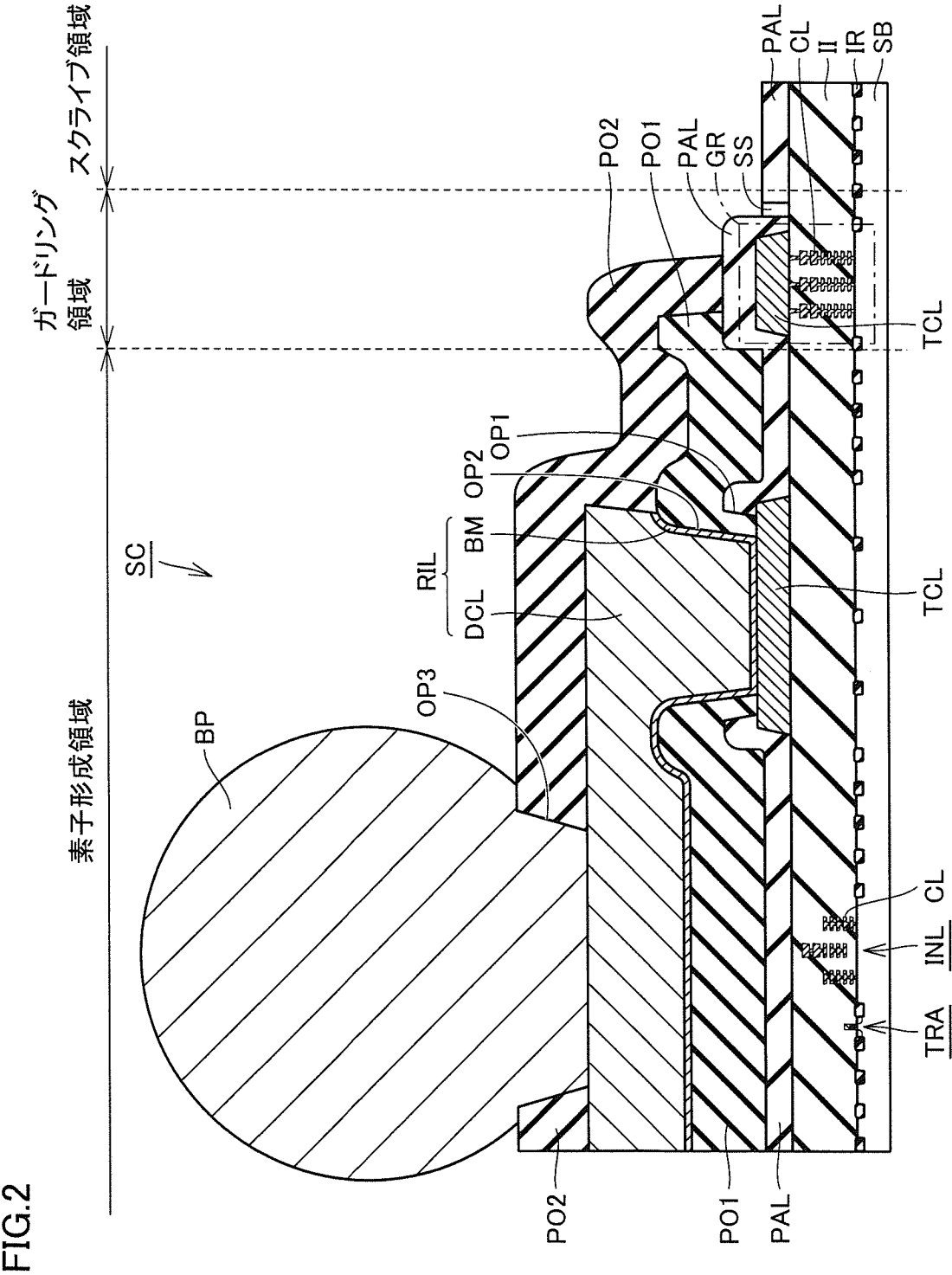
[請求項8] 前記第1および第2の部分（GRL1, GRL2, GRR1, GRR2）の線幅（w1a, w1b, w2a, w2b）が互いに異なり、前記第1および第2の部分（GRL1, GRL2, GRR1, GRR2）が互いに直交している、請求項6に記載の半導体装置。

[請求項9] 前記第1および第2の部分（GRL1, GRL2, GRR1, GRR2）が互いに斜めに交差している、請求項6に記載の半導体装置。

[図1]

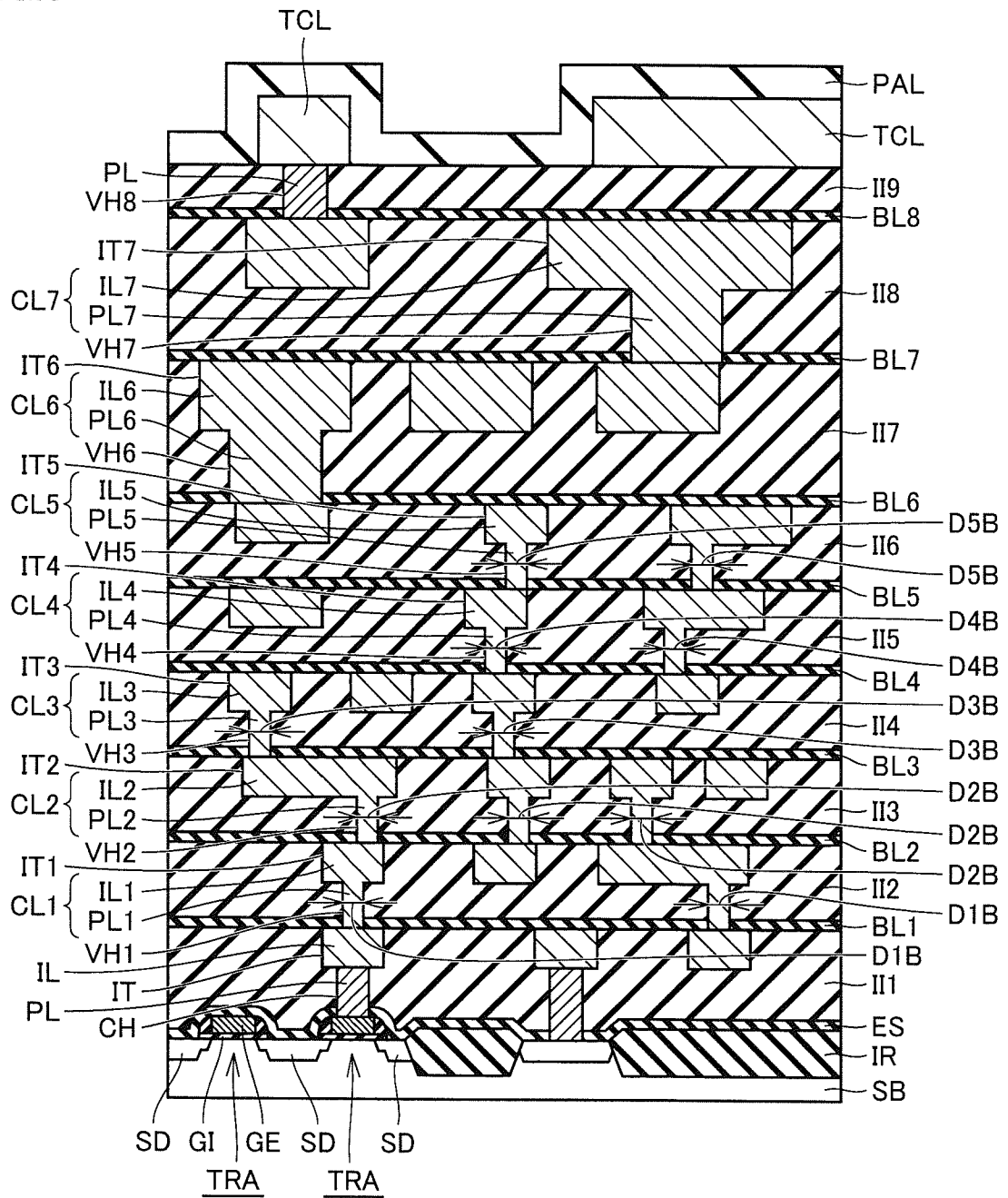


[図2]



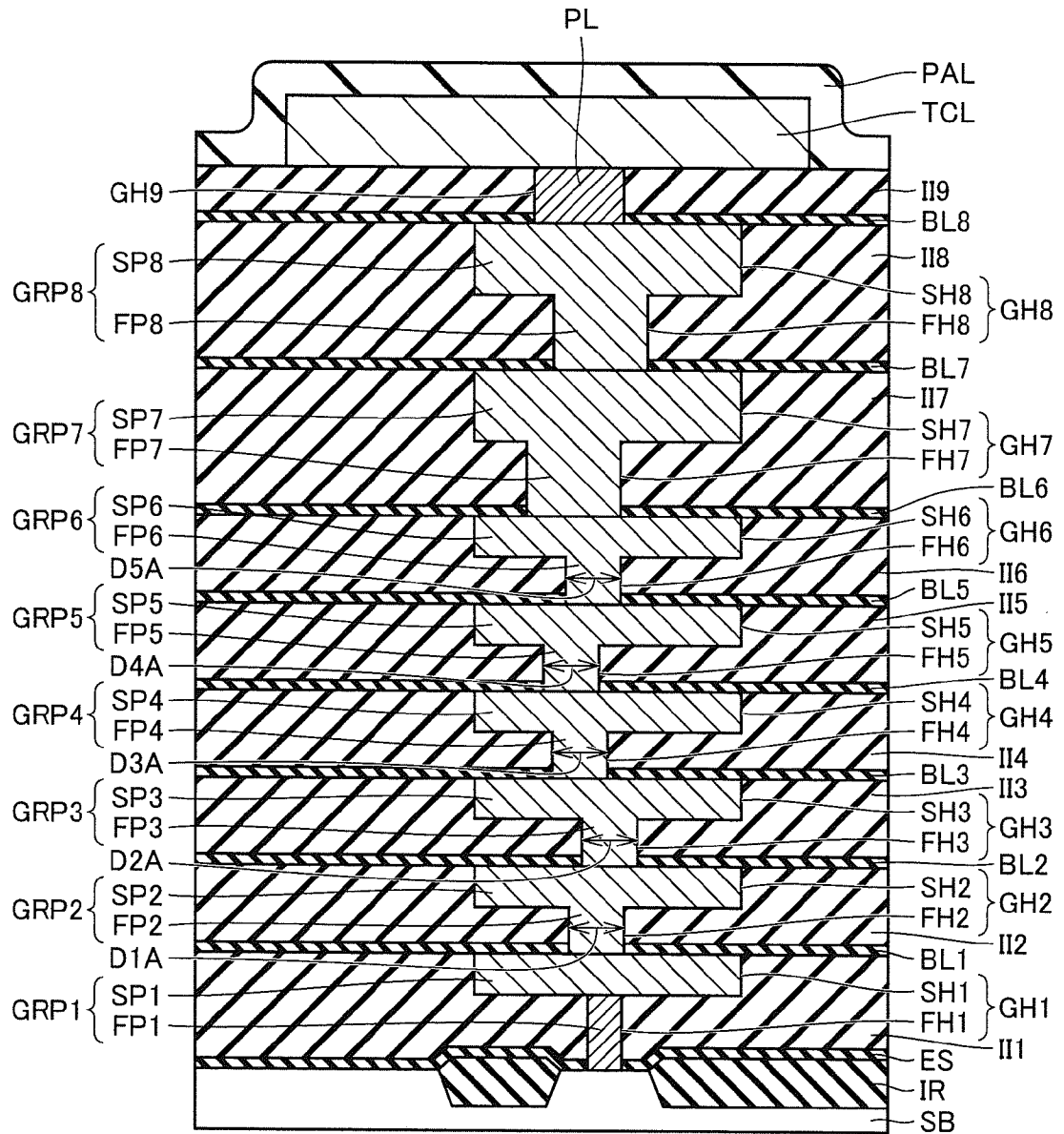
[図3]

FIG.3



[図4]

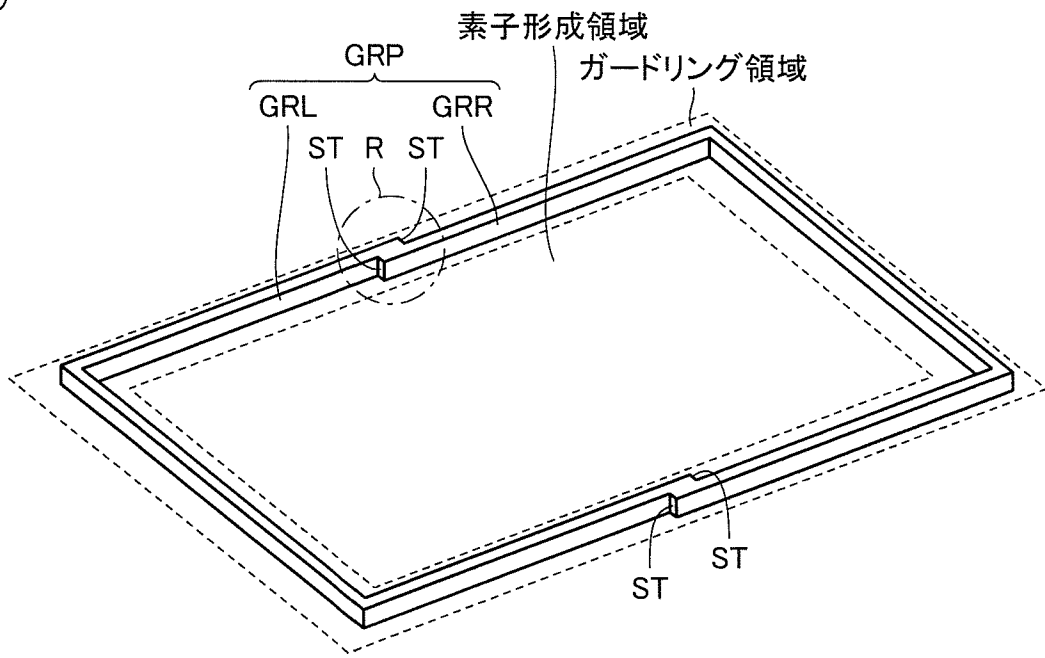
FIG.4



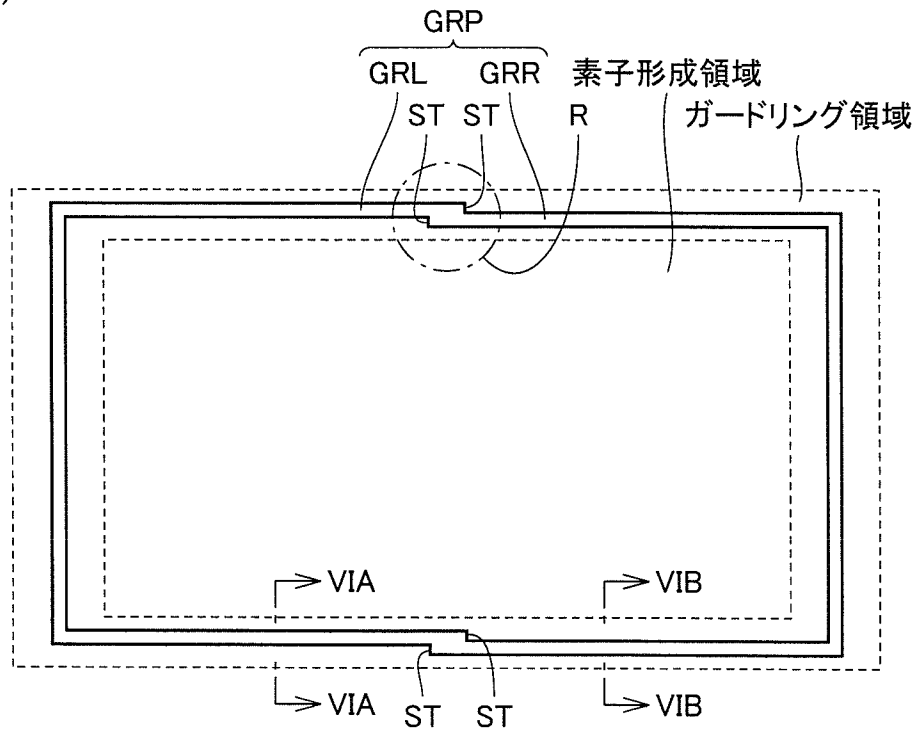
[図5]

FIG.5

(A)

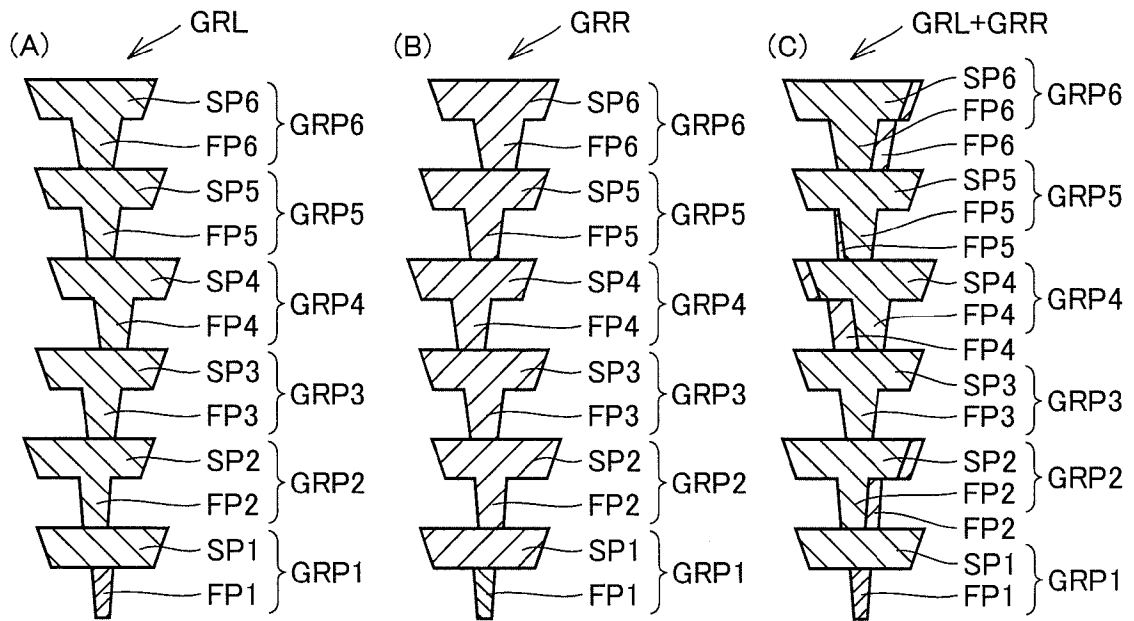


(B)



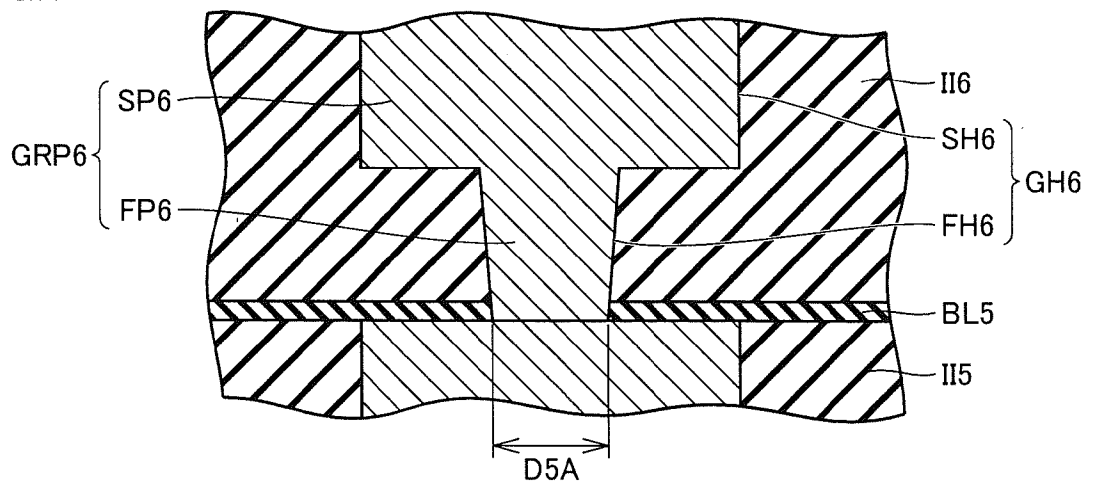
[図6]

FIG.6



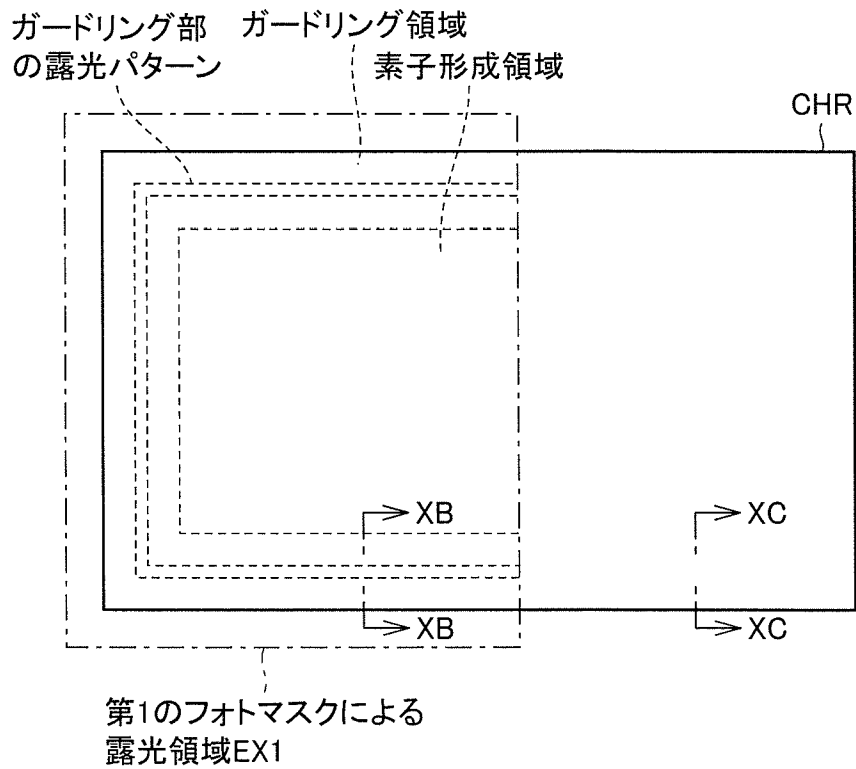
[図7]

FIG.7



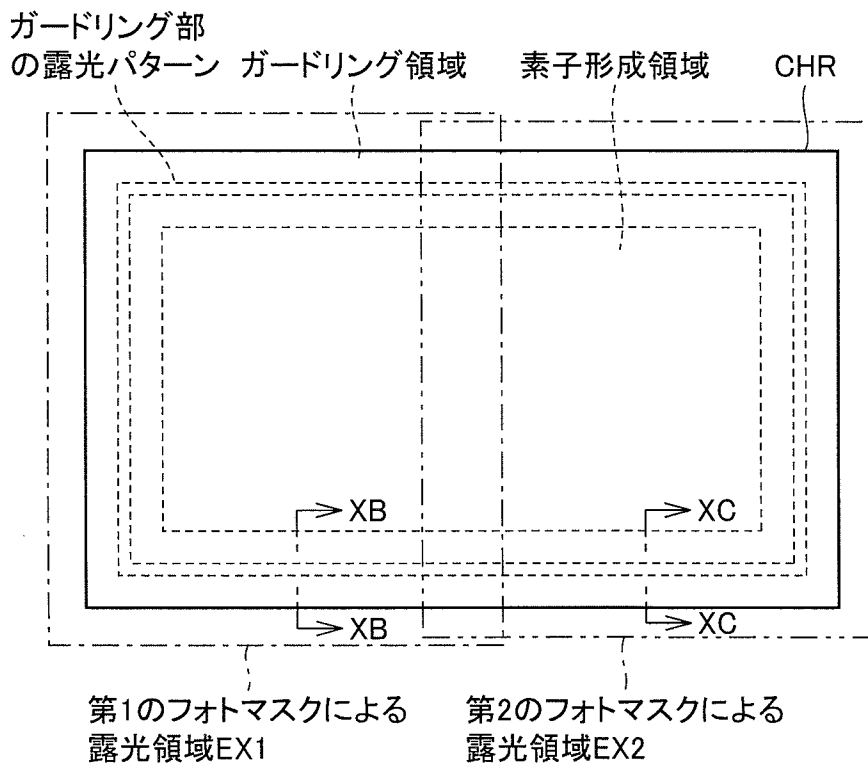
[図8]

FIG.8



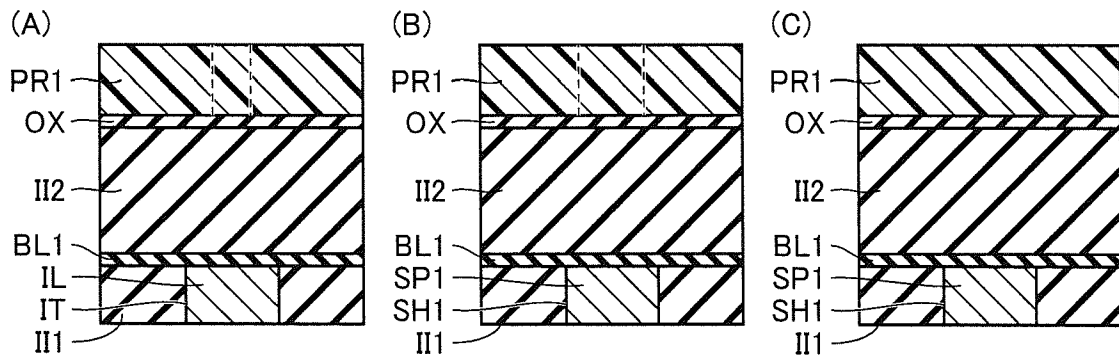
[図9]

FIG.9



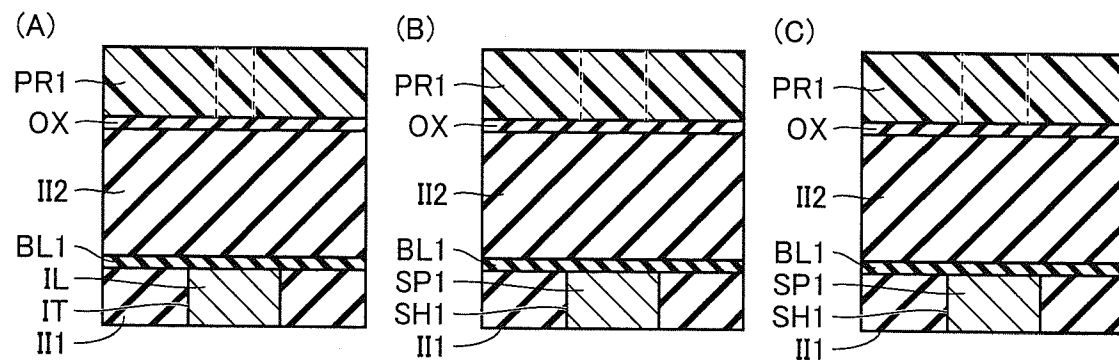
[図10]

FIG.10



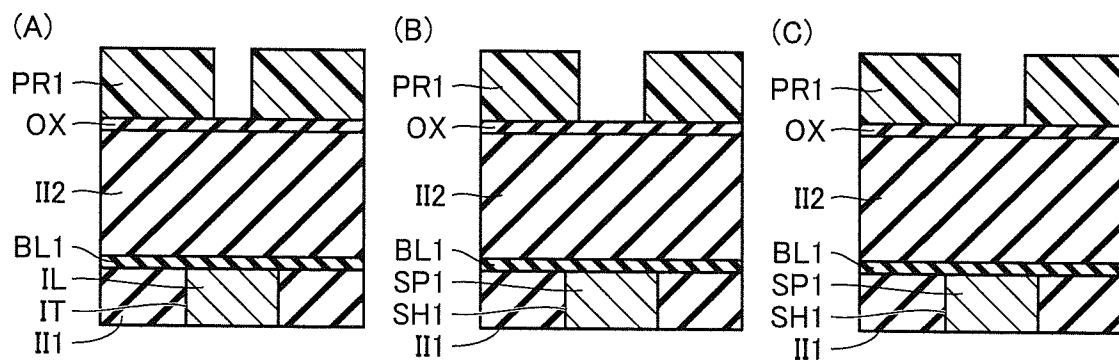
[図11]

FIG.11



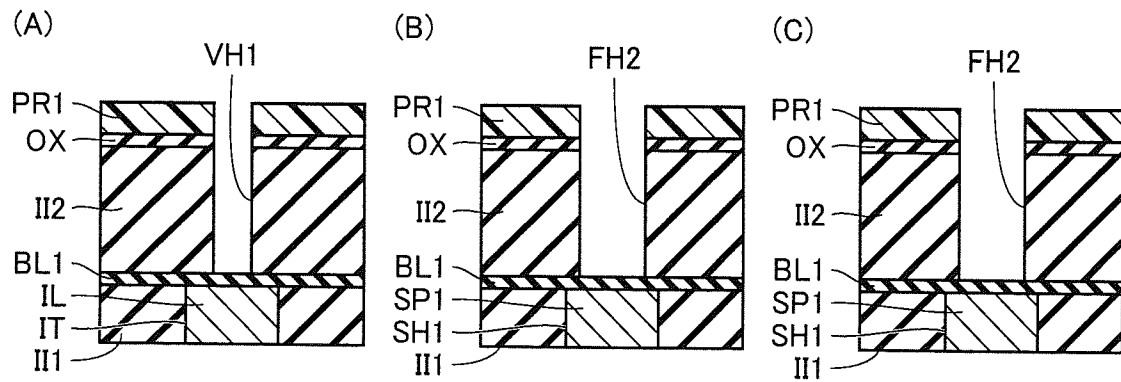
[図12]

FIG.12



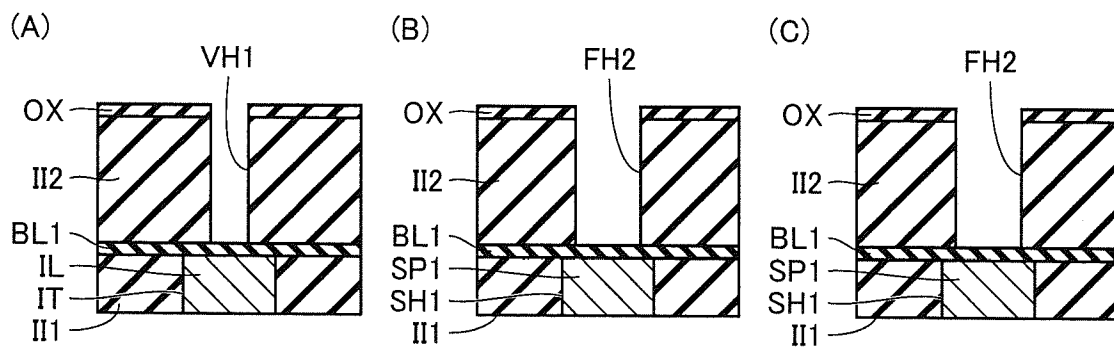
[図13]

FIG.13



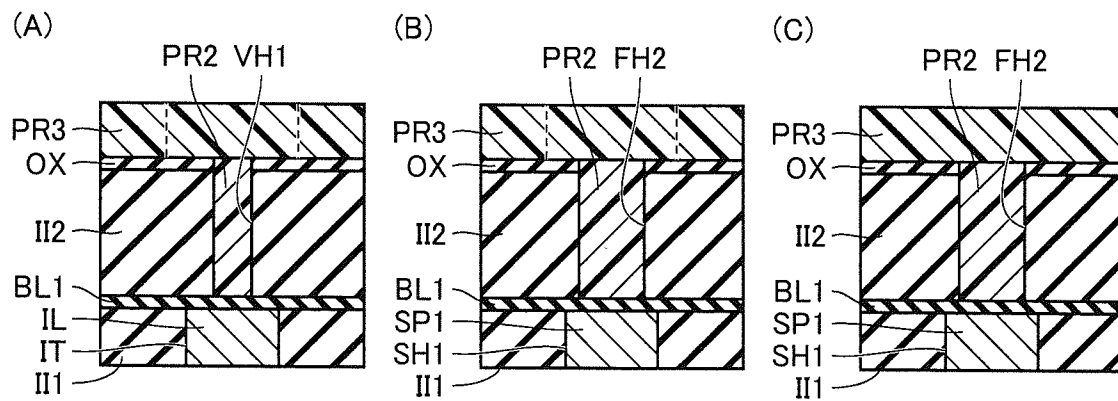
[図14]

FIG.14



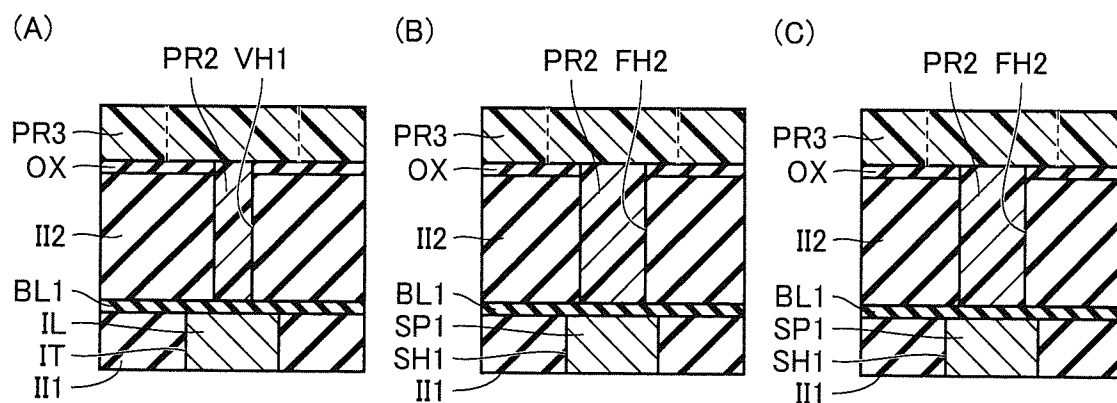
[図15]

FIG.15



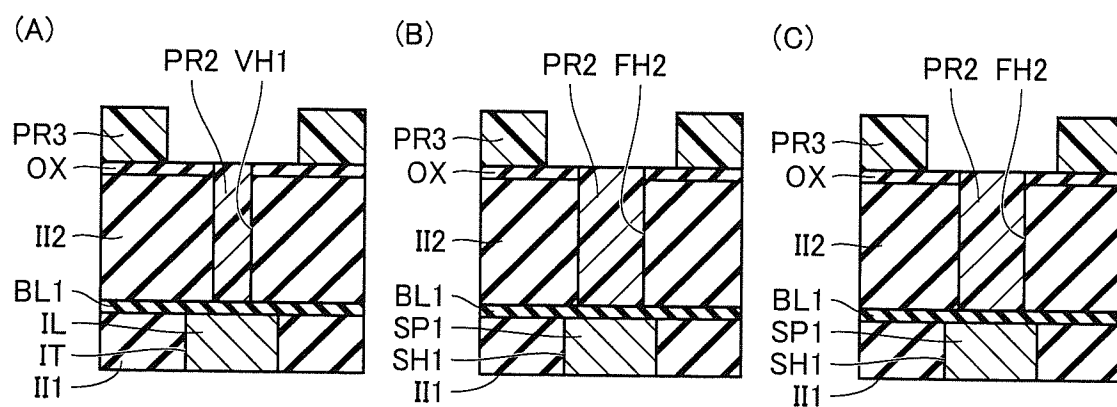
[図16]

FIG.16



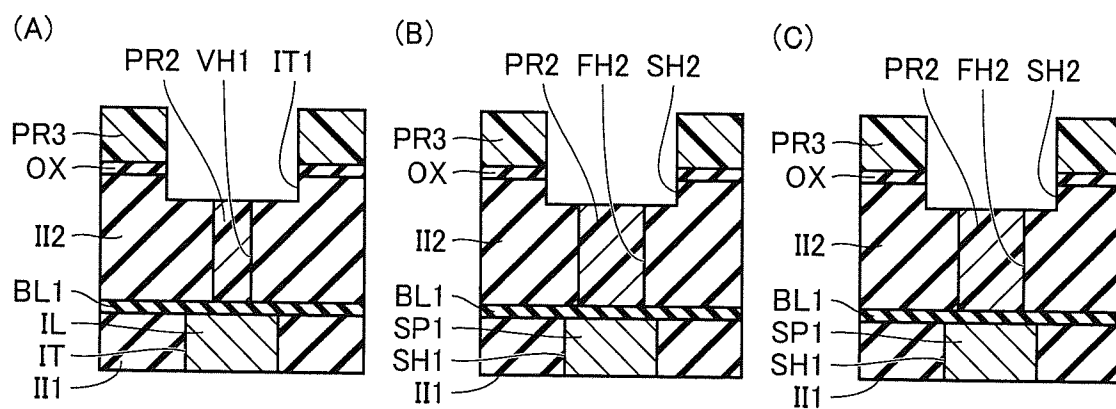
[図17]

FIG.17



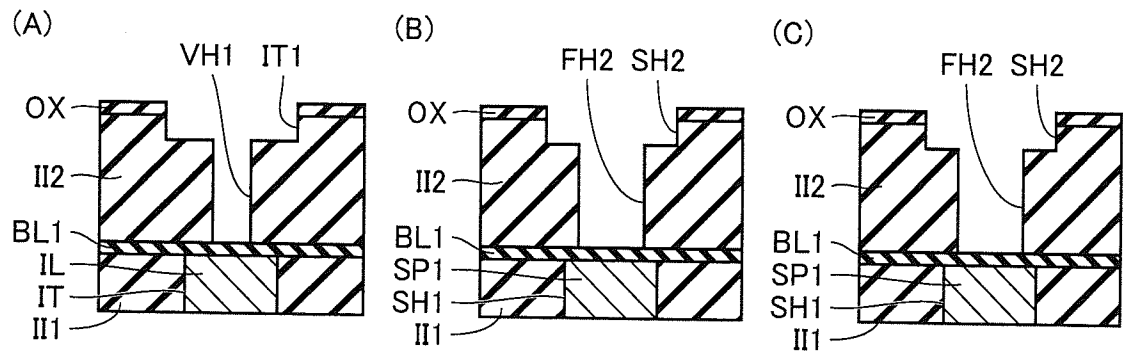
[図18]

FIG.18



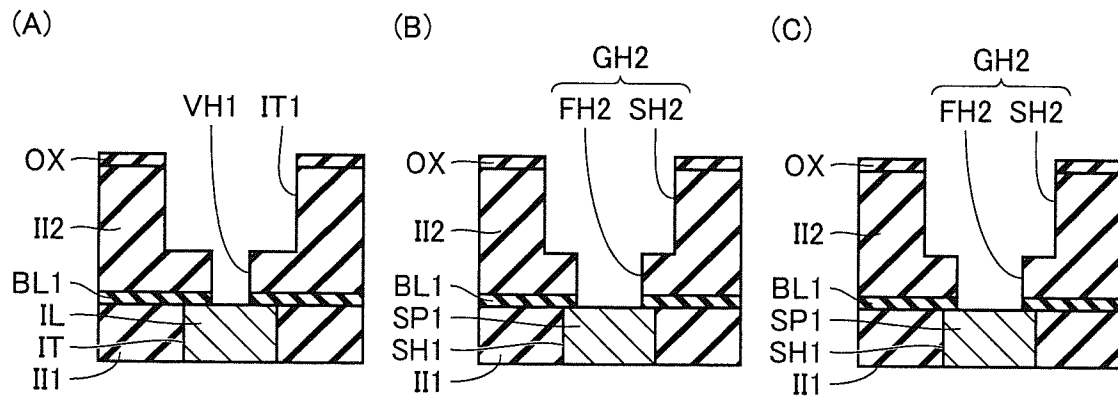
[図19]

FIG.19



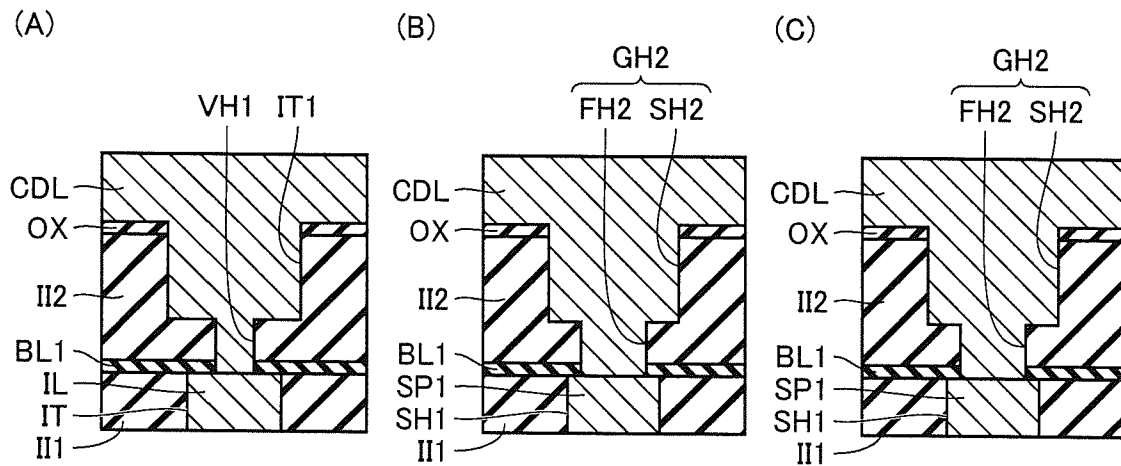
[図20]

FIG.20



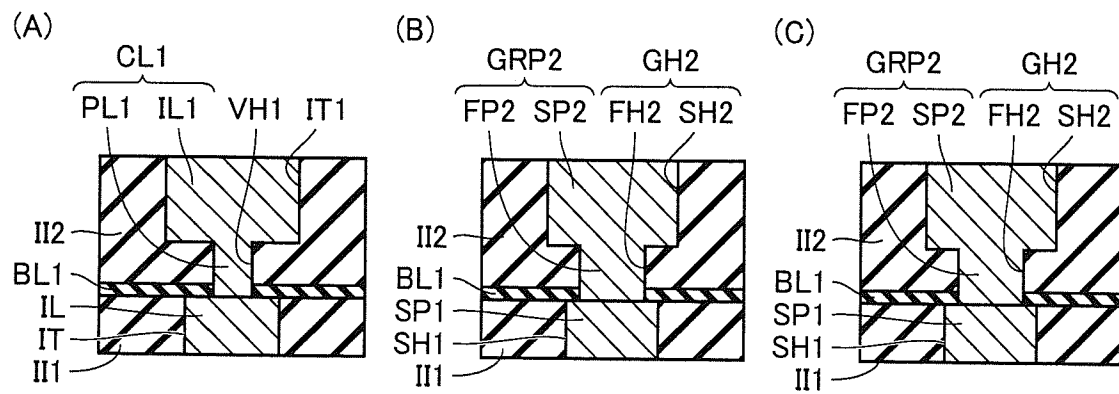
[図21]

FIG.21



[図22]

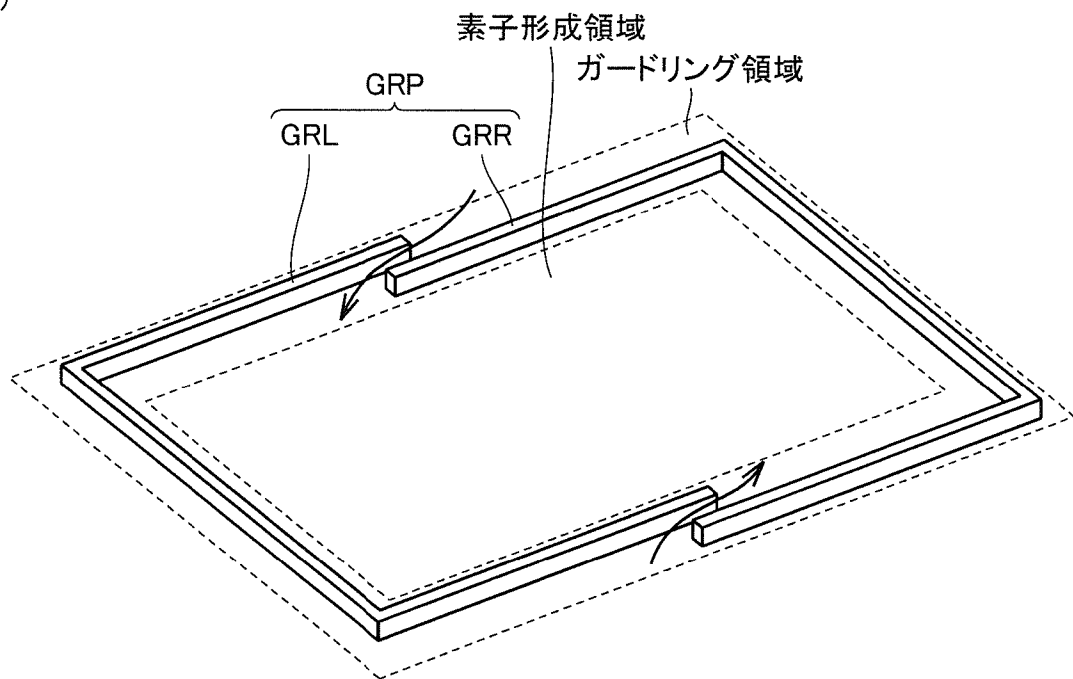
FIG.22



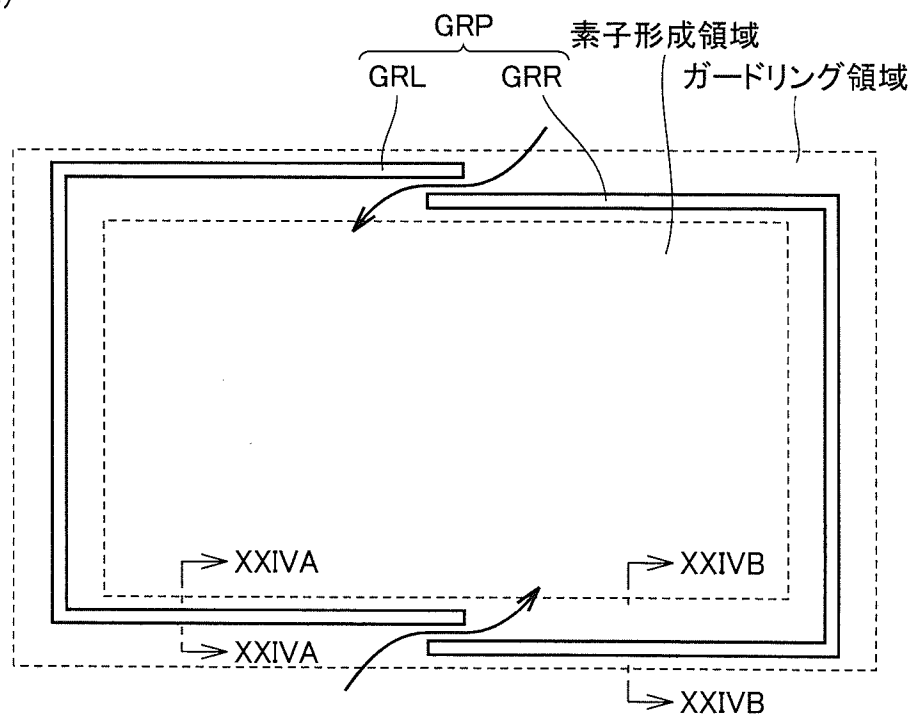
[図23]

FIG.23

(A)

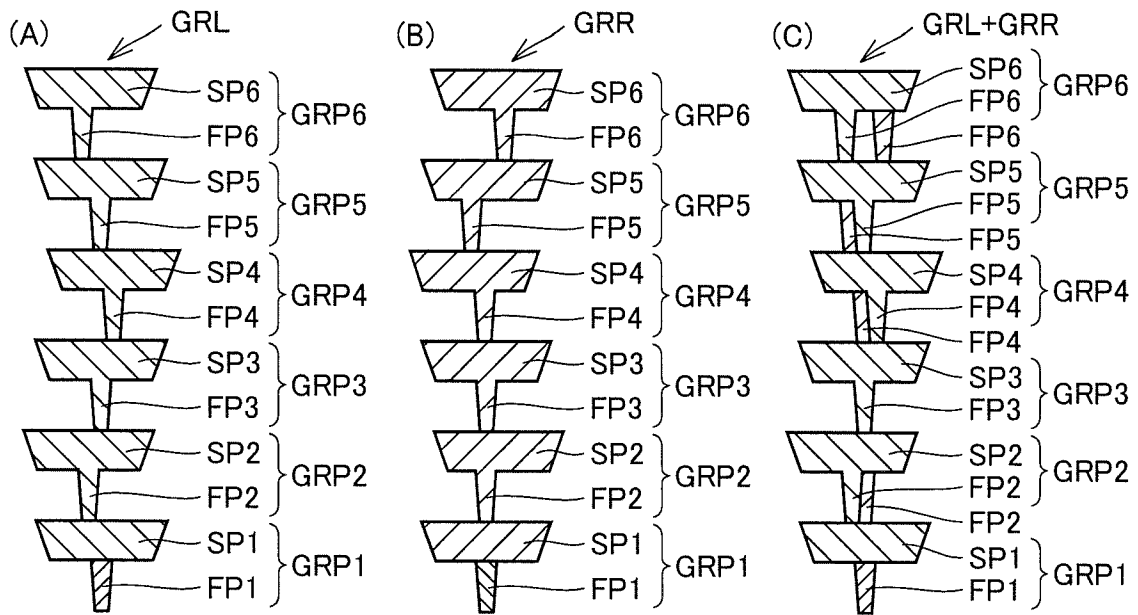


(B)



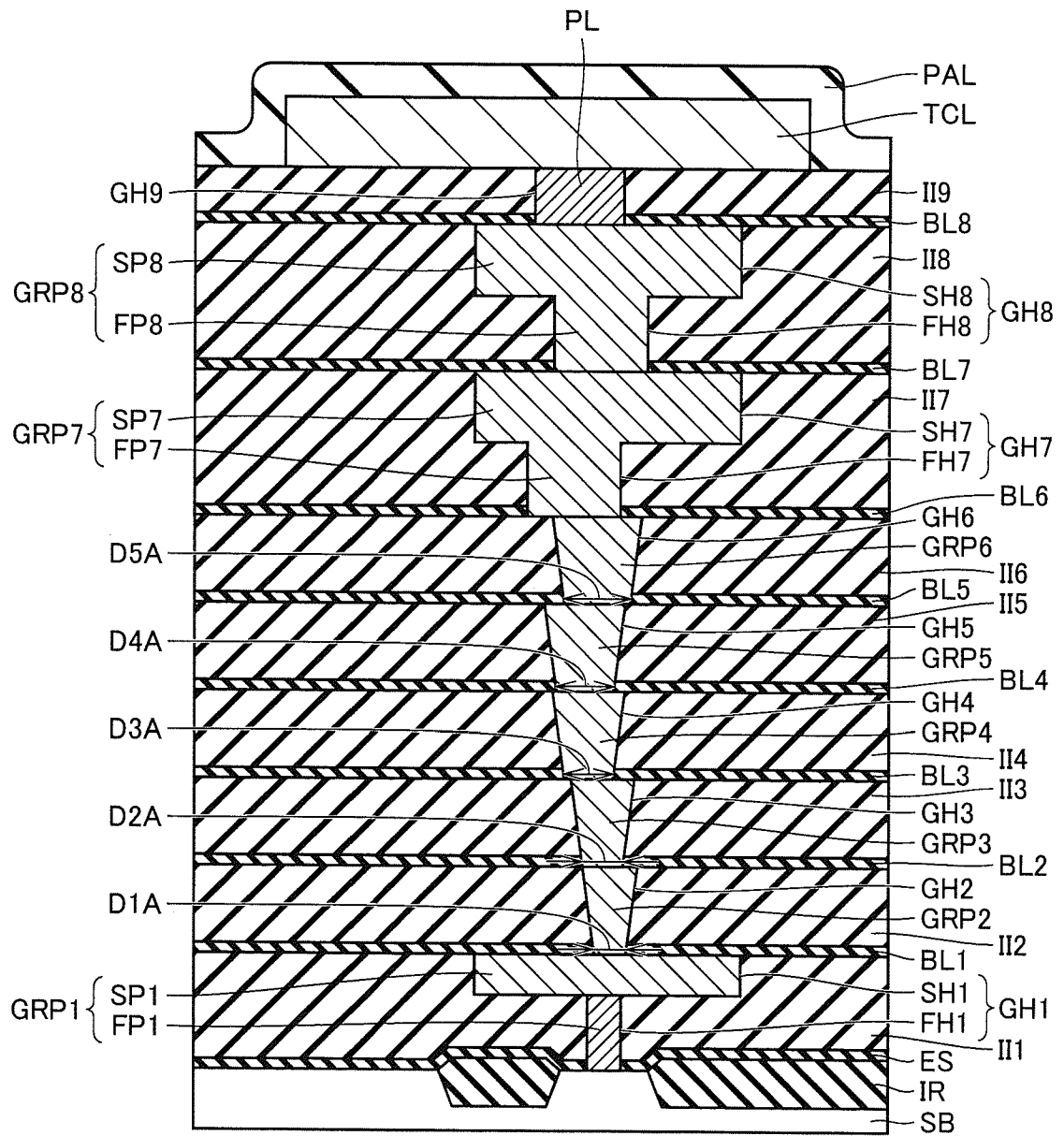
[図24]

FIG.24



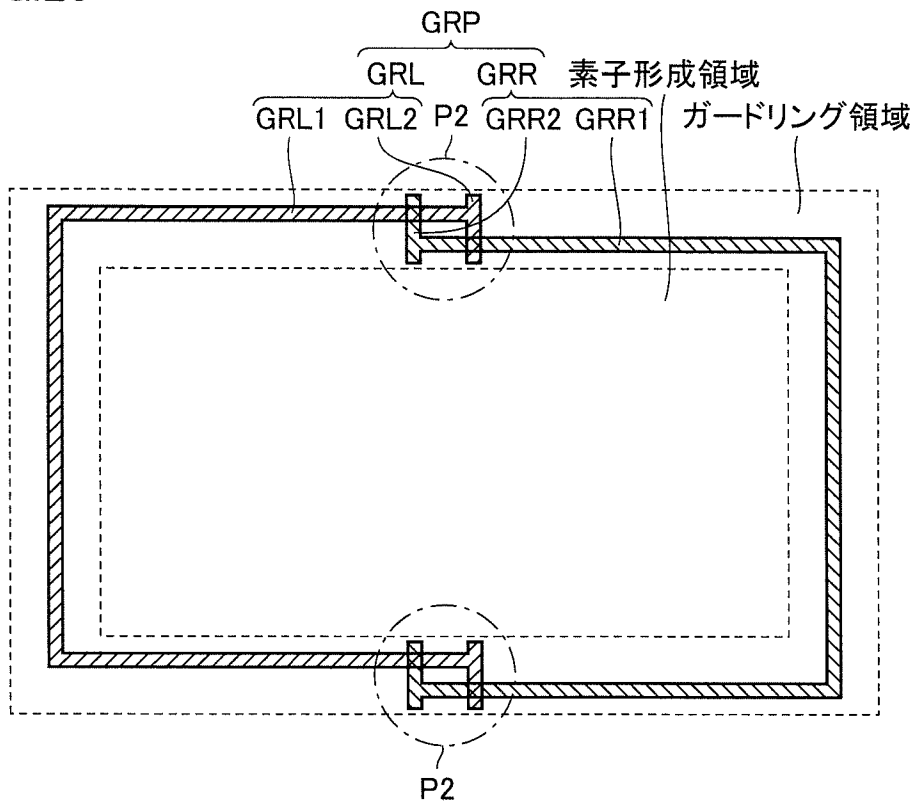
[図25]

FIG.25



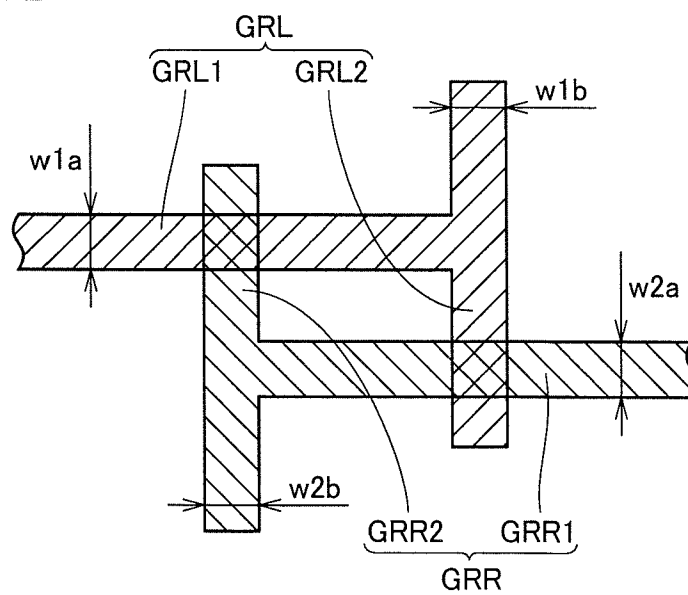
[図26]

FIG.26



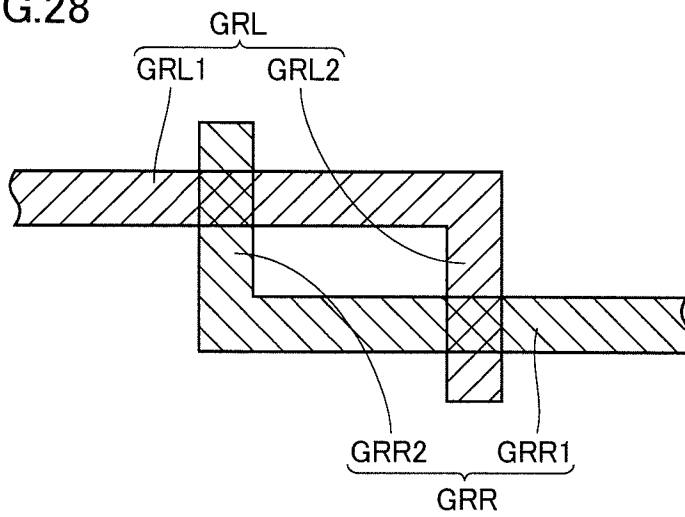
[図27]

FIG.27



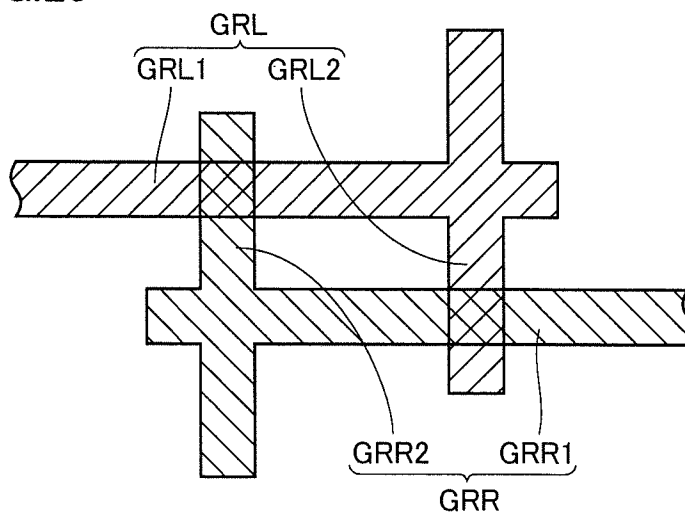
[図28]

FIG.28



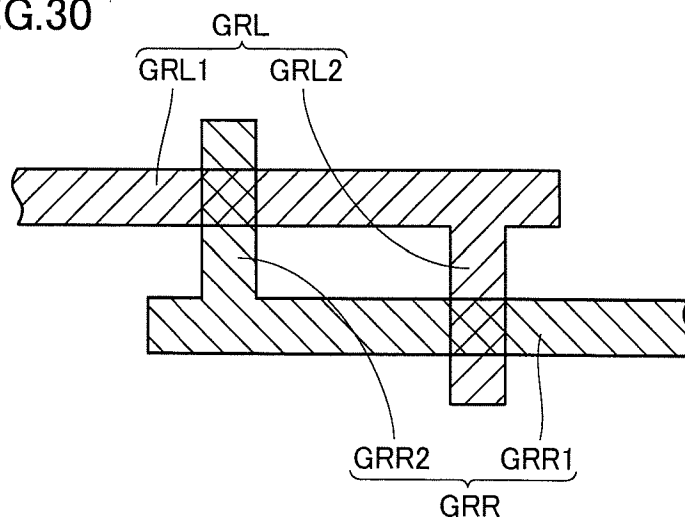
[図29]

FIG.29



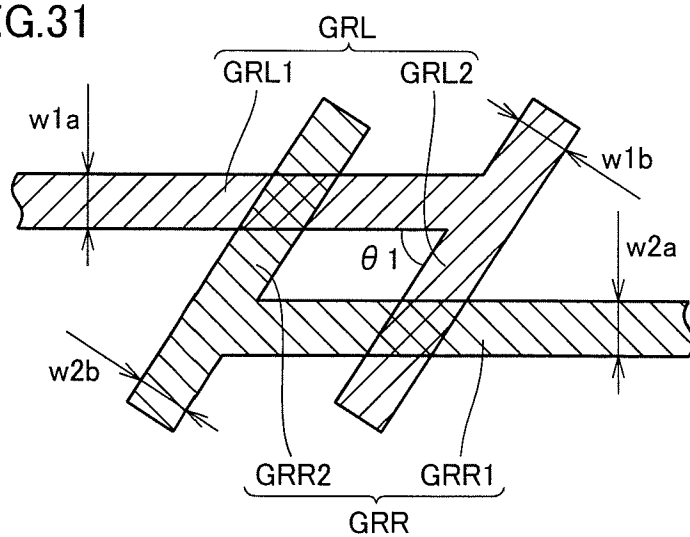
[図30]

FIG.30



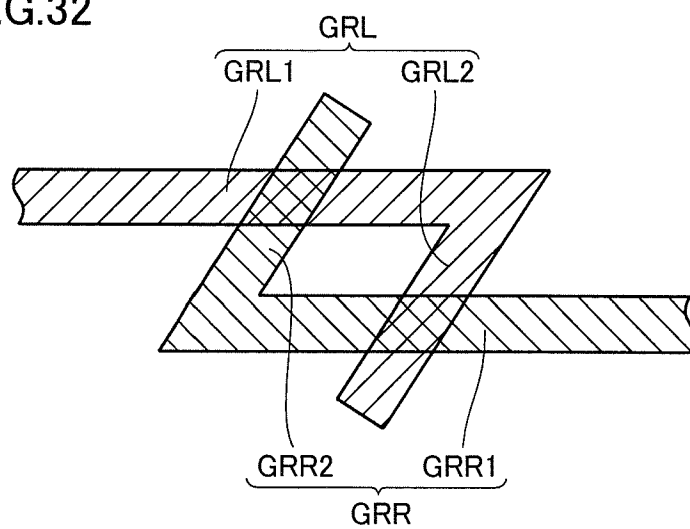
[図31]

FIG.31



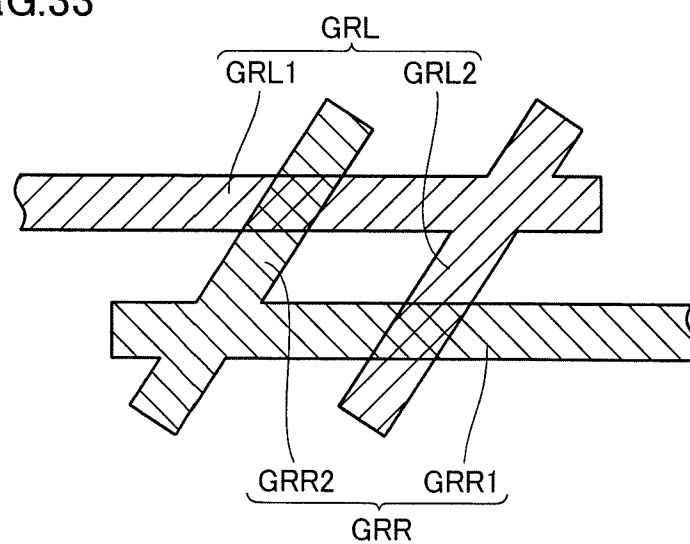
[図32]

FIG.32



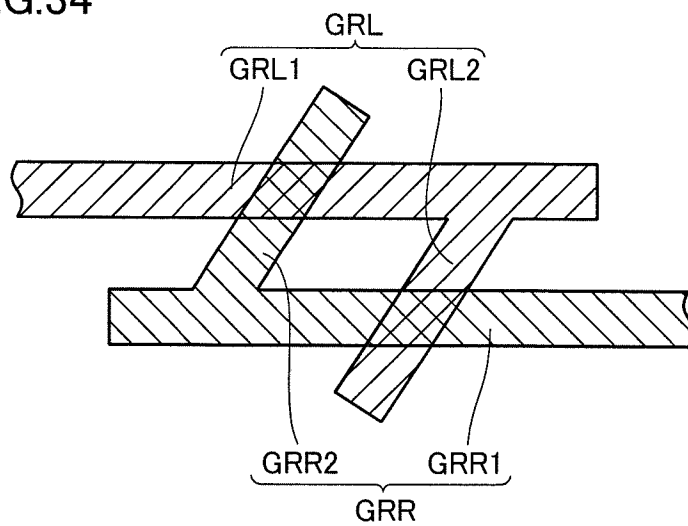
[図33]

FIG.33



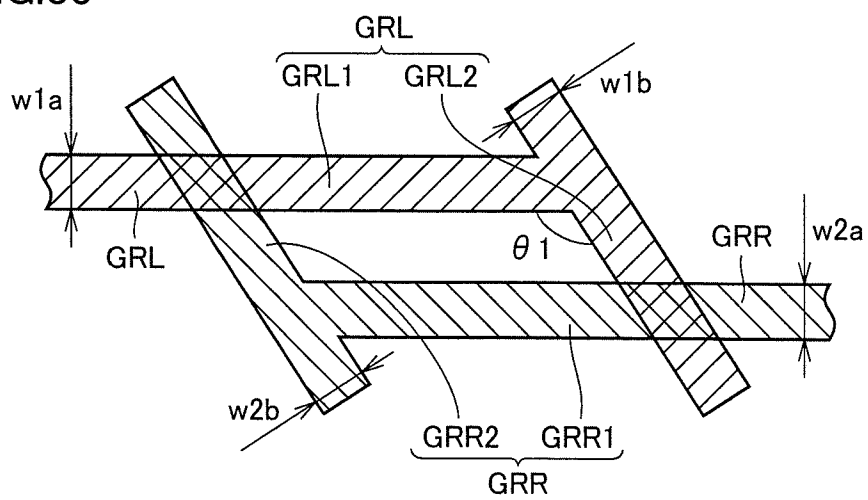
[図34]

FIG.34



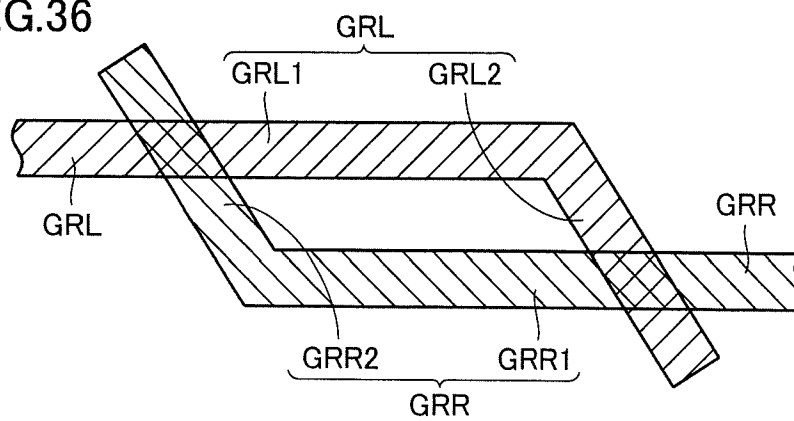
[図35]

FIG.35



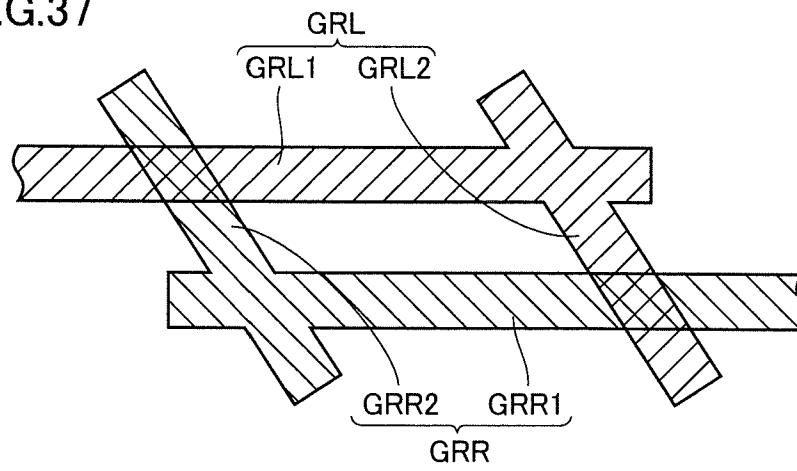
[図36]

FIG.36



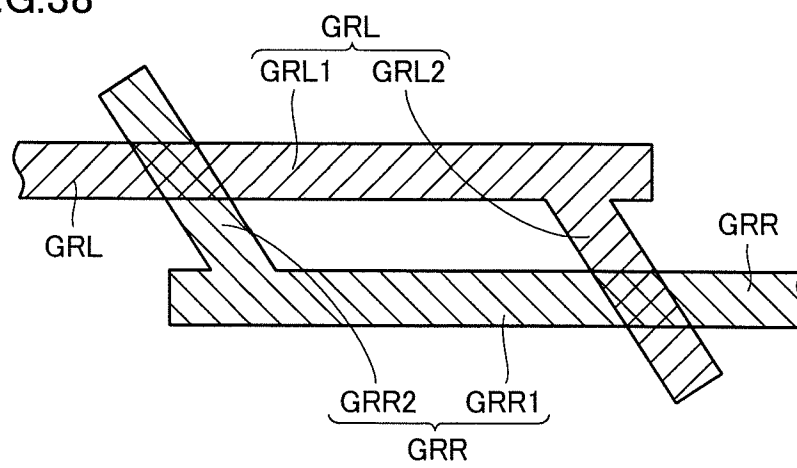
[図37]

FIG.37



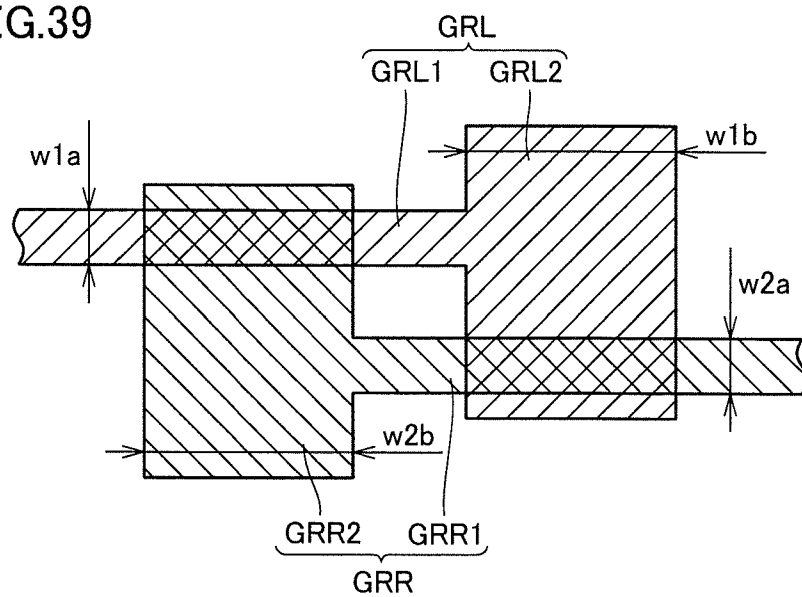
[図38]

FIG.38



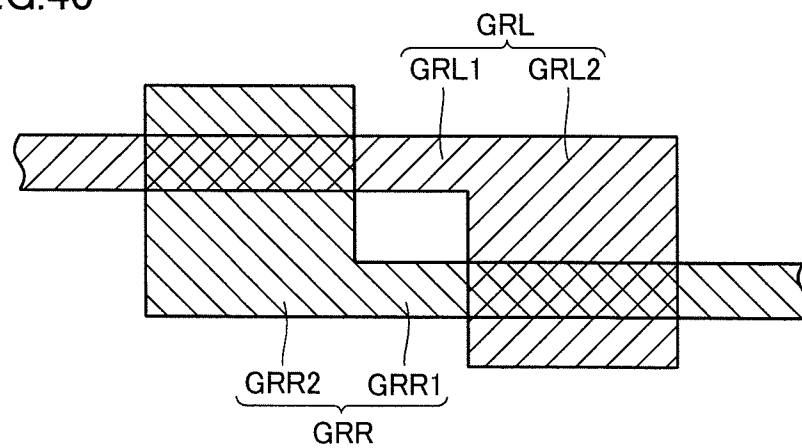
[図39]

FIG.39



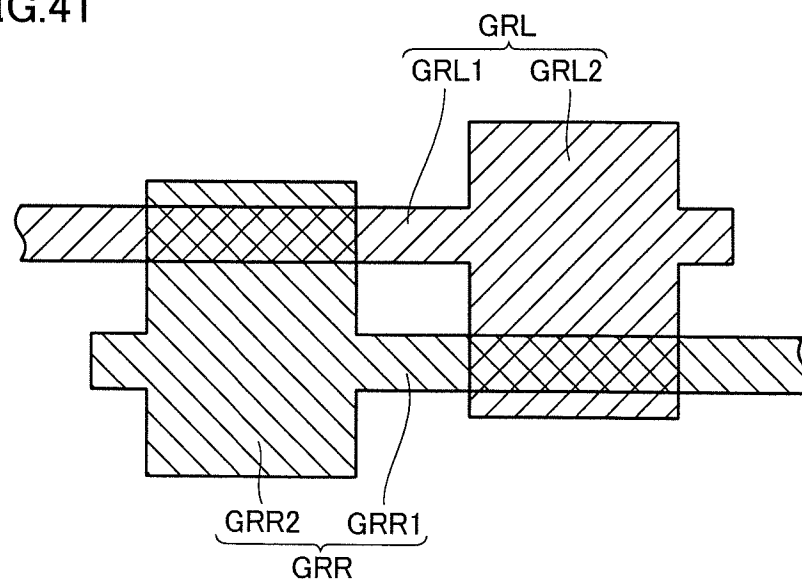
[図40]

FIG.40



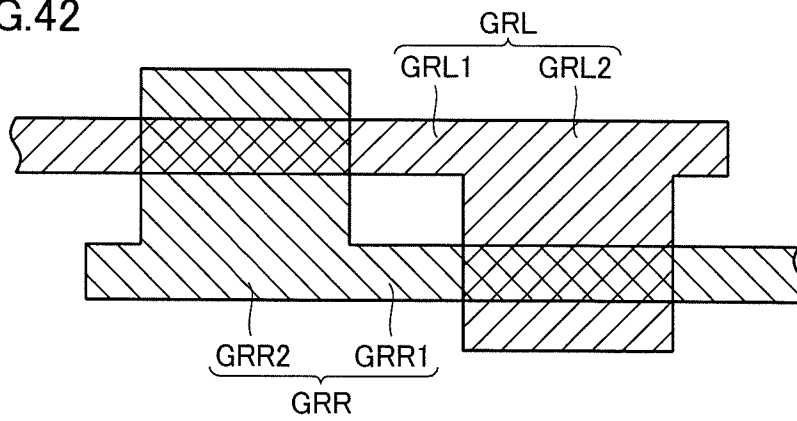
[図41]

FIG.41



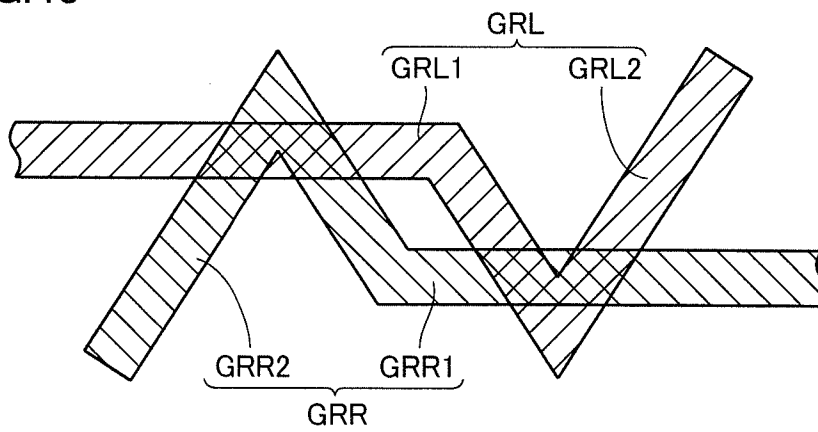
[図42]

FIG.42



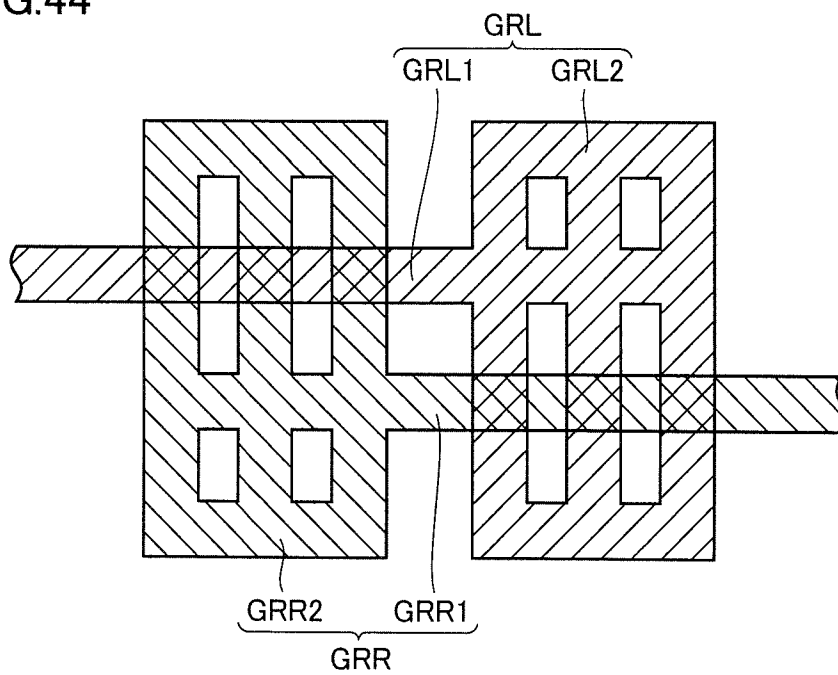
[図43]

FIG.43



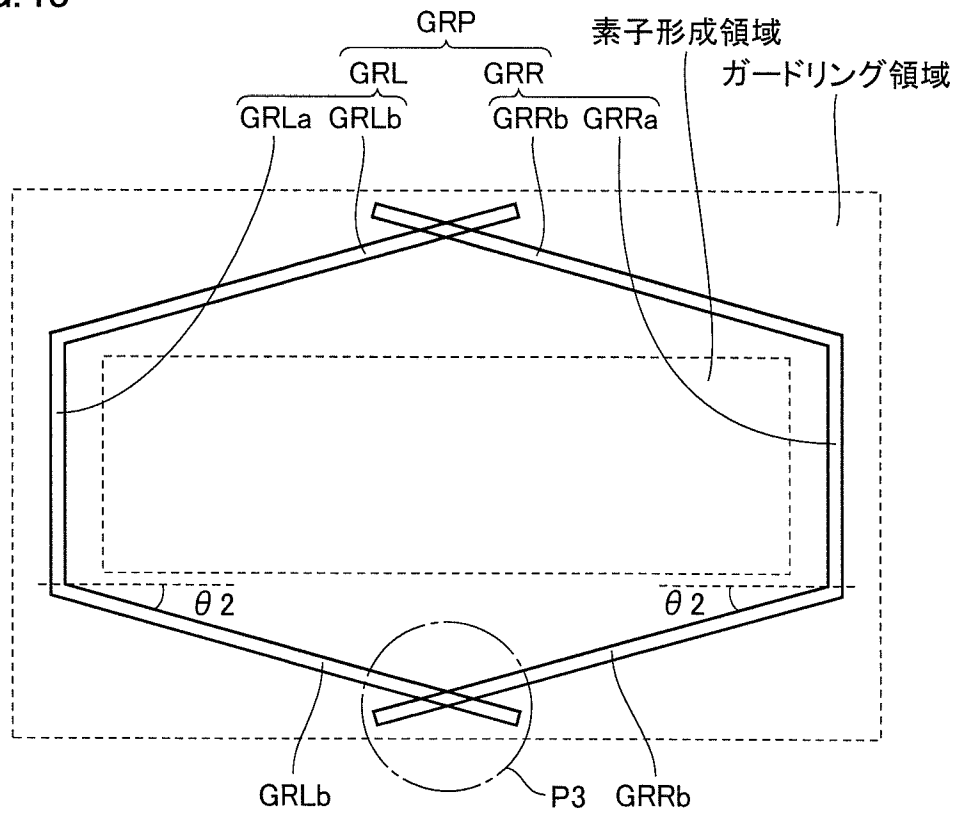
[図44]

FIG.44



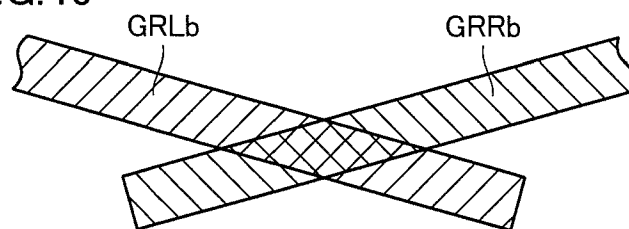
[図45]

FIG.45



[図46]

FIG.46



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050369

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/027(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-237933 A (Lapis Semiconductor Co., Ltd.), 06 December 2012 (06.12.2012), paragraphs [0020] to [0050]; fig. 1 to 6 (Family: none)	1-9
A	JP 2008-91893 A (Toshiba Corp.), 17 April 2008 (17.04.2008), paragraphs [0010] to [0042]; fig. 1 to 9 & US 2008/084728 A1 & US 7701742 B2	1-9
A	JP 2007-227454 A (Toshiba Corp.), 06 September 2007 (06.09.2007), paragraphs [0012] to [0043]; fig. 1 to 4, 25 & US 2007/0196986 A1 & US 7528046 B2 & KR 2007/083424 A & KR 848734 B1	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 April, 2013 (01.04.13)

Date of mailing of the international search report
09 April, 2013 (09.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050369

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-134506 A (Mitsubishi Electric Corp.), 10 May 2002 (10.05.2002), paragraphs [0038] to [0054]; fig. 1 to 14 (Family: none)	1-9
A	JP 10-335606 A (Matsushita Electronics Corp.), 18 December 1998 (18.12.1998), paragraphs [0020] to [0044]; fig. 1 to 19 (Family: none)	1-9
A	JP 10-199883 A (LG Semicon Co., Ltd.), 31 July 1998 (31.07.1998), paragraphs [0011] to [0015]; fig. 1 to 4 & DE 019755676 A1 & KR 1998/054328 A & KR 0244259 B1	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/027 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/027

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-237933 A（ラピスセミコンダクタ株式会社）2012.12.06, [0 0 2 0] ~ [0 0 5 0], 図1 ~ 図6（ファミリーなし）	1-9
A	JP 2008-91893 A（株式会社東芝）2008.04.17, [0 0 1 0] ~ [0 0 4 2], 図1 ~ 図9 & US 2008/084728 A1 & US 7701742 B2	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 4 . 2 0 1 3

国際調査報告の発送日

0 9 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

植木 隆和

2 M

3 7 0 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-227454 A (株式会社東芝) 2007.09.06, [0 0 1 2]～[0 0 4 3], 図1～図4, 図25 & US 2007/0196986 A1 & US 7528046 B2 & KR 2007/083424 A & KR 848734 B1	1-9
A	JP 2002-134506 A (三菱電機株式会社) 2002.05.10, [0 0 3 8]～[0 0 5 4], 図1～図14 (ファミリーなし)	1-9
A	JP 10-335606 A (松下電子工業株式会社) 1998.12.18, [0 0 2 0]～[0 0 4 4], 図1～図19 (ファミリーなし)	1-9
A	JP 10-199883 A (エルジイ・セミコン・カンパニー・リミテッド) 1998.07.31, [0 0 1 1]～[0 0 1 5], 図1～図4 & DE 019755676 A1 & KR 1998/054328 A & KR 0244259 B1	1-9